



F133 MX-HXX 硬件设计指南



文档版本 V1.0
发布时间：2024-10-18

版本历史

版本	日期	责任人	版本描述
1.0	2024-10-18	KPA0530	创建文档。

前言

概述

本文档主要介绍 F133 MX-HXX 芯片在应用方案设计中的原理图和 PCB 设计指南和注意事项，指导客户进行方案硬件设计，保证硬件设计质量。

芯片型号

本文档对应芯片型号为：F133 MX-HXX

读者对象

本文档主要适用于：

- 硬件开发工程师
- 软件开发工程师
- 技术支持工程师

版本定义

版本号：V1.0

本文档是基于实验样品数据进行发布，所以本文档可能会被修改、校准和补充。

本文档仅作为使用指导，本文档中的所有陈述、信息和建议均不构成任何明示或默示的声明或保证（包括但不限于就其特定目的的适用性、适销性、不侵权性及文档内容的准确性、完整性等保证），全志不对任何人使用此类信息或/和本文档的行为承担任何责任。

如对文档产生任何疑问，请您及时与全志沟通确认并获取最新版本。

目录

版本历史	2
前言	3
目录	4
图片目录	6
声明	9
1. F133 MX-HXX IC 系列	10
2. 原理图设计	11
2.1. 硬件系统框图	11
2.1.1. 系统硬件框图	11
2.1.2. 硬件系统基本工作原理	12
2.2. CPU 小系统	12
2.2.1. 时钟系统信号 PIN 说明	12
2.2.2. BOOT_SEL 配置 PIN 说明	13
2.2.3. 主晶振电路	13
2.2.4. 32.768K 时钟电路	14
2.2.5. 复位电路设计	14
2.3. 电源系统设计	15
2.3.1. SOC 端电源质量要求	15
2.3.2. SOC 端电源电容设计	16
2.3.3. SOC 内部 LDO 使用说明	17
2.3.4. 电源供电系统设计	18
2.3.5. 上电时序设计	20
2.3.6. 下电时序设计	21
2.4. DRAM 电路设计	22
2.5. Flash 电路设计	23
2.6. GPIO 电路设计	24
2.7. USB 电路设计	25
2.8. SD Card 电路设计	26
2.9. 音频电路设计	27
2.10. HDMI TX 设计	29
2.11. ADC 电路设计	30
2.12. CVBS 电路设计	31
2.13. LCD 电路接口	31
2.14. CSI 电路接口	34
2.15. WIFI/BT 电路设计	35
2.16. GMAC 电路接口	35
2.17. 其他	36
3. PCB 设计	37
3.1. 叠层设计	37
3.2. SOC fanout	38

3.3. 小系统 Layout 设计建议	39
3.3.1. 时钟系统 Layout 设计	39
3.3.2. 复位和系统配置 Pin Layout 设计	40
3.3.3. SOC 电源 Layout 设计	40
3.4. DDR 模板设计	41
3.5. 分立电源 Layout 设计	42
3.6. SPI NAND/NOR Layout 设计	42
3.7. eMMC Layout 设计	43
3.8. SDIO Layout 设计	43
3.9. USB Layout 设计	43
3.10. 音频 Layout 设计	44
3.11. HDMI Layout 设计	45
3.12. CVBS Layout 设计	46
3.13. LCD Layout 设计	46
3.14. CSI Layout 设计	47
3.15. WIFI 和天线 Layout 设计	48
3.16. GMAC Layout 设计	48
4. 热设计	50
4.1. 热工作条件	50
4.2. 散热设计参考	50
4.3. 功耗管理参考建议	51
5. EMC 设计	52
5.1. ESD 设计	52
5.2. EMI 设计	53

图片目录

图 2-1	F133 MX-HXX 系统硬件框图	11
图 2-2	24M 主时钟电路	14
图 2-3	32K 时钟电路	14
图 2-4	复位电路参考设计	15
图 2-5	CORE、RTC 和 DRAM 电源电容设计	17
图 2-6	分量电源电容设计	17
图 2-7	内部 LDO 参考设计	17
图 2-8	F133 MX-HXX 的电源系统	18
图 2-9	CORE 电源供电参考	19
图 2-10	I/O 电源参考设计	19
图 2-11	内部 LDO 供电	19
图 2-12	Charger 电路	20
图 2-13	Boost 参考电路设计	20
图 2-14	F133 MX-HXX 上电时序	21
图 2-15	F133 MX-HXX 下电时序	22
图 2-16	DRAM 电路参考设计	23
图 2-17	SPI NOR/NAND&eMMC 参考设计	24
图 2-18	MICRO USB 推荐电路	25
图 2-19	TYPE-C 推荐电路	26
图 2-20	USB HOST 推荐电路	26
图 2-21	Card 电路参考设计	26
图 2-22	音频部分电路	27
图 2-23	FM 参考电路	27
图 2-24	MIC 参考电路	28
图 2-25	LINEIN 参考电路	28
图 2-26	HeadPhone 参考设计	29
图 2-27	LINEOUT 参考电路	29
图 2-28	HDMI source 参考电路	30
图 2-29	按键参考电路	30
图 2-30	TVOUT 参考电路	31
图 2-31	TVIN 参考电路	31
图 2-32	DEBUG 电路参考设计	36
图 3-1	两层板厚叠层设计参考	37
图 3-2	四层板厚叠层设计参考	38
图 3-3	两层板 fanout 示例	39
图 3-4	时钟走线 layout 参考	40
图 3-5	SOC 电源 Layout 参考设计	41
图 3-6	DDR 电源 Layout 参考设计	41
图 3-7	BUCK 拓扑	42
图 3-8	Flash 双 Layout 设计参考	43

图 3-9	USB 差分走线	44
图 3-10	AEC 电路 PCB 布局	44
图 3-11	LINEOUT 走线参考	45
图 3-12	HDMI 布局和走线参考	46
图 3-13	LCD 复用电路 PCB 布局	47
图 3-14	RF 天线走线参考	48
图 4-1	焊盘的隔热设计	51
图 5-1	ESD 器件摆放位置	52



表格目录

表 1-1	F133 MX-HXX IC 系列.....	10
表 2-1	F133 MX-HXX 硬件系统组成.....	12
表 2-2	F133 MX-HXX 时钟系统信号 PIN 说明.....	12
表 2-3	系统配置 PIN 说明.....	13
表 2-4	F133 MX-HXX 电源质量要求.....	15
表 2-5	GPIO 电源域.....	24
表 2-6	GPIO 内部上下拉电阻.....	25
表 2-7	RGB&MCU 屏接口.....	31
表 2-8	MIPI 屏接口.....	32
表 2-9	LVDS 屏接口.....	33
表 2-10	SPI 屏接口:.....	33
表 2-11	DBI 接口与 SPI1 复用关系.....	34
表 2-12	F133 MX-HXX CSI 接口.....	34
表 4-1	F133 MX-HXX 热特性参数.....	50
表 5-1	F133 MX-HXX 各接口时钟频率.....	53

声明

本文档归珠海全志科技股份有限公司（“全志”）所有，全志具有最终解释权。对本文档全部或部分的复制、翻印必须事先获得全志的同意。全志保留在未通知您的情况下随时更改电路设计、产品规格或其他内容的权利。

本文档，据全志提供时所判断，是全面而可靠的。请您视风险谨慎使用本文档，全志不对您使用后的后果负责，包括是否侵犯第三方的知识产权或其他合法权利。

本文档也并未视为全志授予您任何明示或默示的权利许可，也未提供任何明示或默示的保证，包括是否满足某一种应用功能。

在您实施方案或使用产品的过程中，可能会需要获得第三方的权利许可。请您自行向第三方权利人获得相关的许可。全志并不负责或代为负责获得许可，支付许可费。同样，全志也不对您使用第三方许可技术承担任何保证、赔偿或其他义务。



1. F133 MX-HXX IC 系列

表 1-1 F133 MX-HXX IC 系列

Contents	F133 MX-HXX	/
DRAM	External 16bit*1 DDR3	/
CPU	RISC-V	/
CVBSIN	Support	/
Package	BGA337	/
HDMI	Support	/
PCB FootPrint	13mm x 13mm	



2. 原理图设计

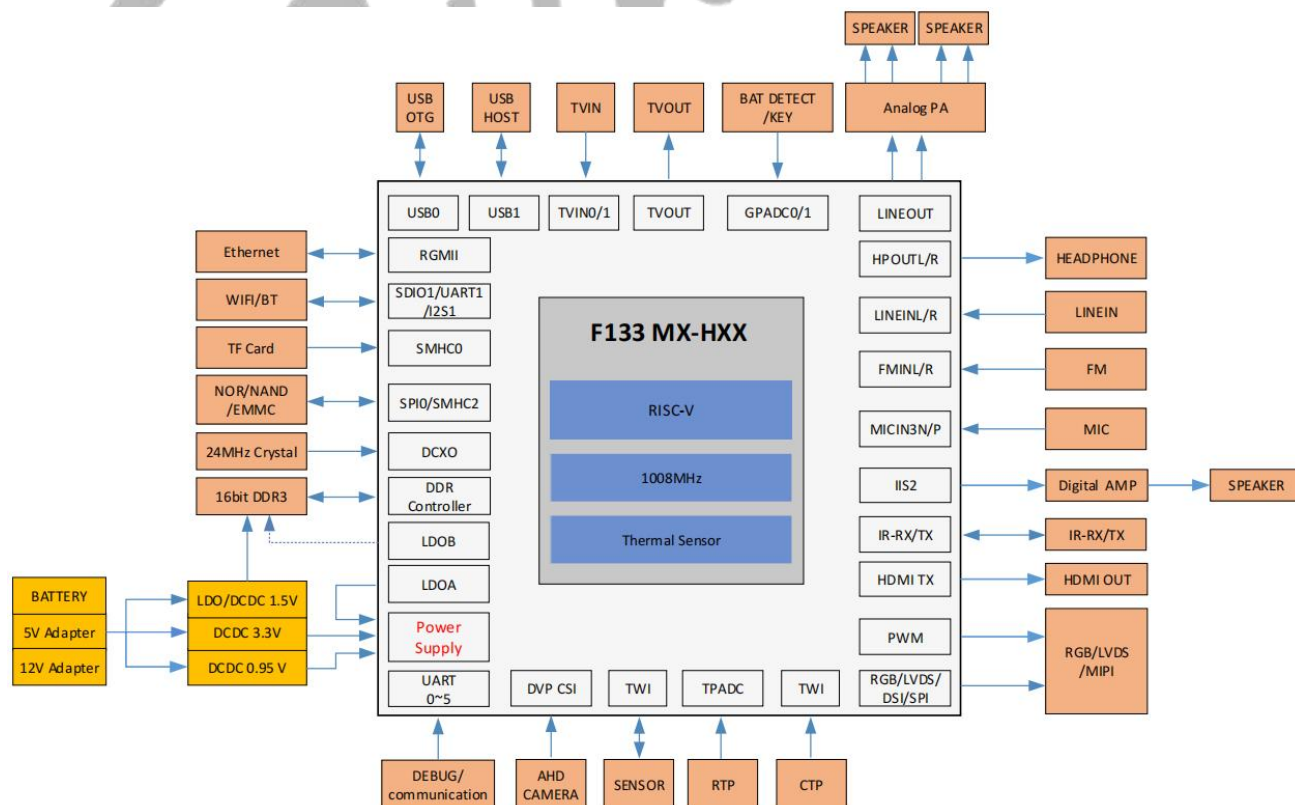
2.1. 硬件系统框图

2.1.1. 系统硬件框图

F133 MX-HXX 是一颗专为“音视频解码”而打造的全新高集成度 SOC，主要应用于大屏显示（双屏显示）+音频场景+无线互联（WiFi、BT、IR）的解决方案。

- 集成 RISC-V 内核，高达 1GHz 主频，硬件支持 64 位浮点的高精度前端、后端数字信号处理算力，提供生态配套成熟、完善的用于系统、应用和网络连接开发的高效算力；
- 支持外挂单颗 16bit DDR3 存储颗粒；
- 支持单双 LINK LVDS、MIPI DSI、RGB888、DBI、HDMI TX 和 CVBS 等多种显示接口，支持异屏异显；
- 拥有丰富的音频接口 IIS/PCM、DMIC、OWA、HPOUT、LINEOUT、MICIN、FMIN、立体声 LINEIN；
- 支持多种通用通讯接口 TWI、UART、SDIO、SPI；同时支持 U 盘、SD 卡、IR-TX/RX；
- 内置网口 MAC，千兆 RGMII 和百兆 RMII 接口，提供高速有线网络接口；
- 内置 LDO、TPADC、GPADC、LRADC、LEDC、24M/32.768K FOUT，简化系统方案设计。

图 2-1 F133 MX-HXX 系统硬件框图



2.1.2. 硬件系统基本工作原理

F133 MX-HXX 硬件系统基本工作流程如下：

- 硬件系统正常上电，主控复位之后，CPU 开始执行 BROM 固化代码，对系统资源和关键外设进行配置及初始化，包括电源，时钟，总线，复位，存储接口等。
- 根据配置，在 BROM 阶段将系统初始化信息（串口、DRAM 等）从存储介质读取到系统 SRAM，进行芯片及系统的进一步详细配置和初始化工作；执行完 Boot0 程序后进入 U-boot 阶段。
- 从外部存储介质中读取下一阶段需要的软件代码，启动操作系统，并对系统资源和外设进行管理。
- 操作系统启动之后，根据产品不同需求加载相关启动，比如 USB、音频、WIFI、显示、蓝牙等模块，最终完成开机启动，进入普通操作界面。
- 系统支持 watchdog 应用监视系统的运行，当程序跑飞或者发生死循环时，watchdog 模块会发出一个复位信号，使 SOC 复位，软件系统重新启动。

表 2-1 F133 MX-HXX 硬件系统组成

系统	说明
CPU 小系统	时钟，复位，中断，系统配置
存储系统	DRAM, SPI NAND/SPI NOR/eMMC/SD CARD
音频系统	MIC IN、LINEIN、FMIN、IIS/PCM、DMIC、HPOUT、LINEOUT、OWA
输入输出子系统	RGB/LVDS/DSI、HDMI TX、CVBS IN/OUT、SD CARD、USB OTG/HOST、TWI、UART、PWM、GPADC、TPADC、CSI、CLK-FANOUT、IR TX/RX 等
电源系统	DCDC、LDO
无线	SDIO WIFI
其他	功放、LED、PWM

2.2. CPU 小系统

F133 MX-HXX CPU 小系统包括时钟系统，系统配置 PIN、复位系统和 Debug 部分。

2.2.1. 时钟系统信号 PIN 说明

F133 MX-HXX 硬件系统包含 DCX0 24M/RTC 32.768K 两个时钟，对应时钟信号说明如表所示。

表 2-2 F133 MX-HXX 时钟系统信号 PIN 说明

信号名	信号描述	应用说明
DXIN	DCX0 晶振输入	DCX0 24M 晶振电路，频率误差为 20PPM

DXOUT	DCX0 晶振输出	
REFCLK-OUT	主时钟扇出	提供 24M 时钟至外部 WIFI 模块使用
X32KIN	32K 晶振输入	32.768K 晶振电路，频率误差为 20PPM
X32KOUT	32K 晶振输出	

2.2.2. BOOT_SEL 配置 PIN 说明

启动方式默认使用枚举介质的方式，BROM 会读取 BOOT_Select 的状态，选择枚举介质的顺序。Boot Select 引脚与 PC 口复用，默认内部上拉。

F133 MX-HXX 启动顺序配置 PIN 说明如表所示。

表 2-3 系统配置 PIN 说明

信号名	信号说明	应用说明
RESET	复位 PIN	1. CPU 复位 PIN 2. Watchdog 输出 PIN
BOOT-SEL [1:0]	启动顺序选择	11 (默认): SMHC0->eMMC2->SPI Nor->SPI Nand 10: SMHC0->SPI NAND->other media 01: SMHC0->SPI NOR->other media 00: SPI NOR->SPI NAND 与 PC5、PC4 复用，内部集成上拉电阻，Pin Floating 时为 1

如果需要调整启动顺序，则需选择拉低 PC4、PC5，在硬件设计上增加下拉电阻，下拉电阻值必须为 3.3KΩ。



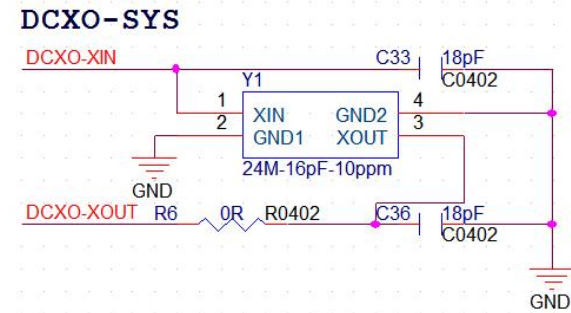
说明

- 推荐使用默认启动顺序。若 eMMC 作为存储介质，不能选择非默认启动顺序。

2.2.3. 主晶振电路

- F133 MX-HXX DCX0 模块只支持 24M 主时钟。
- DCX0 时钟模块可以通过 REFCLK-OUT PIN 扇出与主时钟同频率的 CLK 信号给 WiFi 模组使用，使用 24M Fanout 请联系 FAE 确认使用环境。
- 晶振选型参考如下：
 - 当需要 DCX0 扇出时钟给 WIFI 使用时，晶振选型频偏≤10ppm，晶体其他规格要求以 WIFI 需求为准；
 - 当不需要 DCX0 扇出时钟给 WIFI 使用时，晶振选型频偏≤20ppm。
- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+板级杂散电容总值等于晶振规格要求的负载电容大小。
- 串接电阻需要预留位置，便于调试振荡幅度处理 EMI 问题。

图 2-2 24M 主时钟电路



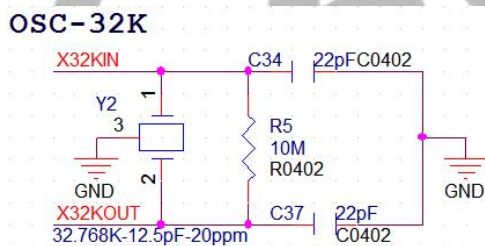
注意

- 晶振参数不得随意更改，需保证晶体自身负载电容、外挂匹配电容、PCB 走线寄生电容三者匹配。

2.2.4. 32.768K 时钟电路

- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+板级杂散电容总值等于晶振规格要求的负载电容大小。
- X32KIN/X32KOUT 之间并接的电阻，必须保留，用于对频率微调。
- 在需要通过 CLK-FANOUT 扇出 32K 时钟给 WIFI 或 FM 芯片外设使用的场景下，如果外设对 32K 时钟精度要求较高，可以使用外挂 32.768K 晶振，如果精度要求不高可使用 SOC 内部 16M 分频得到 32K 时钟。

图 2-3 32K 时钟电路



注意

- 晶振参数不得随意更改，需保证晶体自身负载电容、外挂匹配电容、PCB 走线负载电容三者匹配。

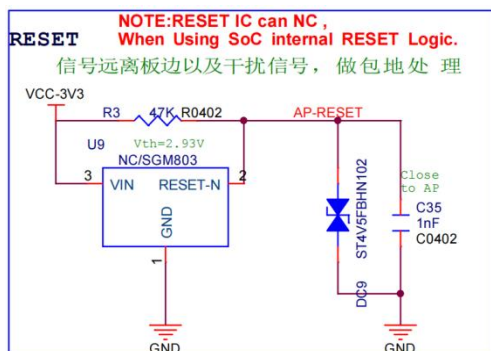
2.2.5. 复位电路设计

F133 MX-HXX 默认使用上电复位，也可以使用复位 IC 提供复位信号。

- 内部上电复位触发阈值：VDD-SYS 爬升至约 0.4V；
- 内部下电复位触发阈值：VCC-I/O 跌落至 3.0V/2.9V/2.8V/2.7V/2.6V/2.5V (软件可配置)，详见 F133 MX-HXX usermanual 手册；

- 使用外部复位 IC 复位，时长不得低于 64ms；
- RESET Pin 放置 1nF 电容。
- 有复位按键的场景，建议做好 ESD 防护，预留 TVS 管。

图 2-4 复位电路参考设计



2.3. 电源系统设计

2.3.1. SOC 端电源质量要求

表 2-4 F133 MX-HXX 电源质量要求

SOC 电源	电源规格		
	电平	纹波	噪声
AVCC/ALDO	1.8V ± 2%	< 1.5%	< 2.5%
HPVCC/HPLDO	1.8V ± 3%	< 1.5%	< 2.5%
VCC-PC	1.8/3.3V ± 10%	< 5%	< 10%
VCC-PD	1.8/3.3V ± 10%	< 5%	< 10%
VCC-PE	1.8/2.8/3.3V ± 10%	< 5%	< 10%
VCC-PF	1.8/3.3V ± 10%	< 5%	< 10%
VCC-PG	1.8/3.3V ± 10%	< 5%	< 10%
VCC-IO	3.3V ± 10%	< 5%	< 10%
VDD33/HPLDO1N	3.3V ± 10%	< 5%	< 10%
VDD-CORE (SYS/CPU)	0.95V ± 5%	< 5%	< 10%
VCC-RTC	1.8V ± 10%	< 1.5%	< 2.5%
VCC-EFUSE	1.8V ± 10%	< 1.5%	< 2.5%
VCC-DCX0	1.8V ± 10%	< 1.5%	< 2.5%
VCC-PLL	1.8V ± 10%	< 1.5%	< 2.5%

SOC 电源	电源规格		
	电平	纹波	噪声
VCC-LVDS	1.8V±5%	< 3%	< 5%
VCC-HDMI	1.8V±10%	< 1.5%	< 2.5%
VDD18-DRAM	1.8V±5%	< 1.5%	< 2.5%
VCC-DRAM	1.5V±5%	< 5%	< 10%
VCC-TVIN	1.8V±0.06V	< 1.5%	< 2.5%
VCC-TVOUT	3.3V±5%	< 1.5%	< 2.5%
LDO-IN	2.4V~3.6V	/	/



说明

- VCC-SYS 和 VCC-CPU 为应用于实际生产便于物料选型，通常设计成 0.96V；
- AVCC/HPVCC 分别是内部 ALDO/HPLDO 的输出，属于专用电源，不需另供电源；
- 考虑到 SOC 散热，LDO-IN 通常用 3.3V 电压域串联一个降压二极管降压后提供；



注意

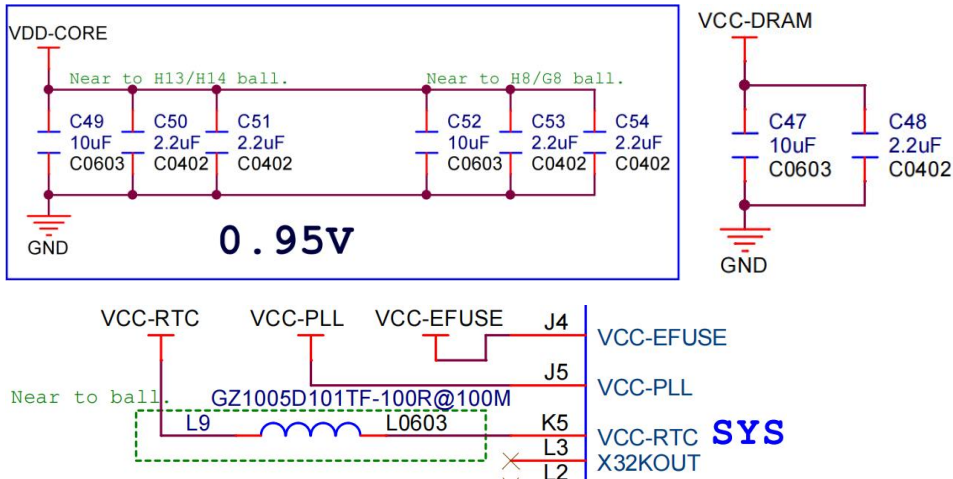
- IO 口电源精度、纹波和噪声需同时满足外设的要求。

2.3.2. SOC 端电源电容设计

F133 MX-HXX SOC 端各电源建议容值如下：

- VDD-CPU 与 VDD-SYS 合并供电，禁止独立供电。参考 F133 MX-HXX 标案原理图，电容分别在 bottom 层靠近 H13/H14 和 H8/G8 ball 位置按要求放置；
- VCC-DRAM 电源电容参照 DDR 模板放置；
- VCC-RTC 储能电容为 100nF，经过此电容后再经过一颗磁珠 (GZ1005D101TF-100R@100M) 后进 ball，可以有效提升系统 ESD 性能，参照图 2-5；
- VCC-TVOUT 电源推荐使用 LDO 供电，若使用 DCDC 供电，建议预留串联磁珠。至少要有一个 100nF 电容，靠近引脚放置，不使用 TV-OUT 时，电源和信号可以悬空，不可接地；
- VCC-IO/VCC-PC/VCC-PD/VCC-PE/VCC-PF/VCC-PG/VCC-LVDS/VCC-TVIN/VDD18-DRAM/VCC-PLL/VCC-EFUSE/VCC-DCX0/VCC-PLL/VCC-HDMI 电源 pin 外挂 100nF 电容，靠近引脚放置；
- VDD33 是内部 ALDO (AVCC) 的输入，外挂 2.2uF 电容，靠近引脚放置；
- HPLDOIN 是内部 HPLDO (HPVCC) 的输入，外挂 2.2uF 电容，靠近引脚放置；
- AVCC 电源与 AGND 之间至少 1 个 2.2uF 电容，预留 1 个 100nF 电容，靠近引脚放置；VRA1 与 AGND 之间至少 1 个 10uF 电容，靠近引脚放置。参照 F133 MX-HXX 标案原理图。
- HPVCC 电源与 GND 之间至少 1 个 10uF 电容，靠近引脚放置。

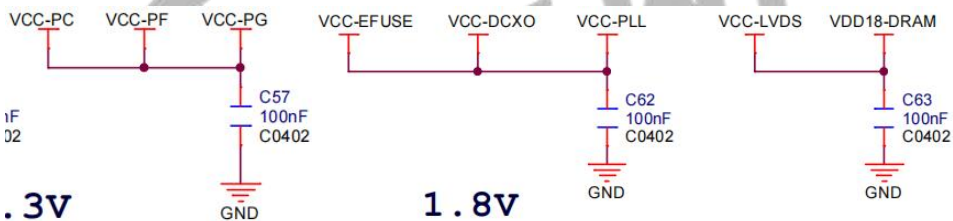
图 2-5 CORE、RTC 和 DRAM 电源电容设计



注意

- 当 VCC-PC/VCC-PF/VCC-PG 电源都为同一电压阈（如都是 3.3V）时，由于这三个 ball 位置相近，可以共用一个 100nF 电容，方便两层板方案 layout；
- VCC-EFUSE/VCC-DCX0/VCC-PLL 三个电源 ball 位置相邻，可以共用一个 100nF 电容，方便两层板方案 layout；
- VCC-LVDS/VDD18-DRAM 两个电源 ball 位置相近，可以共用一个 100nF 电容，方便两层板方案 layout。

图 2-6 分量电源电容设计

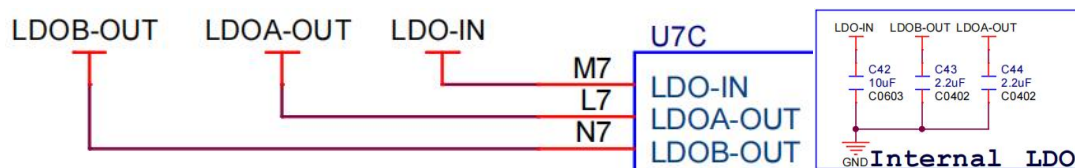


2.3.3. SOC 内部 LDO 使用说明

1、使用内部 LDOA+LDOB 的组合使用方式：

- LDOA 默认输出 1.8V，给 VCC-PLL/VCC-EFUSE/VCC-DCX0/VCC-RTC/VDD18-DRAM/VCC-HDMI/VCC-LVDS/VCC-TVIN 和 PC/PD/PE/PF/PG 等 IO 选用 1.8V 电压时供电；
- LDOB 的输出 1.5V，单独给 VCC-DRAM 供电；
- 为降低内部 LDO 发热，3.3V 串接二极管后再给到 LDO-IN 输入，降低内部 LDO 的输入电压；
- LDOA+LDOB 总电流应 < 300mA；如只使用其中一路 LDO，另一个 LDO 的输出靠近 SOC 放置 1uF 电容；如果两路 LDO 均不使用，则 LDOIN、LDOA-OUT、LDOB-OUT 悬空即可；

图 2-7 内部 LDO 参考设计



2、选用外部电源的场景：

- 如果方案对系统功耗敏感，可以用外部 DCDC 给 VCC-DRAM 供电；
- 如果方案对芯片散热敏感（如两层板散热较差），可以用外部 DCDC 或 LDO 给 VCC-DRAM 供电；
- 如果方案需要记录系统 RTC 时间，可以单独用外部 LDO 对 VCC-RTC 供电；

3、特殊说明：

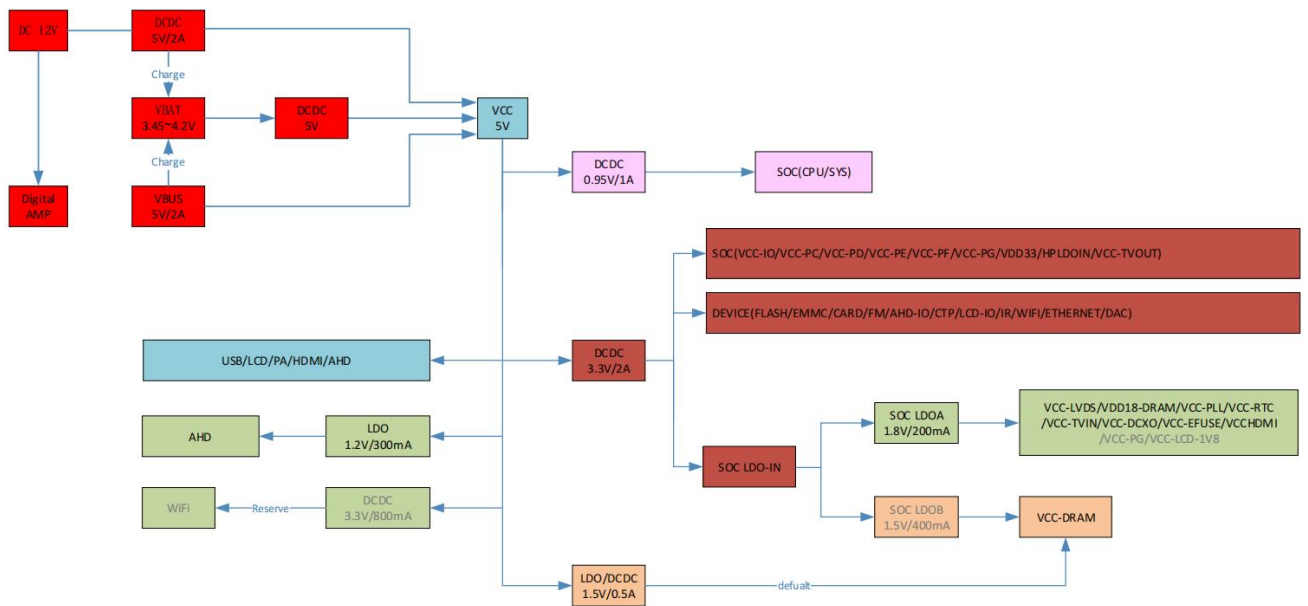
- 无论是使用何种电源设计，VCC-DRAM 都必须单独供电，不能和其他电源共用电源；
- AVCC 是 SOC 内部的 ALDO 输出，其输入为 VDD33（3.3V 输入），AVCC 给芯片内部模拟部分供电，不需要外部再另加电源供电，且为专用电源，AVCC 除可以供 codec 或 ADC 使用外，不能给其它外设使用；
- HPVCC 是 SOC 内部的 HPLDO 输出，其输入为 HPLDOIN（3.3V 输入），HPVCC 给 HPOUT 供电，不需要外部再另加电源供电，且为专用电源，不能给其它外设使用；
- LDOA 如需给其他 1.8V 外设（如 WiFi、摄像头 IO 供电或其他）供电，负载电流参考上述内部 LDO 总电流限制；
- 如有高温场景，需要使用外部电源给 VCC-DRAM 供电，建议增加措施辅助散热、如散热片等；
- 二极管选择 1A 规格的普通二极管，不建议选择压降较小的肖特基二极管（推荐 1N4001/1N4007），二极管封装尽可能选择大封装，有利于二极管散热。

2.3.4. 电源供电系统设计

F133 MX-HXX 平台仅需精简的电源供电系统，主要由两路外部 DCDC 和内部 LDOA/B 组成。

图 2-8 F133 MX-HXX 的电源系统

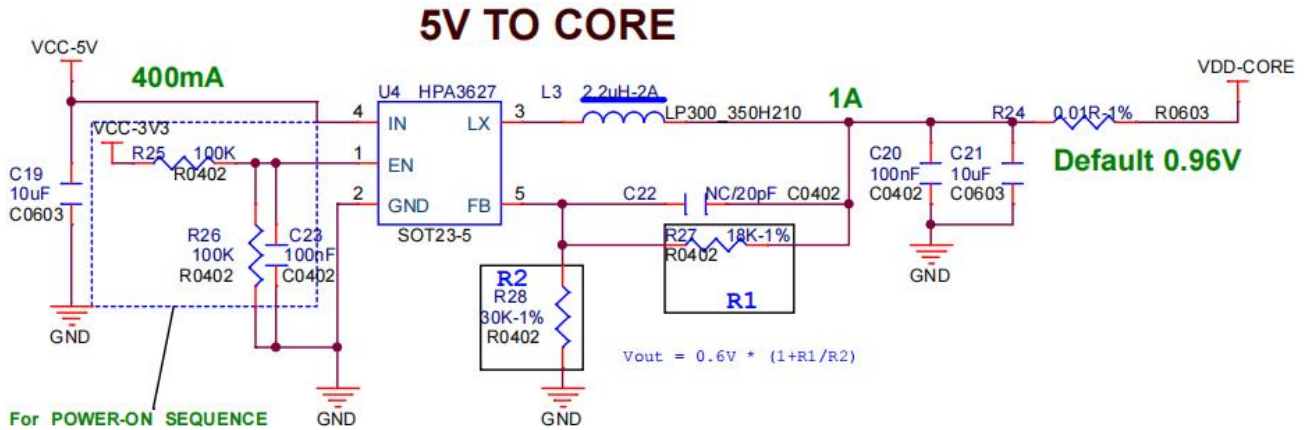
F133 MX-HXX电源树



VDD-CORE 电源设计，VDD-CORE 不支持动态调压，正常工作时保持 0.95V 不变。

- (1) 上电时序通过 DCDC EN PIN RC 器件延时；
- (2) 原理图电压配置默认输出 0.96V，预留 10mV 的器件裕量；

图 2-9 CORE 电源供电参考



DCDC 3.3V 给内部 LDOA/B 和其他 3.3V 电源供电，如 WIFI/Flash/3.3V IO/FM/CARD/LCD 等；

图 2-10 IO 电源参考设计

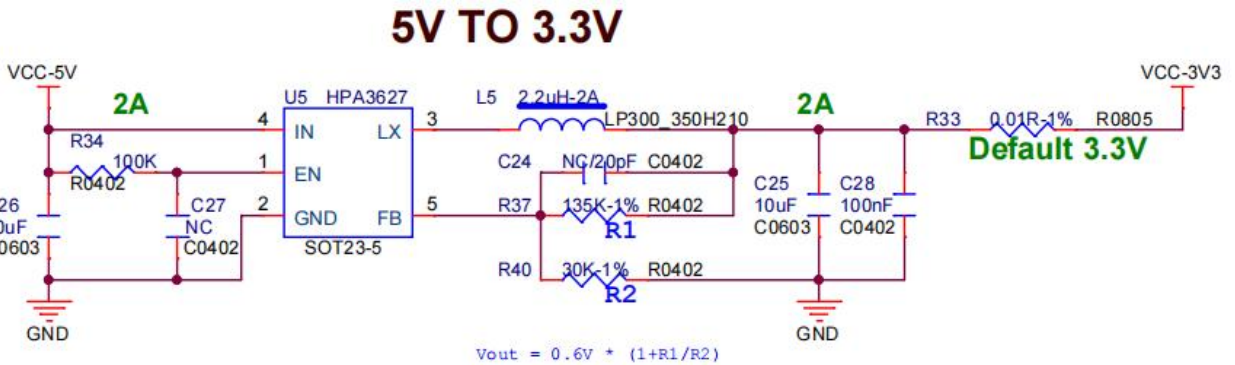
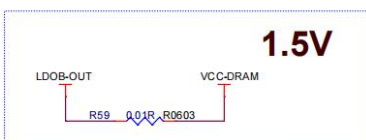
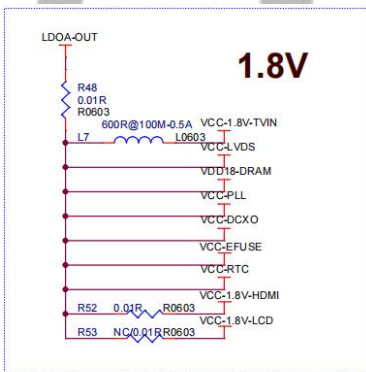


图 2-11 内部 LDO 供电



注意

- 电源参数请参照标案原理图，电源设计有任何疑问和任何改动，请联系我们 FAE。

- Charger IC 选型策略：依实际产品形态定

图 2-12 Charger 电路

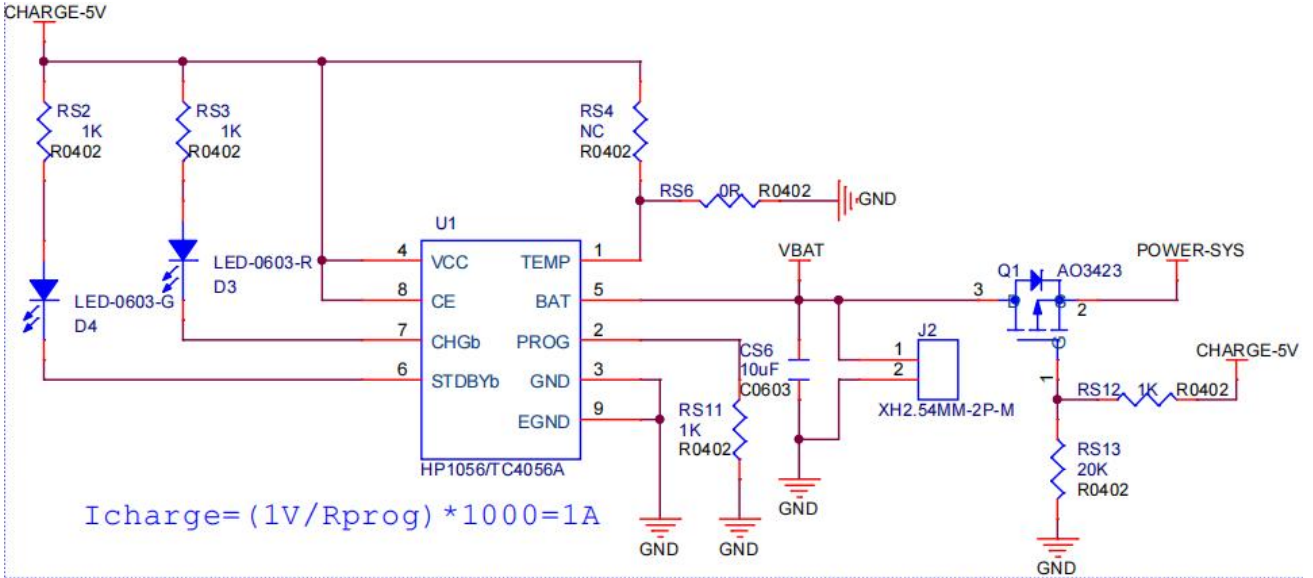
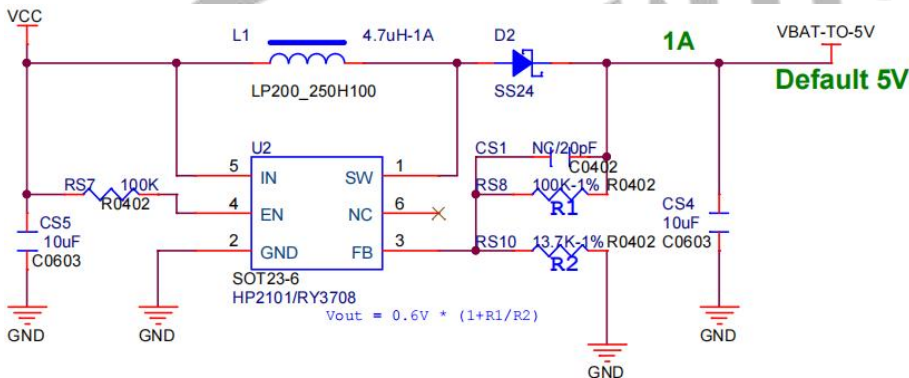


图 2-13 Boost 参考电路设计



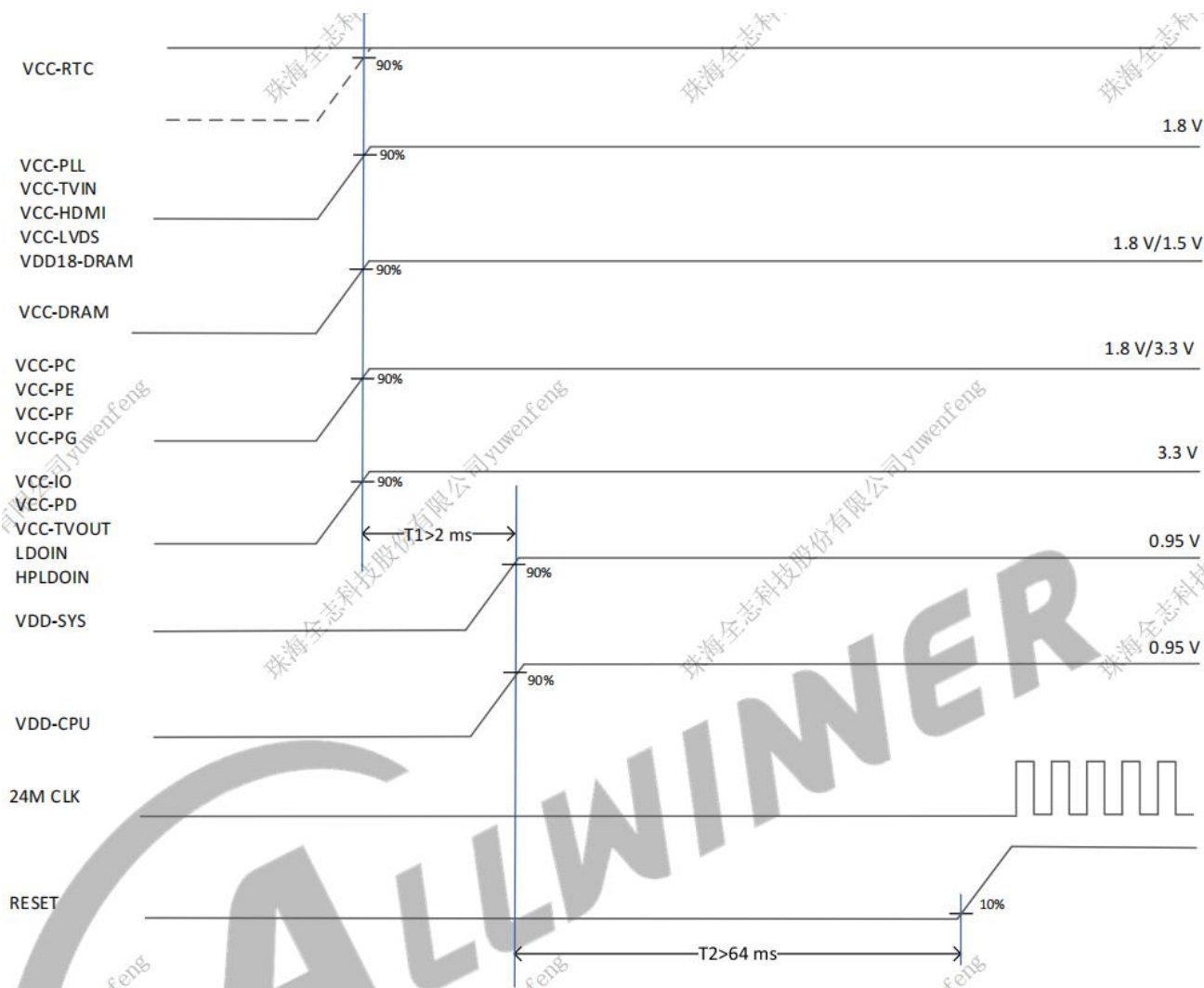
主系统供电前级增加 Boost 升压电路，将电池电压升压到 5V，给 USB、LCD、功放和 wifi 等供电；

2.3.5. 上电时序设计

F133 MX-HXX 上电时序如图所示，时序描述如下：

- 锂电池供电时，关机后如需保持计时/闹钟开机功能，VCC-RTC 需要维持供电；
- 适配器供电时，VCC-RTC 上电时序不晚于其它路供电；
- VDD-CORE 上电时序晚于 VCC-I/O 上电至少 2ms；
- 除 VCC-DRAM 在 boot 启动时配置 LDOB 电压，其他供电必须在复位信号释放前 64ms 达到稳定电压；
- 24M CLK 在 RESET 释放后，4ms 内达到稳定状态。

图 2-14 F133 MX-HXX 上电时序


注意

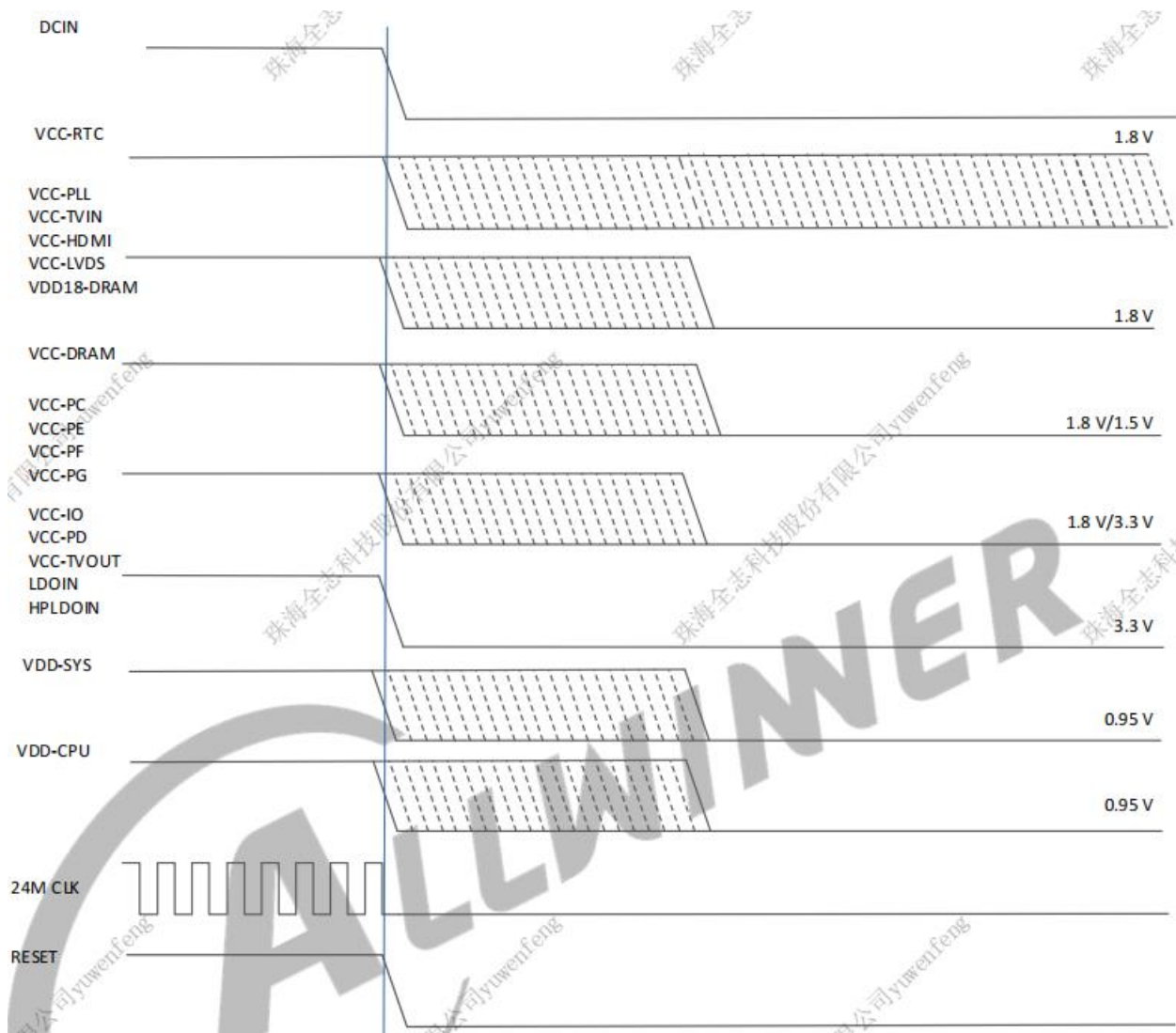
- 当 PD[0:19] 只作为 LVDS 或 DSI 屏使用（全部 IO 接屏，或者部分 IO 接屏，剩余 IO 悬空）时，VCC-PD 可比 VCC-LVDS 提前上电；
- 当 PD[0:19] 部分 IO 作为 LVDS 或 DSI 屏使用（单 lane），部分 IO 作为普通 GPIO 使用时，需要将 VCC-LVDS 提前 VCC-PD 上电。

2.3.6. 下电时序设计

F133 MX-HXX 下电时序如图所示，时序描述如下：

- F133 MX-HXX 内部集成掉电复位功能，通过检测 VCC-IO 电压触发复位，可软件使能掉电复位功能和配置阈值电压，详见 F133 MX-HXX 用户手册描述；
- 为保证掉电后及时拉低复位，下电时序要求 VCC-IO 掉电不得晚于其他供电，以保证在其他供电未掉下前及时拉住复位，使芯片进入复位状态，各 IO 进入复位状态防止掉电过程误翻转。
- 复位信号拉低后，24M CLK 停止振荡。

图 2-15 F133 MX-HXX 下电时序

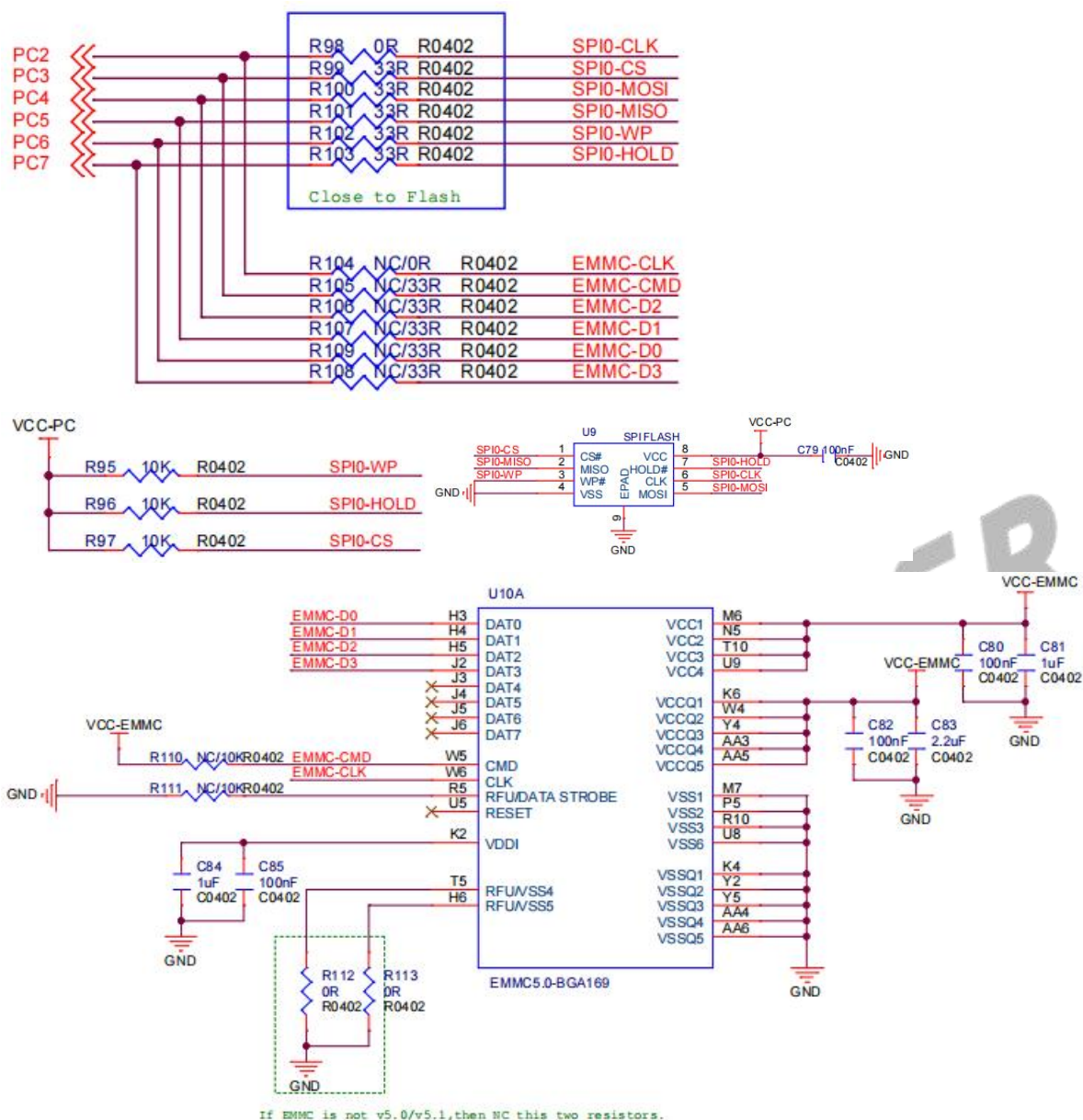


2.4. DRAM 电路设计

F133 MX-HXX 支持外挂一颗 16bit*1 DDR3 颗粒，此部分设计请遵照以下原则：

- DRAM 模块设计请严格参照标案原理图设计，并采用配套的 DDR PCB 模板，不可修改；
- 设计 DRAM 模块原理图时，请勿修改或者重新编排元件位号，否则无法与配套的 PCB 模板匹配；
- DZQ pin 下拉 1%精度 240 欧姆电阻
- DRAM 模块器件的数量、值大小以及精度不允许更改，需严格按照标案原理图设计；
- F133 MX-HXX 支持的 DDR 型号 AVL 请在我司一号通系统中获取，若有未支持的 DDR 新物料，请通过我司业务渠道申请调试支持。

图 2-17 SPI NOR/NAND&EMMC 参考设计



2.6. GPIO 电路设计

F133 MX-HXX 有 PB/PC/PD/PE/PF/PG 6 组 GPIO, GPIO 逻辑电平与供电电压有关。

- 未使用的 GPIO 建议串 10K 电阻接地或者 Floating, 软件设定为 disabled 状态;
- I0 上拉电阻上拉电压选择 I0 所在电源域。

表 2-5 GPIO 电源域

GPIO 分组	控制器电源域	I0 电源域	I0 电压
PB	VDD-SYS	VCC-I0	3.3V
PC	VDD-SYS	VCC-PC	3.3V/1.8V

PD	VDD-SYS	VCC-PD	3.3V/1.8V
PE	VDD-SYS	VCC-PE	3.3V/2.8V/1.8V
PF	VDD-SYS	VCC-PF	3.3V/1.8V
PG	VDD-SYS	VCC-PG	3.3V/1.8V

表 2-6 GPIO 内部上下拉电阻

GPIO 分组	上下拉电阻阻值	误差
PC3-PC7/PF3/PF6	15K	±20%
PG0-PG5	33K	±20%
其他	100K	±20%



注意

- PC/PF 组 IO 有 Flash 及 SD Card 功能，SOC 启动时会 Try 各类介质，会发送时钟、命令、数据信号。原理图设计时不可将声、光、电等使能或控制信号放置在 PC/PF 组 IO 上，以免外设不受控，如 LED 闪亮一下或功放有 pop 声等。如因 IO 口数量不够，必须使用 PC/PF 组 IO，请务必联系全志 FAE 进行评估。

2.7. USB 电路设计

F133 MX-HXX USB0 接口支持 HOST 和 DEVICE，USB1 只支持 HOST，在产品功能定义上需要注意区别。

- 若使用 Micro USB 或 TYPE-C 供电，建议在 VBUS 上放置限流和稳压管、TVS 保护器件；
- USB-ID 信号为 OTG 检测信号，上拉电压选择 USB-ID Pin 所在电源域；
- USB-ID 信号到 SOC 端的 GPIO 串接 1K 电阻提升 ESD 性能；
- D+/D-信号线为高速信号线，并接的 TVS 要求低容值，否则影响数据传输，以小于 4pF 为宜；串接预留 5.1R 电阻。

图 2-18 MICRO USB 推荐电路

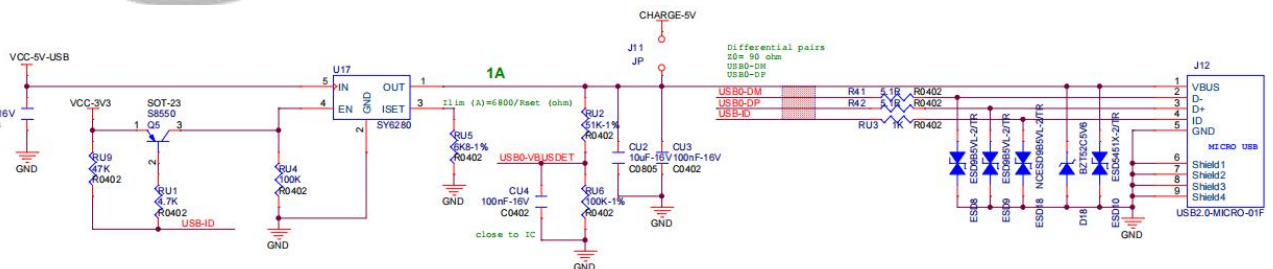


图 2-19 TYPE-C 推荐电路

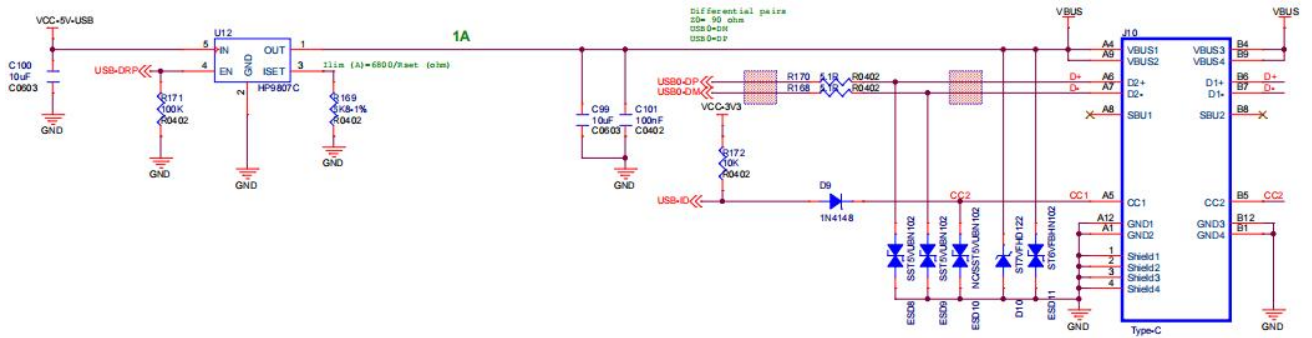
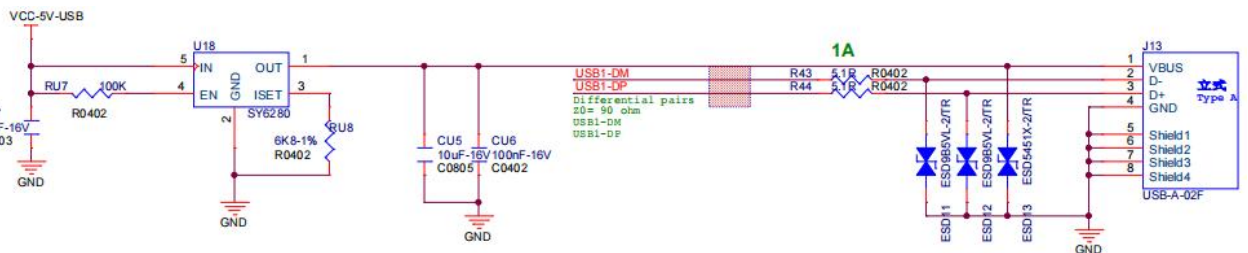


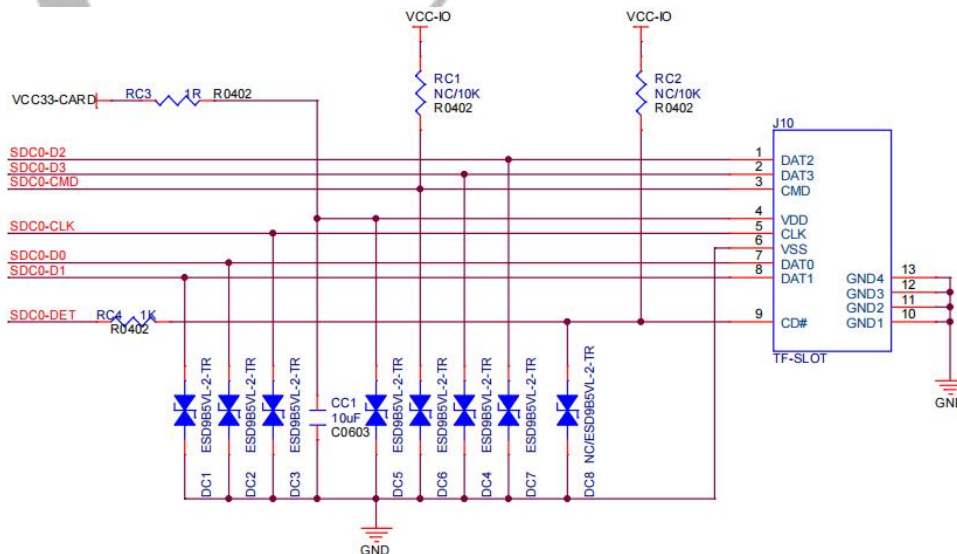
图 2-20 USB HOST 推荐电路



2.8. SD Card 电路设计

- SDC0-CLK 串接 33R 电阻，靠近 SOC 摆放；SDIO 其余 data 也建议串接 33R 电阻；
- SDC0-CMD 和 SDC0-DET Pin 芯片内部集成 15K 上拉电阻，外部 10K 上拉默认 NC；
- SDC0-DET 串接 1K 电阻，减缓信号下冲和提高 IO ESD 能力；
- 靠近 SD 卡座，每个信号 Pin 放置 ESD 器件。
- SD 卡座电源 VDD 串联 1R 电阻，并靠近卡座放置 10uF 大电容，防止卡插入时，瞬间大电流烧卡；

图 2-21 Card 电路参考设计



2.9. 音频电路设计

F133 MX-HXX 丰富的音频接口：

- 2 个 DAC，支持单端立体声 HPOUTL/R (1.8Vpp) 输出和差分 LINEOUT (3.0Vpp) 立体声输出；
- 支持三路麦克风 MICIN1P/1N、MICIN2P/2N、MICIN3P/3N 录音，可配置差分/单端模式，模拟音频电压输入范围为 0~1.8Vpp；
- 支持立体声 LINEINL/R、FMINL/R 音频输入，模拟音频电压输入范围为 0~1.8Vpp；
- 支持 ADC 录音输入和 DAC 播放输出的动态范围调节；
- 支持 2 套 I2S/PCM 接口，支持 TDM 模式；
- 支持 OWA 数字音频输出；
- 支持 DMIC 4 声道输入。

音频设计建议如下：

- AVCC 对 AGND 电容为 2.2uF；VRA1 对 AGND 电容为 10uF，VRA2 对 AGND 电容 470nF；
- AVCC/VRA1/VRA2 的 AGND 通过 0R 电阻单点到 GND；
- 支持 2 套 I2S 接口，其中 PG 口的 I2S 接口固定接 BT 的 PCM 接口，支持蓝牙语音功能，使用时注意 SOC 端 DATA IN/OUT 反接，即 I2S-DIN 接 BT-PCM-OUT，I2S-DOUT 接 BT-PCM-DIN。

图 2-22 音频部分电路

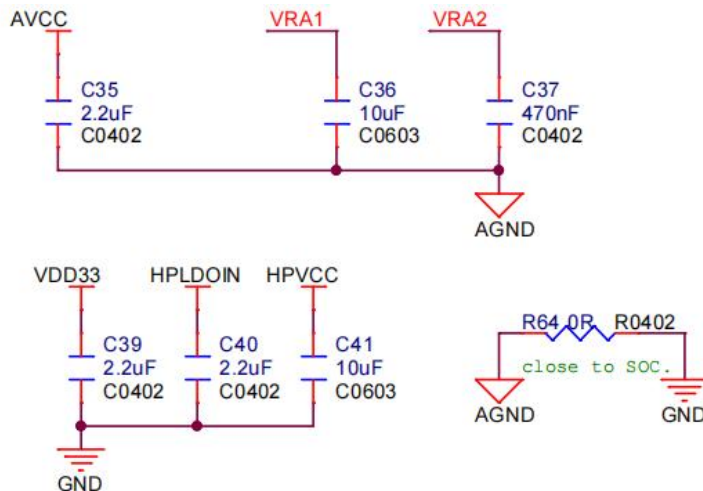


图 2-23 FM 参考电路

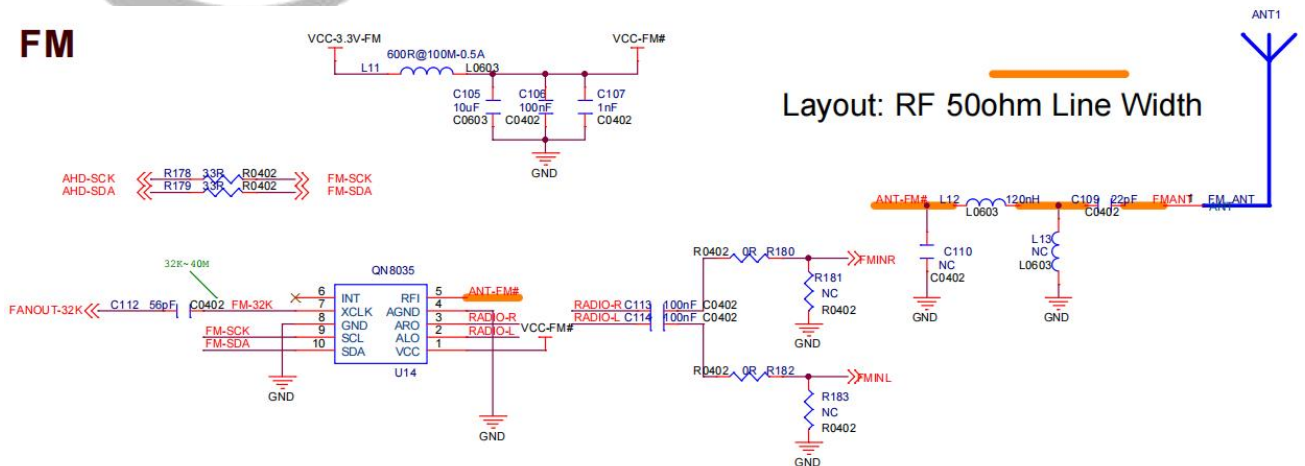
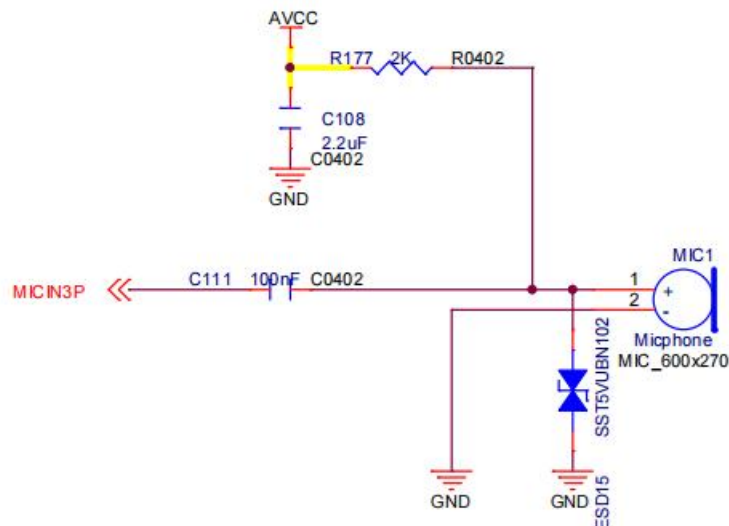


图 2-24 MIC 参考电路

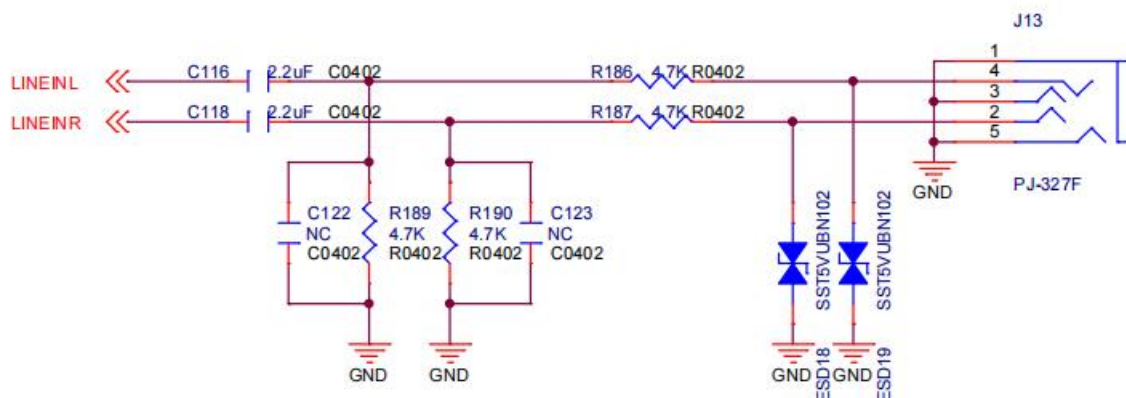
MIC



F133 MX-HXX 为方便 layout 减少信号出 ball，推荐 AVCC 作为 MBIAS 使用。

图 2-25 LINEIN 参考电路

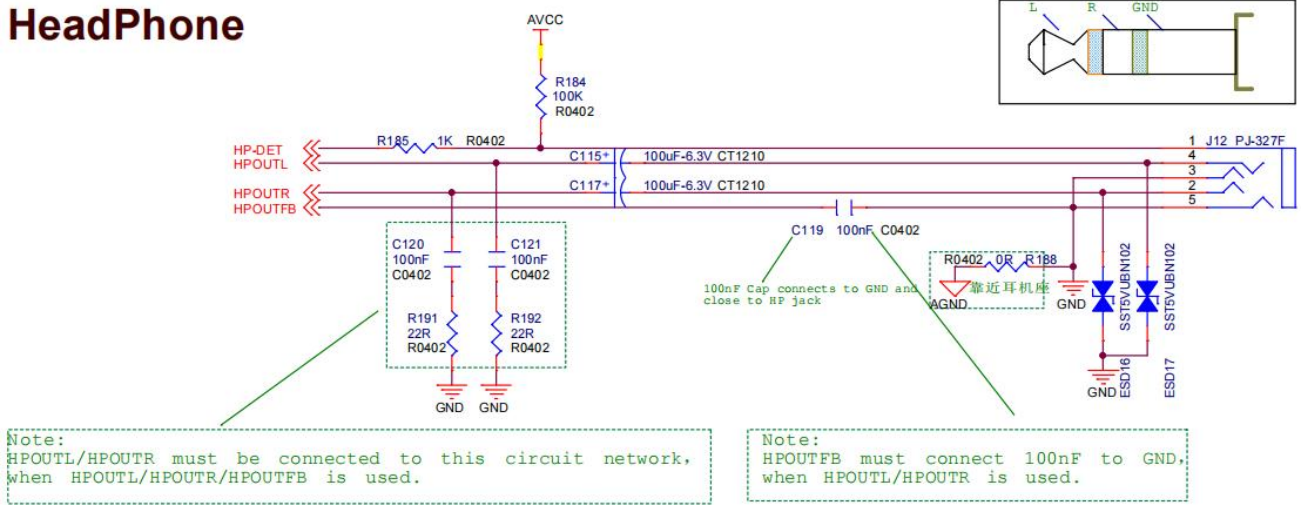
LINEIN



HPOUTL/R 靠近耳机座串联 100uF 电解电容或钽电容，不建议使用陶瓷电容；HP-DET 串联 1K 电阻提升 ESD 性能，上拉 100K 欧姆电阻到 AVCC；HPOUTFB 走在 HPOUTL/R 之间，座子端串联 100nF 电容到 GND，AGND 在不使用耳机的方案不需要在耳机端接地；对于使用耳机的方案，如果是 2 层板，建议在近 SOC 端和耳机端两点接地，4 层板及以上，则在 SOC 端接地即可。

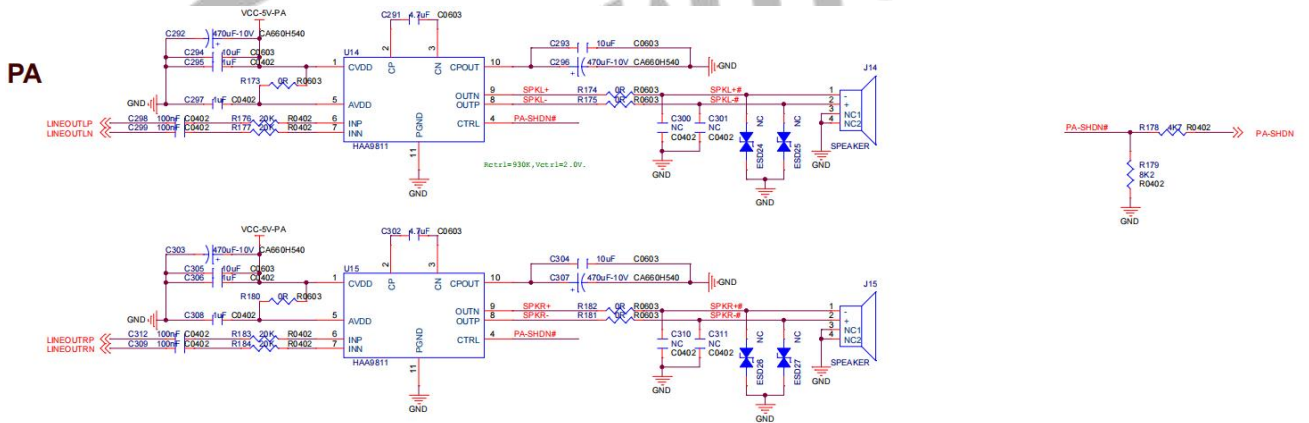
图 2-26 HeadPhone 参考设计

HeadPhone



F133 MX-HXX 支持 LINEOUT 双声道差分输出和 HPOUT 双声道单端输出接功放，差分信号有较高的输出幅值和较强的共模噪声抑制能力，同时差分信号的对称性能避免功放输入不平衡引起的 pop 声，推荐功放电路设计使用 LINEOUT 差分输出。若设计必须使用 HPOUT 输出接功放，HPOUTL/R 输出必须接 100nF 电容和 22R 电阻网络，同时 HPOUTFB 接电容到地，不能悬空。

图 2-27 LINEOUT 参考电路



2.10. HDMI TX 设计

F133 MX-HXX HDMI TX 接口支持 HDMI 1.4b 协议，采用 TDMS 数据传输方式；

- 3lanes 8.91Gbps 的数据速率，最大像素时钟 340MHz，支持 4K/30FPS 的视频格式；
- F133 MX-HXX HDMI 作为发送器，需要外供 5V 电源，电压范围是 4.8V~5.3V，限流 0.5A，建议此 5V 电源和板载 5V 电源做好隔离；
- HSCL/HSDA 是 5V 电平标准，不需要额外增加电平匹配电路，上拉电阻范围为 1.5KΩ~2.0KΩ，推荐默认使用 1.8KΩ 上拉；
- HDMI 高速差分信号需要进行静电防护，TVS 管结电容 ≤0.2pF；

2.12. CVBS 电路设计

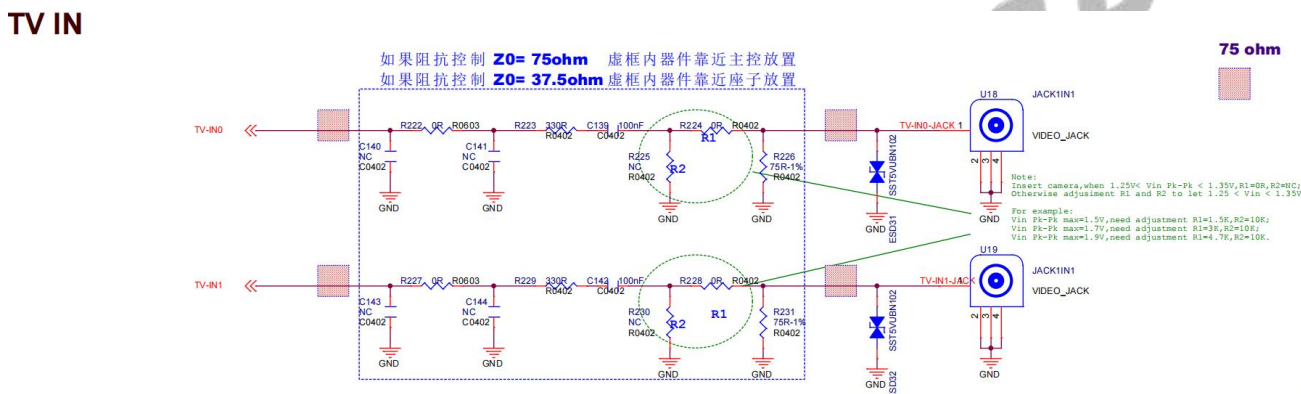
F133 MX-HXX 支持 2ch TVIN 和 1ch TVOUT。

图 2-30 TVOUT 参考电路



TVOUT 走线阻抗控制与端接电阻配合使用，当 R1（靠近 SOC 电阻）贴片，R2（靠近连接器电阻）不贴片时，建议做 75ohm 阻抗控制；当 R1（靠近 SOC 电阻）不贴，R2（靠近连接器电阻）贴片时，建议做 37.5ohm 阻抗控制。

图 2-31 TVIN 参考电路



TVIN 走线阻抗控制与元件放置位置配合使用，R1、R2 为分压电路，插入 CVBS 摄像头后，当 $1.25V < V_{in}$ Pk-Pk $< 1.35V$ 时，R1=0R，R2=NC；否则调整分压电阻令 $1.25 < V_{in}$ Pk-Pk $< 1.35V$ ，例如：

- V_{in} Pk-Pk max=1.5V, need adjustment R1=1.5K, R2=10K;
- V_{in} Pk-Pk max=1.7V, need adjustment R1=3K, R2=10K;
- V_{in} Pk-Pk max=1.9V, need adjustment R1=3K, R2=10K.



注意

- 不使用 TVIN 接口，则 VCC-TVIN/TVIN-VRP/TVIN-VRN/TVINO/TVIN1 可以悬空，GND-TVIN 需接 GND；
- 不使用 TVOUT 接口，则 VCC-TVOUT/TVOUTO 可以悬空。

2.13. LCD 电路接口

表 2-7 RGB&MCU 屏接口

PIN 脚	LCD I/O	Parallel RGB			MCU/i80			
		RGB565	RGB666	RGB888	8bit	9bit	16bit	18bit
PD0	LCD0_D2	-	B0	B2	-	D0		D0

PD1	LCDO_D3	B0	B1	B3	D0	D1	D0	D1
PD2	LCDO_D4	B1	B2	B4	D1	D2	D1	D2
PD3	LCDO_D5	B2	B3	B5	D2	D3	D2	D3
PD4	LCDO_D6	B3	B4	B6	D3	D4	D3	D4
PD5	LCDO_D7	B4	B5	B7	D4	D5	D4	D5
PD6	LCDO_D10	G0	G0	G2	D5	D6	D5	D6
PD7	LCDO_D11	G1	G1	G3	D6	D7	D6	D7
PD8	LCDO_D12	G2	G2	G4	D7	D8	D7	D8
PD9	LCDO_D13	G3	G3	G5	-			D9
PD10	LCDO_D14	G4	G4	G6	-		D8	D10
PD11	LCDO_D15	G5	G5	G7	-		D9	D11
PD12	LCDO_D18	-	R0	R2	-		D10	D12
PD13	LCDO_D19	R0	R1	R3	-		D11	D13
PD14	LCDO_D20	R1	R2	R4	-		D12	D14
PD15	LCDO_D21	R2	R3	R5	-		D13	D15
PD16	LCDO_D22	R3	R4	R6	-		D14	D16
PD17	LCDO_D23	R4	R5	R7	-		D15	D17
PD18	LCDO_CLK	DCLK	DCLK	DCLK	WR	WR	WR	WR
PD19	LCDO_DE	DE	DE	DE	RS	RS	RS	RS
PD20	LCDO_HSYNC	HSYNC	HSYNC	HSYNC	RD	RD	RD	RD
PD21	LCDO_VSYNC	VSYNC	VSYNC	VSYNC	CS	CS	CS	CS
PB2	LCDO_D0	-	-	B0	-			
PB3	LCDO_D1	-	-	B1	-			
PB4	LCDO_D8	-	-	G0	-			
PB5	LCDO_D9	-	-	G1	-			
PB6	LCDO_D16	-	-	R0	-			
PB7	LCDO_D17	-	-	R1	-			

表 2-8 MIPI 屏接口

PIN 脚	MIPI DSI 接口	说明
PD0	DSI-D0P	MIPI LINE0
PD1	DSI-D0N	
PD2	DSI-D1P	MIPI LINE1
PD3	DSI-D1N	
PD4	DSI-CKP	MIPI 差分时钟
PD5	DSI-CKN	
PD6	DSI-D2P	MIPI LINE2
PD7	DSI-D2N	

PD8	DSI-D3P	MIPI LINE3
PD9	DSI-D3N	

表 2-9 LVDS 屏接口

PIN 脚	LVDS 接口	说明
PD0	LVDS0-V0P	0 通道差分 DATA0
PD1	LVDS0-V0N	
PD2	LVDS0-V1P	0 通道差分 DATA1
PD3	LVDS0-V1N	
PD4	LVDS0-V2P	0 通道差分 DATA2
PD5	LVDS0-V2N	
PD6	LVDS0-CKP	0 通道差分 CLOCK
PD7	LVDS0-CKN	
PD8	LVDS0-V3P	0 通道差分 DATA3
PD9	LVDS0-V3N	
PD10	LVDS1-V0P	1 通道差分 DATA0
PD11	LVDS1-V0N	
PD12	LVDS1-V1P	1 通道差分 DATA1
PD13	LVDS1-V1N	
PD14	LVDS1-V2P	1 通道差分 DATA2
PD15	LVDS1-V2N	
PD16	LVDS1-CKP	1 通道差分 CLOCK
PD17	LVDS1-CKN	
PD18	LVDS1-V3P	1 通道差分 DATA3
PD19	LVDS1-V3N	


注意

- 若使用单 LINK LVDS，请使用 LVDS0 接口，另外一组可作为普通 IO 使用（GPIO FUNCTION 需配置为 IO 功能），其电源域为 VCC-PD。
- 若使用的某组 LVDS 并未把 4lane 全用上，可以将其他 data 作为普通 IO 使用（GPIO FUNCTION 需配置为 IO 功能），其电源域为 VCC-PD。

SPI 屏支持以下几种模式：

表 2-10 SPI 屏接口：

3 线 1 Data	3 线 2 Data	4 线 1 Data	4 线 2 Data	2 Data Lane
DBI-CSX	DBI-CSX	DBI-CSX	DBI-CSX	DBI-CSX
/	/	DBI-DCX	DBI-DCX	/

DBI-SCLK	DBI-SCLK	DBI-SCLK	DBI-SCLK	DBI-SCLK
DBI-SDA	DBI-SD0	DBI-SDA	DBI-SD0	DBI-SDA
/	DBI-SDI	/	DBI-SDI	WRX
DBI-TE	DBI-TE	DBI-TE	DBI-TE	DBI-TE

表 2-11 DBI 接口与 SPI1 复用关系

DBI	SPI1
DBI-CSX	SPI1-CS
DBI-SCLK	SPI1-CLK
DBI-SD0/SDA	SPI1-MOSI
DBI-SDI (WRX) /TE/DCX	SPI1-MISO
DBI-DCX/WRX	SPI1-HOLD
DBI-TE	SPI1-WP

2.14. CSI 电路接口

并行 CSI 接口支持 8bit DVP 接口、BT656 和 BT601 接口输入,可支持最高达 148.5MHz 的像素时钟,BT656 接口在时钟双边沿采样模式下,可支持 2*1080p@30fps 输入;

表 2-12 F133 MX-HXX CSI 接口

PIN 脚	CSI 接口	说明
PE0	NCS10-HSYNC	摄像头行同步
PE1	NCS10-VSYNC	摄像头场同步
PE2	NCS10-PCLK	摄像头像素时钟
PE3	NCS10-MCLK	摄像头主时钟
PE4	NCS10-D0	Parallel CSI Data Bit0
PE5	NCS10-D1	Parallel CSI Data Bit1
PE6	NCS10-D2	Parallel CSI Data Bit2
PE7	NCS10-D3	Parallel CSI Data Bit3
PE8	NCS10-D4	Parallel CSI Data Bit4
PE9	NCS10-D5	Parallel CSI Data Bit5
PE10	NCS10-D6	Parallel CSI Data Bit6
PE11	NCS10-D7	Parallel CSI Data Bit7
PE12	TWI2-SCK	摄像头 TWI 时钟
PE13	TWI2-SDA	摄像头 TWI 数据

CSI 接口支持外挂 AHD 芯片接收高清模拟摄像头数据，已支持的型号有 TP9950/TP2850/XS9950/N5，有以下几点需要注意：

- SOC 可 fanout 出 27MHz 时钟供 AHD PHY 芯片使用，可以省下外部晶体的成本；
- 模拟电源和数字电源应当做好隔离，避免互相干扰，常规做法是使用磁珠滤波；
- 模拟摄像头信号做好阻抗匹配；
- 模拟摄像头输入端应当做好 ESD 防护。



注意

- 摄像头 TWI 接口不指定 TWI2，视平台方案和驱动配置而定。

2.15. WIFI/BT 电路设计

WIFI 部分设计请参照相关 WIFI 平台的设计资料。

设计要点如下：

- WIFI 端 SDIO/UART/PCM/其他控制 IO 电平要与 PG 口电平保持一致；例如标案设计 WIFI-REG-ON(WIFI-DIS) 信号在 VCC-PE 电源域，设计时要特别注意与 VCC-PG 电平保持一致；
- WIFI 使用到的低频时钟（32K）和工作时钟（24M）可从 SOC 端 Fanout 出来；
- SDIO 的 CLK 上需要串接 33R 电阻，并外设端预留滤波电容位，降低 CLK 上的辐射干扰；
- SDIO 的 data 需要串接 33R 电阻，可以有效降低 SDIO 总线辐射出来的 EMI 干扰；
- SOC 端 UART TX/RX/CTS/RTS 以及 PCM IN/OUT 信号必须与模组端信号交叉连接；



说明

- WIFI 模块需要用到的 32K 时钟可以从主控 CLK-FANOUT 引出。

2.16. GMAC 电路接口

千兆网和百兆网电路设计请参照相关 PHY 设计资料。

设计要点如下：

- GMAC 复用于 PG/PE 口，支持 RGMII/RMII 硬件接口，有单独的 VCC-PG/PE 可灵活调整工作电压以适应于不同 PHY 芯片工作模式与电压模式。
- F133 MX-HXX 可 Fanout 25MHz 时钟信号给外部 PHY 芯片使用，节省外部 25MHz 晶振。
- 以太网差分线上串接排阻的阻值不能太大，建议预留 0 欧，有利于改善雷击测试。
- RGMII-TXCK 建议预留 RC，便于 EMI 抑制调试，靠 SOC 端摆放。
- RGMII-RXCK 建议预留 RC，便于 EMI 抑制调试，靠 PHY 芯片端摆放。



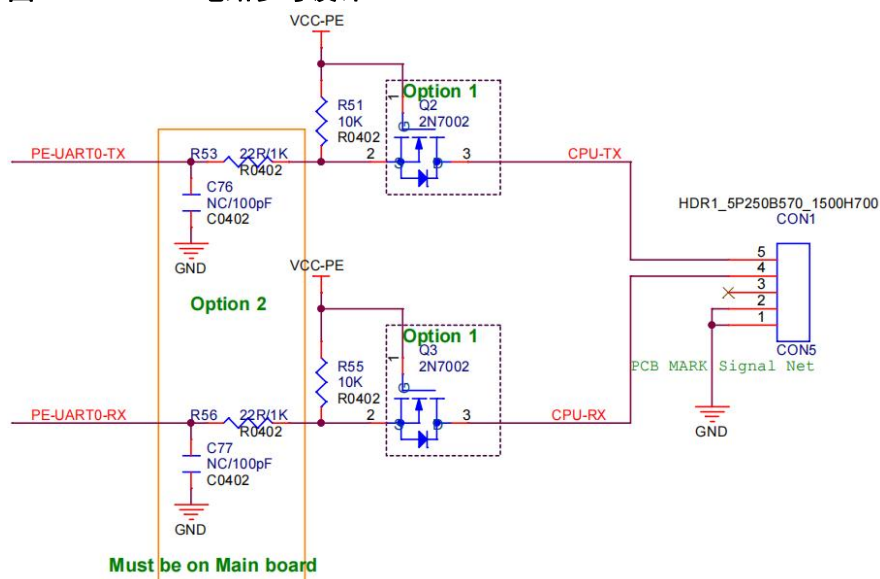
注意

- 开发者设计时请留意，千兆 PHY 芯片 RTL8211F-CG/RTL8211FD-CG 的 TX 对应连接到 F133 MX-HXX 的 TX，RX 对应连接到 F133 MX-HXX 的 RX。有少部分开发者遵循了 UART 的连接方式，将 TX 连接到 RX，RX 连接到 TX，造成原理设计错误。

2.17. 其他

- TWI 最大支持 400Kbit/s 的传输速率，总线上加上拉电阻，推荐值为 2.0K~4.7K，上拉电源为对应 GPIO 电源域，各设备地址不得有冲突；
- GPIO 分配时，请确保电平相匹配，上拉的电压域必须为此 GPIO 的电源域，以防外设向 SOC 漏电情况发生；
- 串口调试电路 TX/RX 信号要加防倒灌电/隔离保护电路。可以选择 MOS 管或二极管方案，二极管方案必须选择肖特基二极管。加工生产时为节约成本，MOS 管和二极管隔离保护电路可以 NC，但板级至少要串接 1K 电阻。

图 2-32 DEBUG 电路参考设计



说明，未涉及模块请查阅 datasheet，或联系全志 FAE。

3. PCB 设计

3.1. 叠层设计

F133 MX-HXX 的两层和四层叠层参考如下:

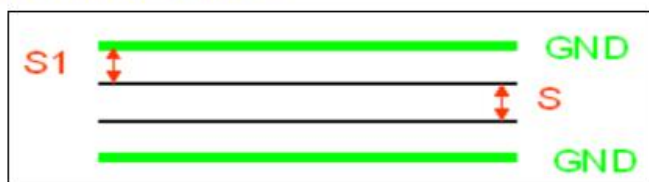
图 3-1 两层板厚叠层设计参考

Total layers:	2
Board thickness:	1.0/1.6 mm +/- 10%
PCB material:	Typical FR4
Surface finish:	ENIG(化学镍金)

Stackup Control Table							
---	Stackup Structure				Impedance Requirements		
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Width/space (mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	3.8			
1	TOP	1.6	0.3oz+plating		NA	4	70
					50±10%(wifi)	20(看备注)	49.7
					75±10%(模拟)	4(看备注)	75.26
					90±10%	6/4	90.56
	prepreg	35/58		3.9-4.0			
2	BOTTOM	1.6	0.3oz+plating		NA	4	70
					50±10%	20	49.7
					75±10%	4	75.26
					90±10%	6/4	90.56
	solder mask	0.5	SM	3.8			
	Board thickness:	39.2/62.2					

备注: 50ohm阻抗控制, 除了需要20mil线宽, 同时要求两边包地, 信号线与GND的距离为4mil; 75ohm阻抗控制, 要求两边包地, 信号线与GND的距离为5mil。

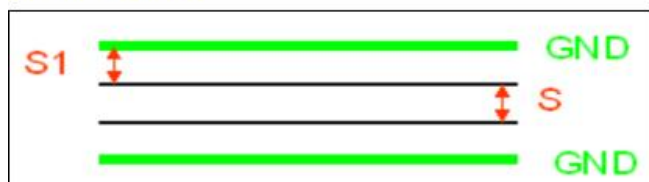
1. DDR信号双线包地



两根包地

- A. $S \geq 4$ mil (信号与信号的边沿间距)
- B. $S1 = 4$ mil (信号与地线的边沿间距)
- C. 信号线线宽: $= 4$ mil
- D. GND线宽: ≥ 10 mil (通常取为16mil, 等于过孔焊盘大小)

2. 差分线包地



- A. $S = 4$ mil (P与N的边沿间距)
- B. $S1 = 4$ mil (信号与地线的边沿间距)
- C. 信号线线宽: $= 4/6$ mil (100ohm/90ohm)
- D. GND线宽: ≥ 10 mil (通常取为16mil, 等于过孔焊盘大小)

图 3-2 四层板厚叠层设计参考

Total layers:		4																
Board thickness:		0.8~1.6 mm +/- 10%																
PCB material:		Typical FR4																
Surface finish:		ENIG(化学镀金)																
Stackup Control Table																		
Layer	Type	Thickness (mil)	SM	Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)	DDR	other signals								
1	TOP	1.6	0.3oz+plating	3.4-3.8	37.5±10%	2	8.1	NA	Signal	Signal								
					50±10%	2	4.5	NA										
					50±10%(w fil)(0201)	3-2层	12/4(包地间距)	NA										
					50±10%(w fil)(0402)	3-2层	20/5(包地间距)	NA										
					75±10%	2	小于3mil	NA										
					75±10%	3-2层	20mil	NA										
					80±10%	2	5.5/4.5	NA										
					85±10%	2	5/5	NA										
					90±10%	2	4.4/5	NA										
					100±10%	2	4/8	NA										
2	prepreg	2.5-3.2		3.5-4.5				NA	GND	GND								
	GND core	1.2 20~60	1.0oz	3.8-4.5														
3	PWR	1.2	1.0oz	3.5-4.5	37.5±10%	4/2	6.7	NA	Signal	Power								
					50±10%	4/2	4	NA										
					80±10%	4/2	4.5/5	NA										
					85±10%	4/2	4.1/5	NA										
					90±10%	4/2	3.8/6	NA										
4	BOTTOM	1.6	0.3oz+plating	3.4-3.8	37.5±10%	3	8.1	NA	Power/GND	Signal								
					50±10%	3	4.5	NA										
					75±10%	3	小于3mil	NA										
					75±10%	2-2层	20mil	NA										
					80±10%	3	5.5/4.5	NA										
					85±10%	3	5/5	NA										
					90±10%	3	4.4/5	NA										
					100±10%	3	4/8	NA										
					solder mask	0.5	SM	3.4-3.8										
					Board thickness:	31~63												

备注：
 1、板厂调整线宽不得超过原始设计的15%，建议在10%以内。举例：原设计4mil的线宽，实际生产线宽不能超过4.6mil。
 2、I列阻抗计算结果基于2.9mil的PP厚度，供参考。

3.2. SOC fanout

F133 MX-HXX 封装为 LFBGA337 balls, 13mm*13mm, 0.65mm ball pitch, 0.3mm ball size。

两层板 Fanout 建议如下：

- DDR 出线必须完整按照我司模板设计，不能调整任何一根走线或过孔；
- 非电源信号线尽量从 TOP 层拉出，线宽可以走 4.0/4.5/5.0mil 等规格，拉离 SOC 后再根据实际情况走线或打孔，才能更好实现两层板的 layout；
- 电源线（3.3V/0.95V 等电压阈）以 BOT 层走线为主，以条状加粗走线至对应电源 ball 下方，避免大面积电源覆铜、挤占 GND 的覆铜空间；
- SOC 需要 1.8V 电压阈的电源 ball 较分散，该电源负载并不高，可以用 5.5mil 线宽走在 TOP 层 SOC 正下方，建议走在 SOC DDR 部分的对侧位置，避免割裂 TOP 层中 SOC 和 DDR 的地完整性；
- GND 出线主要依赖 BOT 层空间，GND balls 打地孔到 BOT 层后，利用覆铜方式保证 GND 信号有较宽的路径，并通过走线方式在 TOP 和 BOT 层将 GND 信号往不同方向走出去。

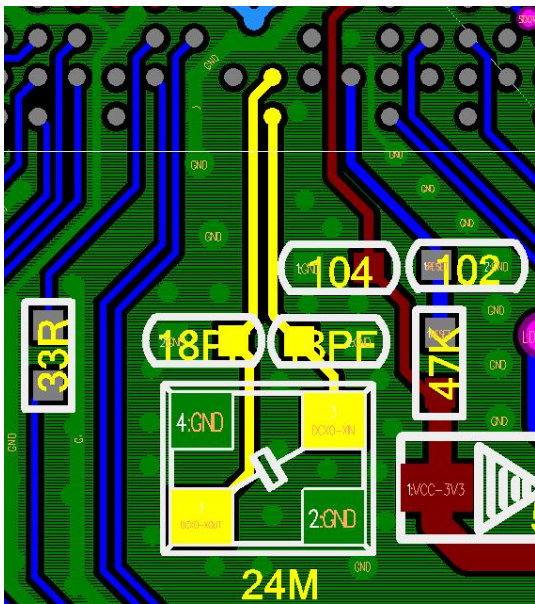


注意

- 两层板方案无法把 SOC 所有 ball 资源都拉出来，此平台倾向于做差异化方案。

- 如无使用内部 RTC 计时需求，建议 X32KIN/X32KOUT 悬空，省下空间给其他模块走线；
- 晶体必须和 SOC 放置同一面。避免换层过孔，增加杂散电容而引起频率偏移；
- 晶振的匹配电容必须靠近晶振管脚摆放；
- 晶振及其走线区域的外围和相邻层，用 GND 屏蔽保护，禁止其它走线；
- AP-CK-24M-OUT 和 CLKFOUT 时钟给 WIFI 或 FM 模组使用，走线同层和相邻层必须包地屏蔽。远离大电流和高速信号。AP-CK-24M-OUT 走线建议不换层。

图 3-4 时钟走线 layout 参考



3.3.2. 复位和系统配置 Pin Layout 设计

复位建议 Layout 采用以下原则：

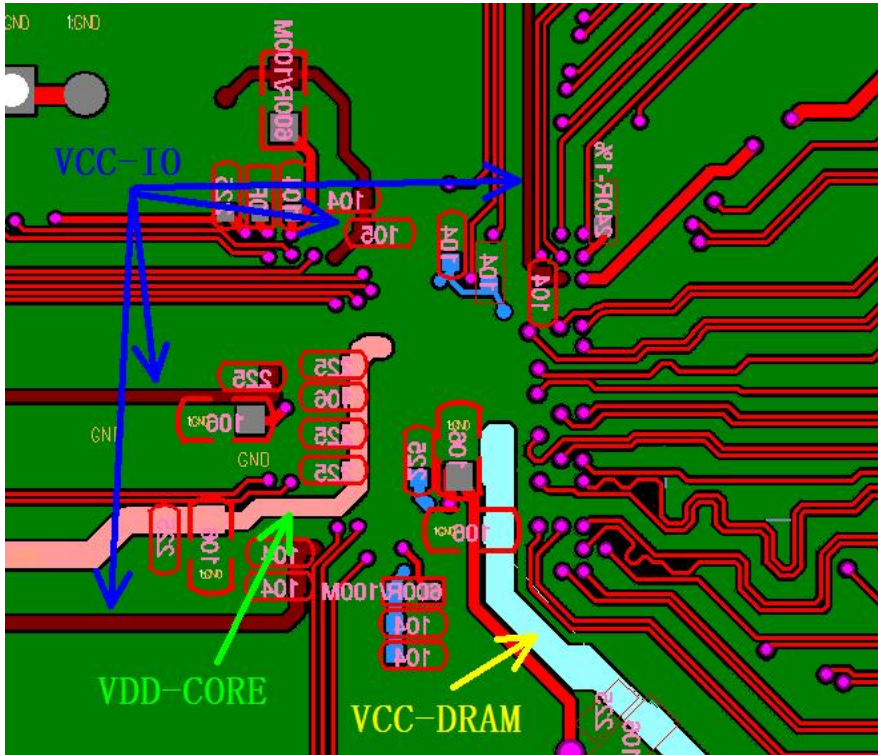
- 当 SOC 复位信号上拉至 VCC-IO 电源域时，上拉电阻靠近 SOC，复位信号两边包地，对地 1nF 电容靠近 SOC 放置，保证复位信号走线长度尽量短，提高 ESD 性能；
- SOC 复位信号由外部复位 IC 提供时，PCB 需要包地走线、避开接口信号，对地 1nF 电容靠近 SOC 放置，保证复位信号走线长度尽量短，提高 ESD 性能；

3.3.3. SOC 电源 Layout 设计

SOC 端电源建议 Layout 采用以下原则：

- SOC 端电源 fanout 建议按照全志模板设计，VDD-CORE (CPU/SYS) 和 VCC-DRAM 两路大电流电源以铺电源平面实现。VDD-CORE 布线干路最窄处要求走线宽度不小于 25mil，H13/H14 ball 附近电源过孔 ≥ 2 个，H8/G8 ball 附近电源过孔 ≥ 3 个。VCC-DRAM 布线最窄处要求走线宽度不小于 20mil；VDD-CORE/VCC-DRAM DC IR Drop 控制在 1% 以内；
- 各路电源电容需靠近 SOC ball 放置（放在 bottom 层时也靠近对应 ball 放置），放置距离要求小于去耦半径。电容 GND pin 附近加过孔。容值由小到大，由近及远靠近 SOC 摆放，且电容尽量不要把 BOT 层的 GND 割裂开来；

图 3-5 SOC 电源 Layout 参考设计

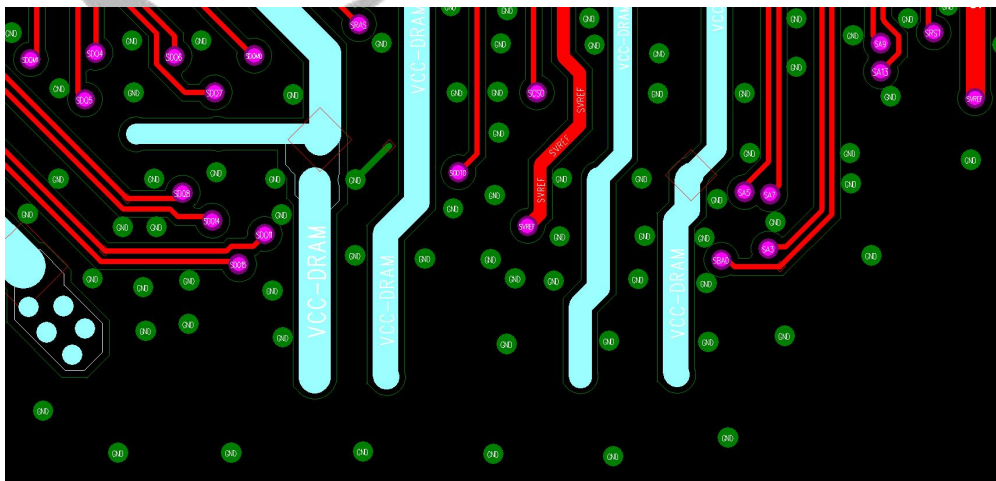


3.4. DDR 模板设计

DDR 的 Layout 采用以下原则：

- 直接导入全志的 DDR PCB 模板到 Layout 设计中，不可以改变模板面积，不可调整器件/走线/过孔/覆铜，以确保 DDR 的速率和稳定性；
- DDR 和 SOC 在 TOP 层和 BOT 层的 GND 连接断开处用走线连接；
- DDR 模板在 TOP 层和 BOT 层位置都留有较宽的 GND 路径以保证和外部地通路有效连接，请勿被其他外设或走线隔离；

图 3-6 DDR 电源 Layout 参考设计

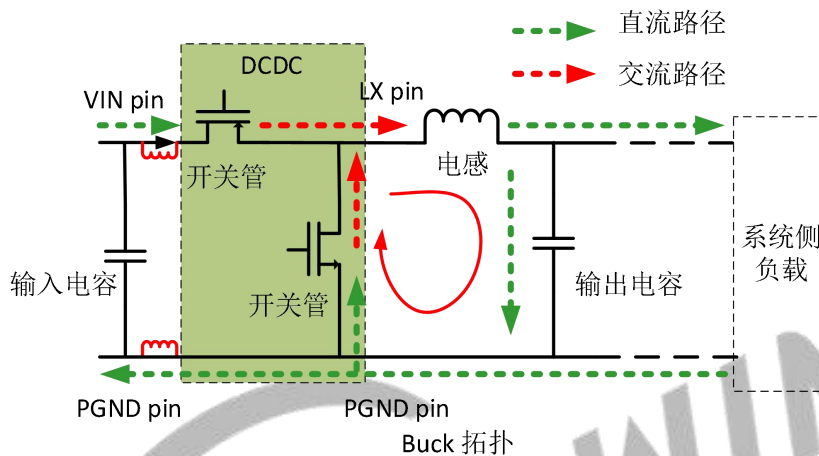


3.5. 分立电源 Layout 设计

电源建议 Layout 采用以下原则：

- DCDC/LDO 及外围电感、电容等主要器件需要放在同一层；
- 输入滤波电容尽量靠近电源输入 ball，如有过孔，过孔不少于 3 个；
- DCDC 输出电容与电感布局位置需保证回路面积最短，减小回路电感，减少纹波测试引入电感 LX 信号的干扰；
- 输入电容和输出电容的 GND 应当处于同一地平面，即输入输出需要有完整的 GND 回路。

图 3-7 BUCK 拓扑



- 电感如与 DCDC 相接，保证电容位置的前提下，尽量靠近 DCDC 的 LX pin，线径满足电流要求；
- DCDC 的输入最好有一个电源平面；
- 电压反馈线，输出电压经过电容滤波后，紧挨电容取点，用 4~10mil 的线引入 DCDC 即可；
- 反馈线在 TOP 面与 LX 的平行走线尽量短，最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号。分压电阻的地与 DCDC 的地尽可能的近；
- DCDC 电感下方禁止走线和铺地层。

3.6. SPI NAND/NOR Layout 设计

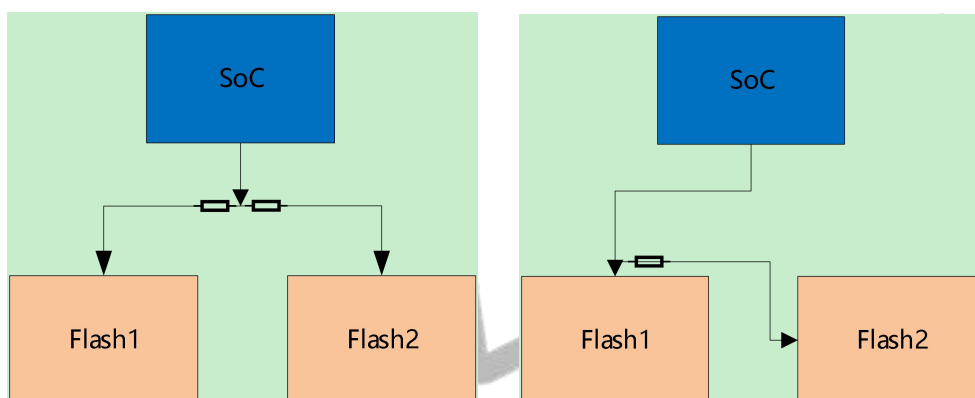
SPI NAND/NOR 建议 Layout 采用以下原则：

- NAND/NOR 应靠近主控摆放，去耦电容均靠近 NAND/NOR 电源管脚摆放；
- NAND/NOR 电源线宽不小于 10mil；电源线上如有过孔，则换层处过孔数量不少于 2 个，避免过孔限流影响供电；
- SPI-CLK 信号串接电阻靠近主控摆放，串阻与主控连接走线距离 $\leq 300\text{mil}$ ；
- NAND/NOR 与主控走线间走线 $\leq 2000\text{mil}$ ，信号走线路径上尽量少打过孔；
- SPI-MISO/SPI-MOSI/SPI-WP/SPI-HOLD 参考 SPI-CLK 做等长，控制 $\leq 300\text{mil}$ ，并两两包地，如果不能包地则保持线间距 ≥ 2 倍线宽；
- 走线尽量避开高频信号，务必保证走线参考平面完整。
- CLK 信号单独做包地处理，包地通过过孔与 GND 平面连接，如果不能包地则保持线间距 ≥ 3 倍线宽；
- 其他 SPI/DBI 接口 Layout 规则可参考此规则。

3.7. eMMC Layout 设计

- eMMC 与主控间走线长度 $\leq 2000\text{mil}$ ；线间距 $\geq 2W$ ；D0~D3、CMD 相对 CLK 等长控制 $\pm 300\text{mil}$ 以内；且 D0~D3 上使用过孔的数量尽量相同；
- eMMC 电源走线线宽不小于 12mil ；
- CLK 和 DATA 信号尽量包地处理，包地通过过孔与 GND 平面连接，保证所有信号线参考平面完整。如果不能包地，则保持线间距 ≥ 3 倍线宽，所有信号避开高频信号；
- SPI NOR/SPI NAND/eMMC 双 Layout 时，走线采用菊花链方式，将 eMMC 或读写速率较高的器件作为走线的终点，尽量减少分叉线长度。如果期望 eMMC 运行在较高频率，则建议只使用 eMMC，保证主控 IO 与 eMMC 点对点连接；
- eMMC NC/RFU 等保留引脚都悬空，不可为了走线方便将这些信号与电源、地、或其他 eMMC 信号连接在一起

图 3-8 Flash 双 Layout 设计参考



3.8. SDIO Layout 设计

SDIO 建议 Layout 采用以下原则：

- CLK 串接电阻靠近主控摆放，串阻与主控 CLK 连接走线距离 $\leq 300\text{mil}$ ；
- 信号线做等宽控制，线间距 ≥ 2 倍线宽，D0~D3 相对 CLK 等长控制 $< 500\text{mil}$ ；
- 走线尽量避开高频信号，信号线走线参考平面完整。两层板设计时，DATA 信号线两两包地；
- CLK 做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 ≥ 3 倍线宽。

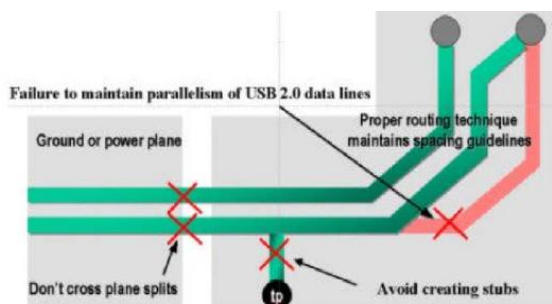
3.9. USB Layout 设计

USB 建议 Layout 采用以下原则：

- USB-5V 按照电流要求走线；
- USB-DM/USB-DP 信号差分走线，等宽等间距，差分阻抗为 90ohm ，保证走线参考层不跨分割；
- USB-DM/USB-DP 建议与其它信号的间距 $> 10\text{mil}$ ，避免走线走在器件下面或者与其他信号交叉；
- USB-DM/USB-DP 走线在有空间的情况下，走线两边包地并打地过孔；

- USB-DM/USB-DP 走线拐角的角度需保证 ≥ 135 度；保证 USB 走线的总长度控制在 4000mil 以内，走线的过孔不超过 2 个；
- TVS 器件需要靠近 USB 座子摆放；
- USB 座子金属外壳接地管脚 TOP 面建议全铺接地。

图 3-9 USB 差分走线



3.10. 音频 Layout 设计

SOC 端音频部分建议 Layout 采用以下原则：

- AVCC/HPVCC/VRA1/VRA2/AGND 接地电容、电阻依次靠近主控摆放；
- PCB 走线 AVCC 线宽 ≥ 10 mil；VRA1、VRA2 线宽 ≥ 10 mil；线长 ≤ 300 mil，远离高速干扰信号；
- AGND 走线至少 20mil 线宽，空间允许情况下增加一片覆铜，若耳机座远离 SOC，建议 AGND 分别在 SOC 端和耳机座端放置 0 ohm 电阻到地，连接到 GND 平面的过孔 ≥ 2 个。

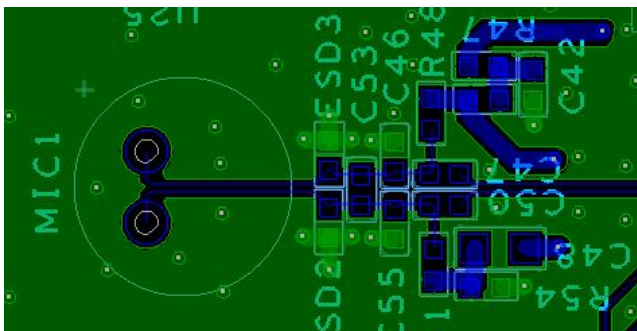
HPOUT 建议 Layout 采用以下原则：

- 耳机 GND 与 HPOUTFB 信号间的隔直电容靠近耳机座子端放置；
- HPOUTL/HPOUTR/HPOUTFB 信号并行走线，HPOUTFB 信号走中间，HPOUTL/HPOUTR 信号走两边，线宽 10mil，整组包地并打地过孔，走线和过孔远离高速信号和时钟信号。

MIC 建议 Layout 采用以下原则：

- MIC 外围器件位置按照原理图要求摆放；
- MICxP/MICxN，类差分走线，线距 4mil，包地，穿层时保证包地的完整；
- MIC 走线及摆放位置远离 (≥ 200 mil) RF、PA、开关电源；
- MIC 的偏置电流 AVCC 与 MICxP/MICxN 并行走线，线宽 10mil；
- ESD 器件必须靠近 MIC 摆放，从 MIC 引出来的走线必须先经过 ESD 器件，再连接其他器件；
- MIC 作为 AEC 回路时，AEC 电路靠近功放布局并按照原理图顺序整齐摆放。

图 3-10 AEC 电路 PCB 布局



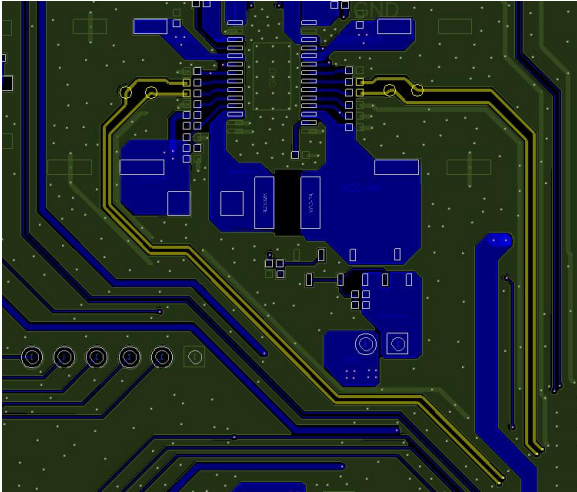
LINEIN/FMIN 建议 Layout 采用以下原则：

- 每对 L、R 信号分别包地，建议线宽 4mil；走线及过孔远离高速信号及时钟信号。

LINEOUT 建议 Layout 采用以下原则：

- LINEOUTLP/N 和 LINEOUTRP/N 为两路差分立体声输出，同声道的 P 和 N 需要以类差分方式走线，建议线宽 4mil、线距 4mil，差分信号要单独包地；
- LINEOUTLP/N 和 LINEOUTRP/N 两个差分对走线需要等长处理，差分对组间误差建议 $\leq 300\text{mil}$ 。

图 3-11 LINEOUT 走线参考



当使用外部功放 IC 时：

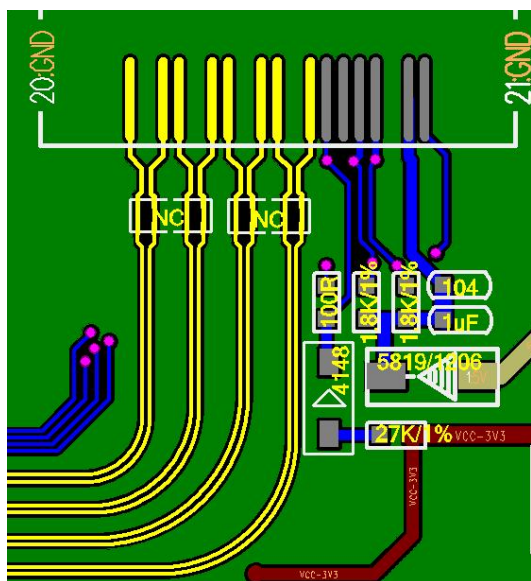
- 外部功放 IC 放置在板子边沿；
- 电源线宽 $\geq 15\text{mil}$ ，大电解电容靠近 IC 电源 PIN 脚放置；
- 音频输入输出信号线宽 10mil，做包地处理；

3.11. HDMI Layout 设计

F133 MX-HXX HDMI TX layout 指导如下；

- ESD 器件靠近 HDMI 插座放置；
- 信号线差分走线，差分阻抗要求 $100\ \text{ohms} \pm 10\%$ ，在满足差分阻抗要求前提下，尽量加大线宽；
- HDMI 信号线长度 $< 3000\text{mil}$ ，差分线应该尽量不打孔，在 TOP 层顺直的从 HDMI 座子并行走到主控，不要刻意为了追求等长走“蛇形线”，需要保证 HDMI 差分线对内等长误差 $< 200\text{mil}$ ，对间等长误差 $< 1000\text{mil}$ ；
- 差分线包地，包地线宽度 10-15mil，包地线每隔 60~90mil 打 GND 过孔；
- 尽量避免阻抗不连续，不要有 90 度转角的走线方式。

图 3-12 HDMI 布局和走线参考



3.12. CVBS Layout 设计

TVIN 建议 Layout 采用以下原则：

- VCC-TVIN/TVIN-VRP/TVIN-VRN 对地电容靠近 PIN 脚放置，TVINO/TVIN1 信号做包地处理，远离高速信号及其过孔，尤其是并行 LCD 信号，与 VCC-TVIN 避免并行走线。；
- 75R 端接电阻根据阻抗控制值选择位置放置，建议信号通道上的元件放在同一走线层，TVIN 信号尽量不打过孔；

TVOUT 建议 Layout 采用以下原则：

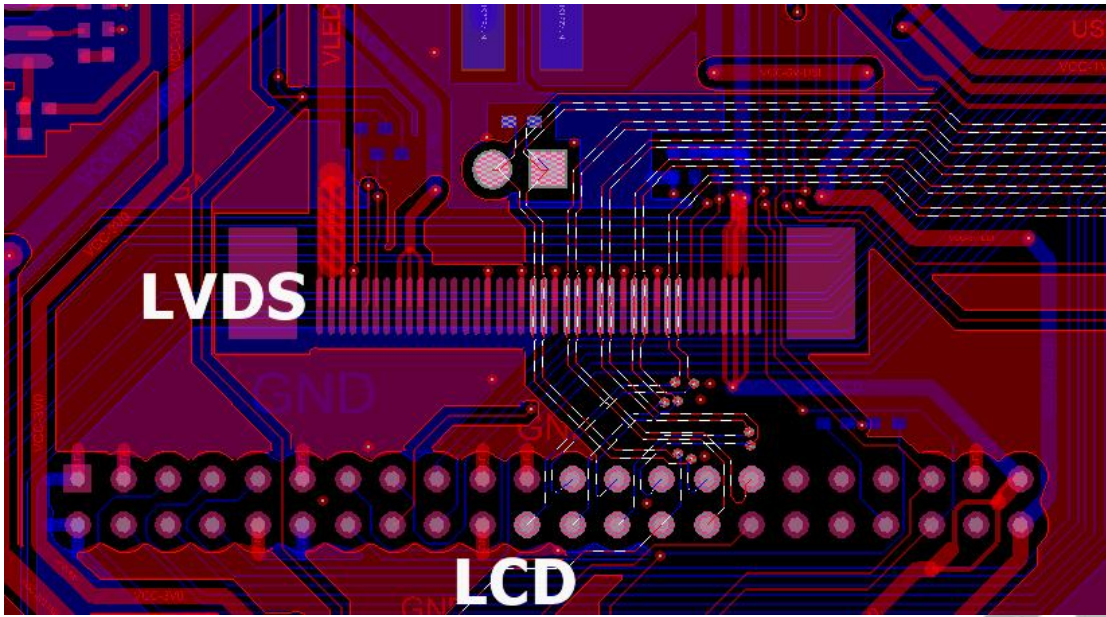
- VCC-TVOUT 线宽 $\geq 10\text{mil}$ ，对地电容靠近 PIN 脚放置；
- 75ohm 终端电阻和 ESD 器件以及滤波电阻电容靠近座子摆放；
- 75R 端接电阻根据阻抗控制值选择位置放置，建议信号通道上的元件放在同一走线层，TVOUT 信号尽量不打过孔，阻抗控制参考原理图 CVBS 电路设计的说明；

3.13. LCD Layout 设计

RGB 建议 Layout 采用以下原则：

- R\G\B、行场同步、DE 等信号参考时钟做等长处理；
- 尽量满足 3W 原则，如空间受限，则至少要满足 2W 原则；
- 时钟信号包地，串电阻靠近主控放置；
- 如果 LCD 线有多功能复用，如 LVDS 功能，RGB 功能加其他功能，则需要一根线来连接多个座子，尽量采用菊花链拓扑，减少分叉。线上的顺序如下：1) LVDS FPC 座子，2) RGB 双排座子，3) 其他功能的座子

图 3-13 LCD 复用电路 PCB 布局



MIPI 建议 Layout 采用以下原则：

- DATA 线做 100Ω 阻抗控制，按差分规则走线，两两包地并打地过孔，差分对内长度差 10mil 内，差分对之间的长度差 160mil 内；
- 差分时钟包地并打地过孔；
- DATA 线参考时钟做等长处理，过孔数量 ≤ 2 个；

LVDS 建议 Layout 采用以下原则：

- DATA 参考时钟做等长处理，两两包地，空间受限时组内 DATA 线距 ≥ 15mil；
- LVDS 差分对按照 100 欧姆阻抗要求做控制，走线误差参照以下规则：
1080P：差分对内长度差 10mil 内，差分对之间的长度差 180mil 内；
720P：差分对内长度差 20mil 内，差分对之间的长度差 450mil 内；

LCD 电源 Layout 采用以下原则：

- VLED+，VLED- 所在的网络的线宽要在 20mil 以上；
- LCD 模组的数字电源 3.3V 或 5V 输入电源线宽保证在 20mil 以上。

3.14. CSI Layout 设计

CSI 建议 Layout 采用以下原则：

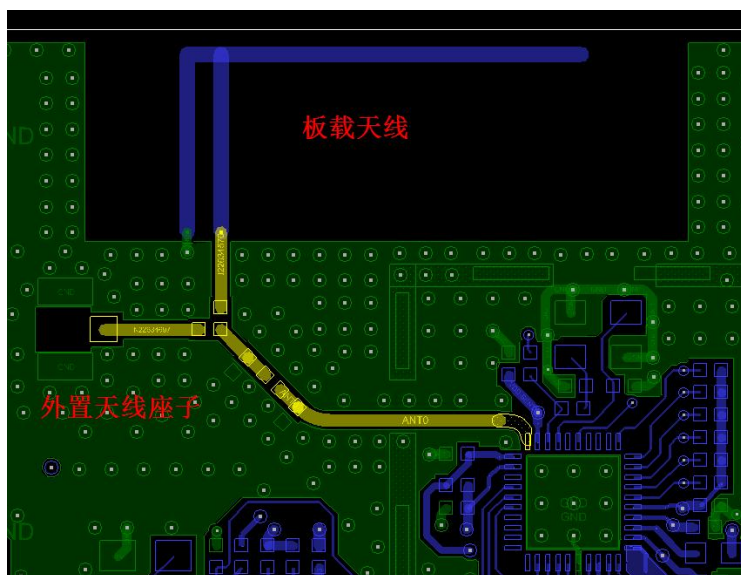
- PCLK 的对地电容靠近主控，串联电阻靠近模组；
- MCLK 的对地电容靠近模组，串联电阻靠近主控；
- Vsync、Hsync、Data 串联电阻靠近模组；
- PCLK/MCLK 信号包地处理，如空间受限，需保持该信号线在间距 ≤ 15mil 空间内无其他走线，尽量与 DATA 线拉开距离；
- DATA、HSYNC、VSYNC 参考 PCLK 做 500mil 的组内等长，PCLK 尽量不要因为追求等长而走蛇形线；

3.15. WIFI 和天线 Layout 设计

WIFI 建议 Layout 采用以下原则：

- 模组尽量靠近天线或天线接口。模组下方尽量不要走线，模组下方的 GND 全部打过孔。远离电源、DDR、LCD 电路、摄像头、马达、HPOUT 等易产生干扰的模块；
- 天线馈线控制 50ohm，为了增大线宽减少损耗，通常馈线相邻层挖空，隔层参考参考平面需要是完整地，同层地距离天线馈线距离保持一致，两边多打地过孔；
- 射频线需要圆滑不能换层、不能有直角，并进行包地处理，两边均匀的打地过孔，射频线需要远离时钟线的干扰；
- 合理布局天线馈线的匹配电容电阻，使馈线平滑，最短，无分支，无过孔，少拐角；
- 如使用 PCB 走线作天线，请确保天线走线附近区域完全净空，净空区大于 50mm²，天线本体至少距周围的金属 1cm 以上；
- WIFI On Board 设计时请与 WIFI 厂商联系获得官方 Layout 指南。

图 3-14 RF 天线走线参考

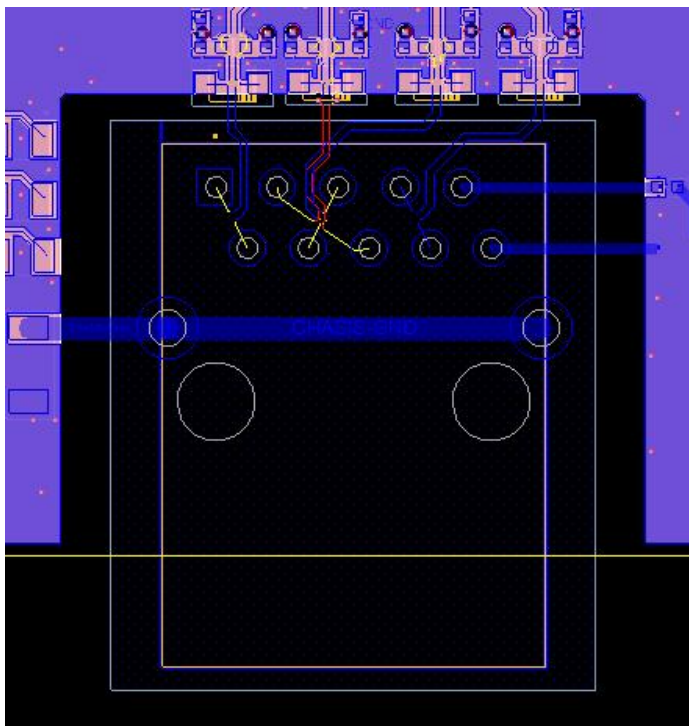


3.16. GMAC Layout 设计

GMAC 建议 Layout 采用以下原则：

- 变压器靠近网口座子摆放；
- 保证以太网座子和变压器的底部不要走线并禁铜，防止地上的干扰耦合到变压器或走线影响信号质量；

图 3-9 单网口禁铜参考



- 板上其他信号，尽量远离初、次级信号，以及匹配电阻/共模电容，距离不小于 50mil。防止在雷击时串扰到附近的走线或器件上，导致器件损坏；
- 差分阻抗 $100\text{ohms} \pm 10\%$ ，差分线对内等长 $< 20\text{mil}$ 、对间等长 $< 200\text{mil}$ ；
- RGMII 信号 TX (CLK&DATA) 组内等长，RX (CLK&DATA) 组内等长 $< 100\text{mil}$ ；
- PHY 芯片下方须有完整的 GND，模块要有良好的地回路，RGMII 时钟线包地处理；
- GMAC Layout 设计时请与 EPHY 厂商联系获得官方 Layout 指南。

4. 热设计

4.1. 热工作条件

热设计的最主要目的是确保电子设备中元器件的工作温度低于其最大的许可温度。

元器件的最大许可温度根据可靠性要求及失效率确定。对于半导体器件和集成电路，主要是控制结温 T_j ，热设计要保证 $T_j \leq 0.9 * T_{jmax}$ ，其中 T_{jmax} 是器件的最大许可结温。

对于 F133 MX-HXX 而言，其 $T_{jmax} = 125^\circ\text{C}$ ，设计应保证 T_j 应小于 112°C 。

F133 MX-HXX 的封装热阻参数如表所示。

表 4-1 F133 MX-HXX 热特性参数

参数	符号	最小值	典型值	最大值	单位
结（即芯片）到空气环境的热阻	θ_{JA}	—	20.36	—	$^\circ\text{C}/\text{W}$
结（即芯片）到 PCB 的热阻	θ_{JB}	—	7.43	—	$^\circ\text{C}/\text{W}$
结（即芯片）到封装外壳的热阻	θ_{JC}	—	5.52	—	$^\circ\text{C}/\text{W}$



说明

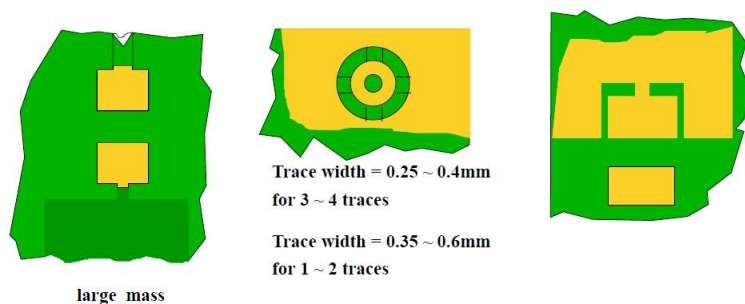
热阻基于 JEDEC JESD51-2 标准给出，条件为：自然对流，no airflow。

由于实际系统设计及温度不同于 JEDEC JESD51 标准不同，仿真结果仅供参考，请以实际应用情况下的测试结果为准。

4.2. 散热设计参考

- 大功耗器件尽量靠近 PCB 板上的大面积地层铜箔，借助铜箔散热；
- 热敏感器件，远离大功耗器件；
- 对模块内部不能够吹到风的 PCB 板，在布置元器件时，元器件与元器件之间，元器件与结构件之间应保持一定距离，以利空气流动，增强对流散热。
- 在 PCB 上布置各种元器件时，应将功率大、发热量大的元器件放在 PCB 边沿和顶部（重力 top 面），以利于散热；
- 对于 BGA 封装 IC，则要在 IC 正下方的 EPAD 焊盘中，打阵列式的热过孔，通过这些散热过孔与底层的大面积铜平面连接，但要注意过孔直径满足产线量产工艺的要求；
- F133 MX-HXX 两层板方案中，需要依赖底层 GND 覆铜散热，底部 GND 要有足够的对外通路，尽量将 GND 往不同方向走；
- 要保证印制线的载流容量，印制线的宽度必须适于电流的传导，不能引起超过允许的温升和压降；
- 较大的焊盘及大面积铜皮对管脚的散热十分有利，但在过波峰焊或回流焊时由于铜皮散热太快，容易造成焊接不良，必须进行隔热设计，如 GND 花接等，常见的隔热设计方法如图所示。

图 4-1 焊盘的隔热设计



4.3. 功耗管理参考建议

- 提高电源转换效率，对于小型化的产品或者对热设计要求较高的产品，电路设计时推荐采用 DCDC 代替 LDO 供电，尽量少用高压差的 LDO；
- 软件优化场景功耗，不使用的内部模块或者外设，可以通过软件关闭相应模块的供电；
- 实时监控芯片内部温度 Sensor，限定芯片最高工作温度，保护芯片。

5. EMC 设计

5.1. ESD 设计

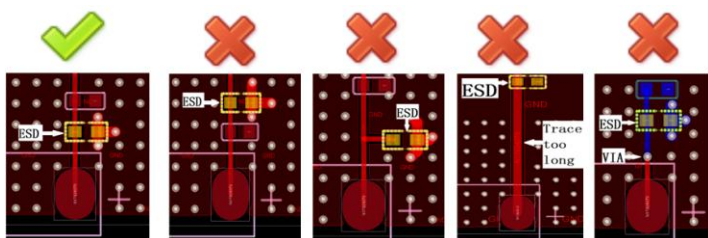
原理图 ESD 设计建议参考如下：

- VCC-RTC 电源需要经过 100nF 电容后，再串联一颗磁珠（GZ1005D101TF-100R@100M）后进 SOC 的 ball，此磁珠放置于底层 SOC 正下方，必须靠近 VCC-RTC 电源 ball 放置，且磁珠和该 ball 之间不能留有下地电容；
- 系统挂死与 IO 的抗 ESD 能力有关，提高各接口输入信号的 ESD 能力有助于提高系统 ESD，如 USB-ID/CARD-DET 等检测信号到 SOC 端串接 K 欧姆级电阻以提高 ESD 性能；
- 各接口均要根据接口类型在电源和信号上预留合适的 ESD 保护器件；
- Reset 信号建议增加 1nF 电容接地，电容靠近主控摆放；电容接地端需用过孔加强连接；Reset 走线需要全程用 GND 走线保护，复位信号需要增加 TVS 管防护；
- 对于模组上的 reset 信号，需在模组上靠近芯片管脚的位置增加 1~100nF 电容接地；
- 关键敏感电源采用 LC 滤波设计。

PCB ESD 设计建议参考如下：

- PCB 层叠设计必须保证比较完整的 GND 平面，所有的 ESD 泄放路径直接通过过孔连接到这个完整的 GND 平面；
- POWER 平面要比 GND 平面内缩不少于 3H（H 指 POWER 平面相对 GND 平面的高度）；
- 在 PCB 四周增加地保护环，注意做 $\geq 0.5\text{mm}$ 的开环处理，否则会因闭环引入天线效应；
- 关键信号（RESET/Clock 等）与板边距离不小于 5mm，同时必须与走线层的板边 GND 铜皮距离不小于 10mil，同时避免与外部接口信号或经过 IO 附近的走线相邻并行走线；如果不可避免，相邻并行的走线长度不超过 100mils；IO 保护地下方尽量不要走线，在必须走线的情况下建议走内层；
- CPU/晶振/RESET 等 ESD 敏感的关键器件，离外部金属接口的距离不小于 20mm，如果小于 20mm，建议预留金属屏蔽罩，并且距离其他板边不小于 5mm；
- 必须保证外部连接器金属外壳接地良好，在板边直接通过过孔连接 GND 平面，每个 GND 焊盘与 GND 平面之间的连接过孔不少于 3 个；
- 外部接口信号必须连接外部 ESD 器件并靠连接器放置，进行 ESD 保护；ESD 器件接地端直接通过过孔连接到 GND 平面，而且过孔数量不少于 3 个；从外部接口进来，必须最先看到 ESD 器件；ESD 器件的信号端与外部信号端必须尽可能短，尽可能宽，建议直接搭接在信号走线上。

图 5-1 ESD 器件摆放位置



软件 ESD 设计建议参考如下：

- 把不用的 IO 口设置为低电平；
- 加看门狗，对保护的目标状态位进行检测。

结构 ESD 设计建议参考如下：

- 建议在 PCB 板双面四周均匀留出多个不小于 25mm² 的 GND 裸露铜皮（此铜皮直接通过过孔与 GND 平面相连），并通过导电棉与金属平面相连接；
- 把端口的地与金属壳相连接而加大 ESD 的泄放空间。
- 如果结构允许，建议增加屏蔽罩，对关键电路进行屏蔽，同时必须保证屏蔽罩的各边良好接地；（避免屏蔽罩电荷积累，对内部信号放电）；
- 螺丝钉要避免伸入机构成为天线；
- 塑胶内层喷导电漆屏蔽。



注意

- F133 MX-HXX 方案使用两层板布局布线，有成本优势，但对于 ESD 性能较高的方案，推荐使用 4 层 PCB 的设计，完整的 GND 平面可以有效泄放静电电荷；
- 容易被静电接触到的外设如触摸屏、指纹模块、USB/SD/音频接口等，如果结构允许，尽量预留到电源地或主地的静电电荷泄放路径，如屏蔽罩、导电泡棉等。

5.2. EMI 设计

产品设计设计当初，应了解硬件系统有哪些时钟信号，对这些信号加以防护，以提高产品 EMI 性能，减少后续 DEBUG 成本。

F133 MX-HXX 各模块主时钟频率如表所示。

表 5-1 F133 MX-HXX 各接口时钟频率

接口	时钟	时钟频率
TWI	TWI-SCK	100K~400 KHz
IIS	IIS-MCLK	24.576MHz、22.5792MHz、
SDIO	SDC-CLK	50MHz、100MHz
SPI	SPI-CLK	50MHz、100MHz
USB	DP/DM	12Mbps、480Mbps

EMI 设计建议参考如下：

- 各接口按照各模块原理图和 PCB 设计要求进行。
- 多层板设计时，硬件系统上高速时钟线建议走内层；且较高速的单端的时钟线上均要预留 RC 滤波电路，抑制高频分量，对于各模块时钟线进行包地处理。
- 差分对信号进行按照差分对要求走线，若无空间，需要满足 3W 原则。
- 排线座子合理布局，排线下方尽量不要有元器件和 PCB 走线；
- 若受结构限制，排线必须拉得很长，则建议排线座子信号线采用两两包地方式，排线必要时采用带屏蔽线。
- PCB 背面预留一些空白地位置，使用导电泡棉与机壳金属接触，改善地回路。

著作权声明

版权所有©2024 珠海全志科技股份有限公司。保留一切权利。

本档及内容受著作权法保护，其著作权由珠海全志科技股份有限公司（“全志”）拥有并保留一切权利。

本档是全志的原创作品和版权财产，未经全志书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本档内容的部分或全部，且不得以任何形式传播。

商标声明

、、、（不完全列举）均为珠海全志科技股份有限公司的商标或者注册商标。在本档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与珠海全志科技股份有限公司（“全志”）之间签署的商业合同和条款的约束。本档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超频，超温使用）造成的不利后果，全志概不负责。

本档作为使用指导仅供参考。由于产品版本升级或其他原因，本档内容有可能修改，如有变更，恕不另行通知。全志尽全力在本档中提供准确的信息，但并不确保内容完全没有错误，因使用本档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，全志概不负责。本档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本档未以明示或暗示或其他方式授予全志的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。全志不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。全志不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。