

# H133 原型机硬件设计指南 V2.0

文档版本 V2.0

发布日期 2021-4-30

# 修订记录

版本	修订日期	描述
V1.0	2021-04-30	初始版本
V2.0	2021-08-30	更新版本

# 目录

H313 原型机硬件设计指南 V2.0.....	1
概述.....	3
1. 原理图设计.....	4
1.1. 系统硬件框图.....	4
1.2. 硬件系统基本工作原理.....	4
1.3. CPU 及 CPU 周边.....	4
1.3.1. 24M 时系统.....	5
1.3.2. SOC 重要 pin 说明.....	6
1.4. 电源方案设计.....	7
1.4.1. SOC 旁路电容.....	7
1.4.2. 供电电源方案.....	7
1.4.3. 上电时序.....	9
1.5. DRAM 设计.....	10
1.6. eMMC&Nand.....	10
1.7. Audio.....	11
1.8. HDMI.....	11
1.9. 网口设计.....	错误！未定义书签。
1.10. SDCARD.....	12
1.11. USB.....	12
1.12. WIFI 射频电路.....	13
1.13. TVOUT.....	错误！未定义书签。
2. PCB 设计要点.....	14
2.1. 叠层设计.....	14
2.2. SOCfanout.....	14
2.3. 24M 晶振.....	15
2.4. DRAM.....	16
2.5. NAND-EMMC.....	17
2.6. USB.....	18
2.7. 音频.....	18
2.8. HDMI.....	18
2.9. Card.....	18
2.10. WIFI 和天线.....	19
2.11. 电源.....	20
2.12. EPHY.....	错误！未定义书签。
2.13. TVOUT.....	错误！未定义书签。
2.14. 散热.....	20
2.15. ESD.....	21
3. Declaration.....	22

## 概述

本文档主要介绍 H133 芯片在网络投屏器应用方案设计中的原理图和 PCB 设计要点和注意事项。

本文档目的在于指导客户设计，遇到硬件相关问题能够快速查询相关设计资讯。

## 读者对象

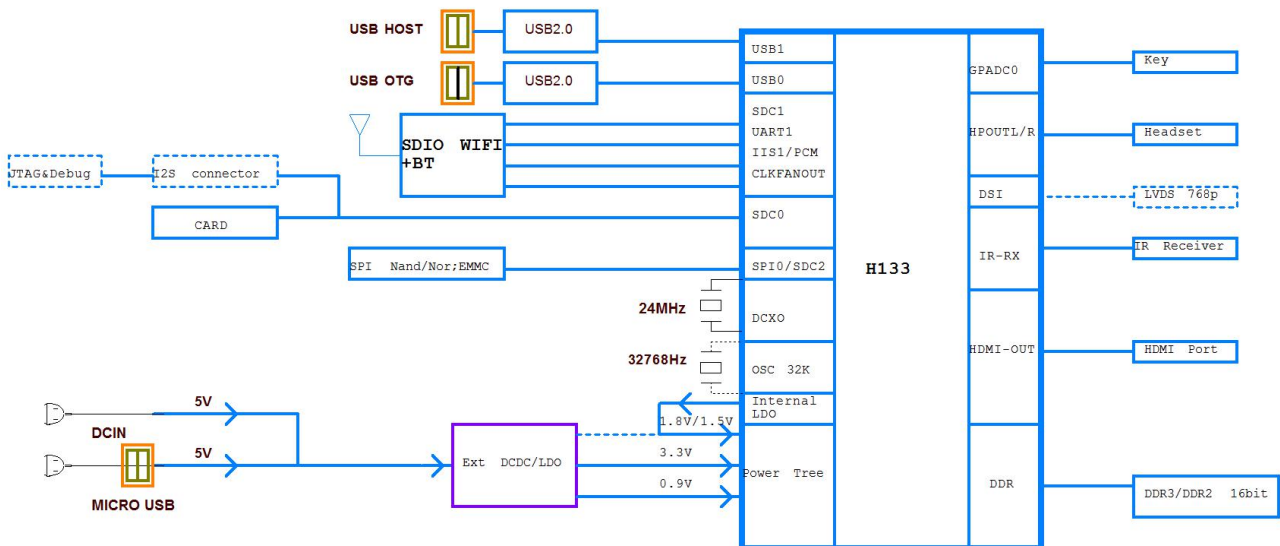
本文档（本指南）主要适用于以下工程师：

技术支持工程师

硬件开发工程师

## 1. 原理图设计

### 1.1. 系统硬件框图



### 1.2. 硬件系统基本工作原理

硬件系统基本工作流程如下：

- 硬件系统正常上电，主控复位之后，CPU 开始执行 BROM 固化代码，对系统资源和关键外设进行配置及初始化，包括电源，时钟，总线，复位，存储接口等。
- 根据配置，在 BROM 阶段将系统初始化信息（串口、DRAM 等）从存储介质读取到系统 SRAM，进行芯片及系统的进一步详细配置和初始化工作；执行完 Boot0 程序后进入 U-boot 阶段。
- 从外部存储介质中读取下一阶段需要的软件代码，启动操作系统，并对系统资源和外设进行管理。
- 操作系统启动之后，根据产品不同需求加载相关启动，比如 USB、音频、WIFI、显示、蓝牙等模块，最终完成开机启动，进入普通操作界面。
- 系统支持 watchdog 应用监视系统的运行，当程序跑飞或者发生死循环时，watchdog 模块会发出一个复位信号，使 CPU 复位，软件系统重新启动。

### 1.3. CPU 及 CPU 周边

### 1.3.1. 24M 时钟系统

时钟系统 pin 脚说明:

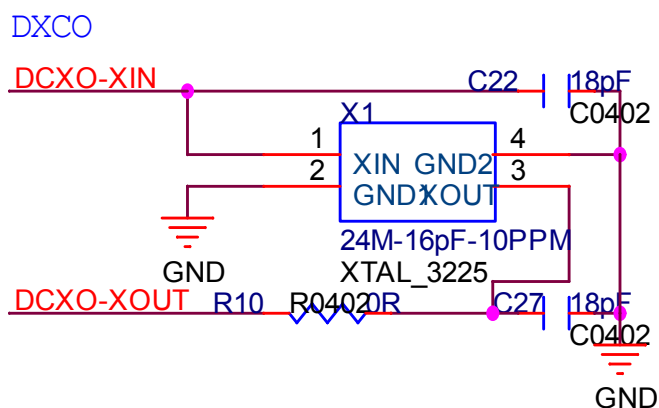
信号名	信号描述	应用说明
DXIN	DCXO 晶振输入	24Mhz 晶振电路 WIFI 使用独立晶体时，可以使用 20PPM 的普通晶体
DXOUT	DCXO 晶振输出	
X32KIN	32.768K 晶体输入	32.768Khz 时钟晶体电路，对实时时间无要求的客户建议 NC 此晶体。
X32KOUT	32.768K 晶体输输出	
REFCLK-OUT	主时钟扇出	使用主控 24Mhz 晶体信号同相等比输出，提供给 WIFI 芯片使用（限 XR819/XR829），节省一个晶体。此时 24mhz 晶体精度在 10PPM.
X32KFOUT	32K 时钟扇出	可供低频时钟至外部 WIFI 模块使用，此引脚开漏，注意上拉电阻。



说明

- H133 DCXO 模块只支持 24M 主时钟 (32KFOUT 不在 DCXO 模块)。
- DCXO 时钟模块可以通过 REFCLK-OUT PIN 扇出与主时钟同频率的 CLK 信号给 XR819/XR829 模组使用，使用 24Mfanout 请联系 FAE 确认使用环境。
- 晶振选型参考如下：
  - 当需要 DCXO 扇出时钟给 WIFI 使用时，晶振选型频偏 $\leq 10\text{ppm}$ ；
  - 当不需要 DCXO 扇出时钟给使用时，晶振选型频偏 $\leq 20\text{ppm}$ 。
- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+板级杂散电容总值等于晶振规格的负载电容大小要求，原型机标案设计采用 18pF 负载电容；
- 串接电阻需要预留位置，便于调试振荡幅度。
- 32K 晶体设计时默认不贴，（一开始贴了量产后就就不敢取消）。可以使用内部 32K 晶体。对 RTC 有需求的方案可以考虑使用外部 32K 晶体。
- 32K 晶体需要跨接 10M 电阻，用于起振，不能改小阻值。

主时钟电路推荐参考设计如图所示。



### 1.3.2. SOC 特殊 IO 说明

- VDD-CPUFB: 在主控内部与 VDD-CPU 电源短接, 该 IO 直接连接到外部 DCDC 的 Feedback 引脚, 形成电源输出远端反馈, 提高电源的动态响应。
- BOOT\_SEL: BROM 会读取 BOOT\_Select 的状态, 选择从外部那种存储介质引导, 加快启动时间。  
说明待定。默认 EMMC 启动, 如 NOR 启动有速度要求, 需要将 PC4/PC5 做 3.3K 下拉。

当前boot\_sel是默认上拉, 启动顺序是

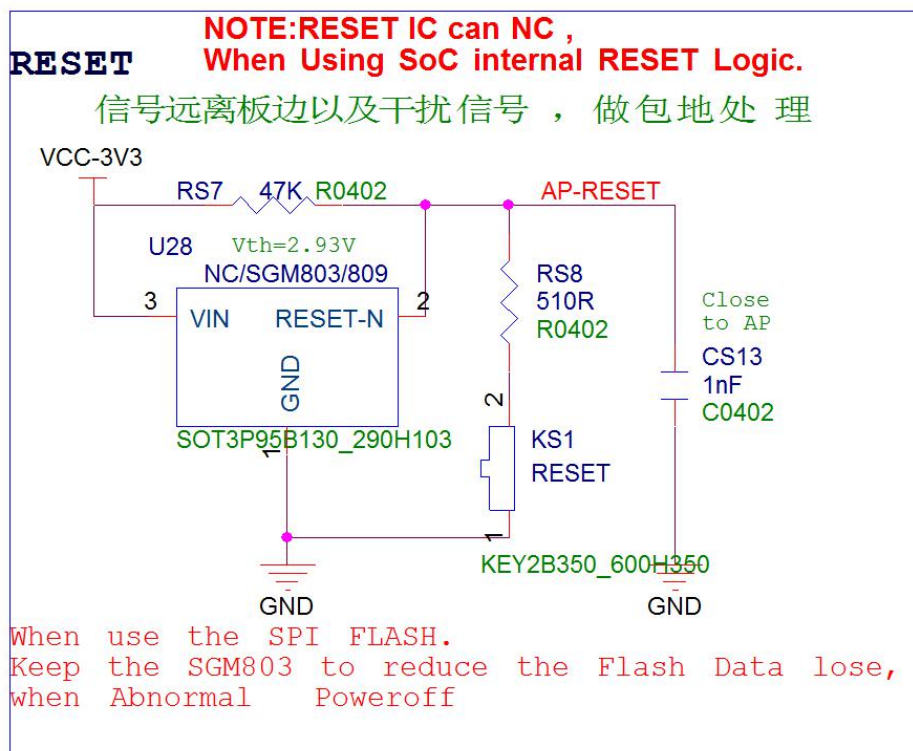
Table 1-4. GPIO Pin Boot Select Setting

Pin_Boot_Select[1:0]	Boot media
00	SPI NOR->SPI NAND
01	SMHC0->SPI NOR->other media
10	SMHC0->SPI NAND->other media
11	SMHC0->EMMC2_BOOT->EMMC2_USR->other media

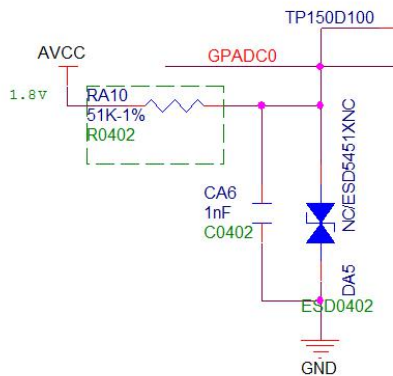
1.使用该启动顺序, 对于EMMC应用, 启动时间基本达到最快, 可以满足应用; 对于SPI NOR/NAND, 如果没有特殊的启动时间要求, 也可以满足应用

2.如果对SPI NOR、SPI NAND启动时间要求较高, 需要选择拉低PC4、PC5, 则需要在方案上设计下拉电阻(3.3K下拉)

- AP-RESET: SOC 内部复位信号 (H133 自己会做延时复位), 需要上拉到 VCC-3V3 上, 47K 做上拉, 1nF 做防抖。并非 RC 复位。
- 内部上电复位触发阈值: VDD-SYS 爬升至约 0.4V;
- 内部下电复位触发阈值: VCC-I/O 跌落至 3.0V/2.9V/2.8V/2.7V/2.6V/2.5V (软件可配置)
- 使用外部复位 IC 复位, 时长不得低于 64ms;
- AP-RESET 同时复用与 EMMC 的 emmc-rst, 使用 EMMC 方案时注意不要空缺。



- GPADC 为按键 ADC, 不使用按键时, 建议保留上拉电阻。

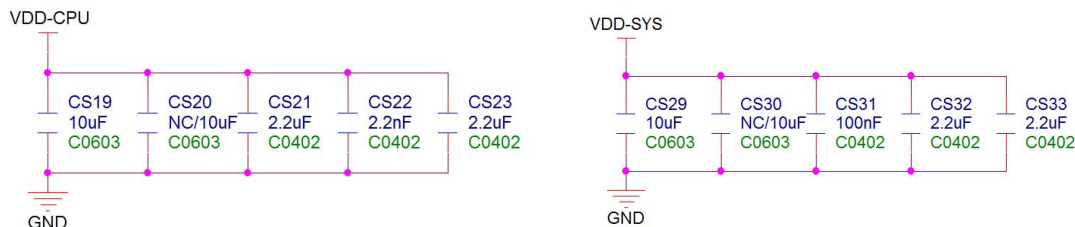


## 1.4. 电源方案设计

### 1.4.1. SOC 旁路电容

H133 SOC 端各电源建议容值如下：

- H133 为 2 核 A7 CPU，额定 1.1Ghz@ 0.9V，因此在靠近 DCDC 端与 SOC 端都有放置 22uF 电容。
- SYS 电源不可以进行动态调压，默认 0.9V。同时 SYS 内包含了 VE、DE 等大电流模块。
- VCC-I0/VCC-PC/VCC-PF/VCC-PG/VCC-PLL/VCC-EFUSE 电源外挂 100nF 电容，靠引脚放置。
- VCC-DRAM 电源需要有一个 10uF 电容以上，靠近 SOC 引脚放置。
- 各模块的滤波电路设计电路不可修改。



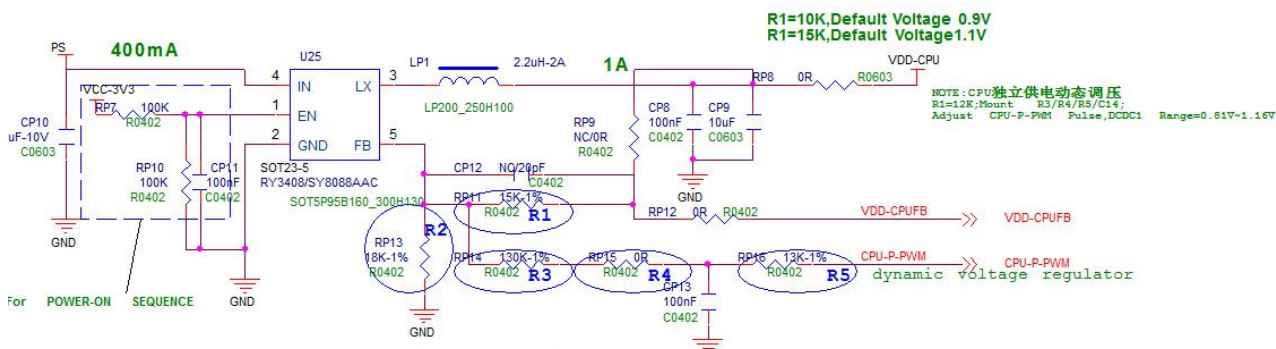
### 1.4.2. 供电电源方案

H133 采用分立电源方案，各路电源需求如下：

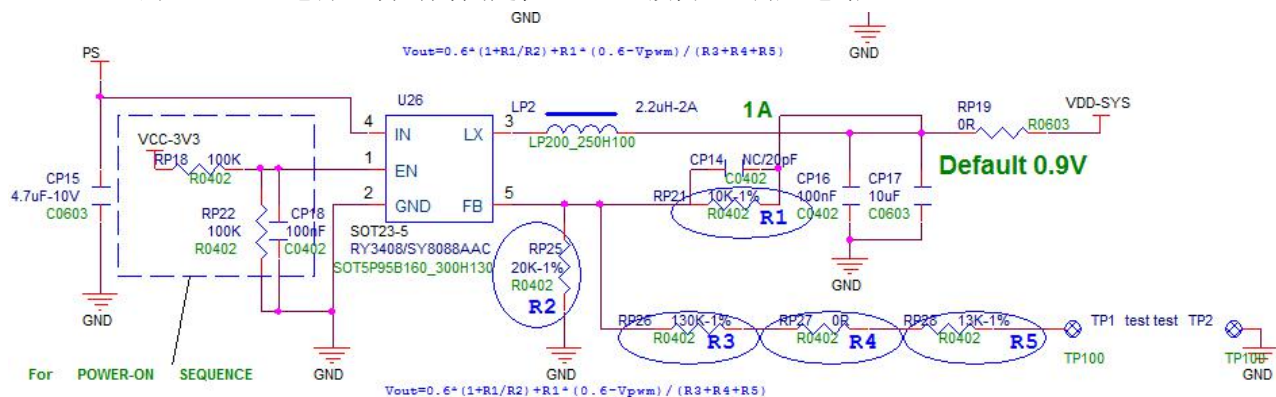
电源分支	电压	电压精度	纹波	场景最大电流*	供电能力
CPU	0.9V~1.1V	0.9V+5%	≤5%	500mA	1A max
SYS	0.9V	0.94V+5%	≤5%	500mA	1A max
VCC-3V3	3.3V	3.3V ±5%	≤5%	1000mA	2A max
LDOA	1.8V	1.8±5%	≤3%	100mA	260mA
LDOB	1.8V/1.5	1.5/1.8±5%	≤6%	250mA	400mA
HPLDO	1.8V	1.8±2%	≤1.5%	RFU	150mA
AVCC	1.8V	1.8±2%	≤1.5%	50mA	100mA

\*场景最大电流，是分别在不同场景下瞬态最高电流。不是最大平均电流。

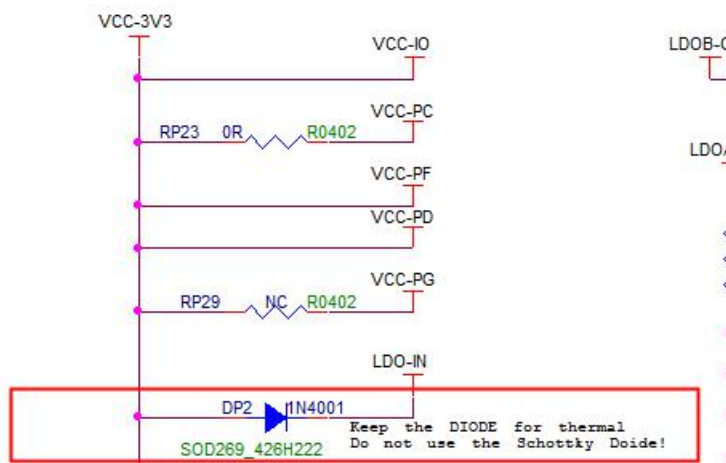
- H133 的 VDD-CPU 电源，是通过 PWM 口进行 RC 补偿，对外部 DCDC 的输出进行调节。需使用 0.6V FB 电压的外部 DCDC，且不能改动原理图中 R2~R5 的值。R1 值默认使用 15K 保证性能。（R1 值使用 10K 是后续 costdown 的时候考虑）



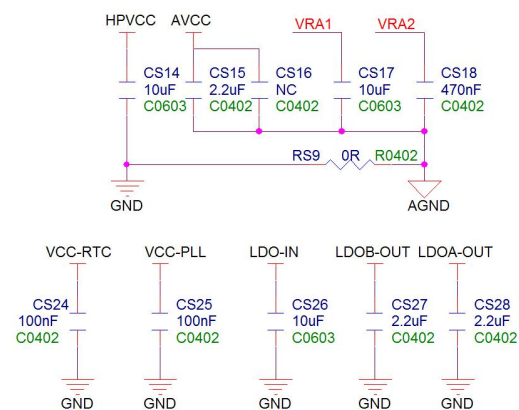
- H133 的 VDD-SYS 电源，暂时为固定值 0.9V，预留 IO 调压电路。



- H133 内部集成多个 LDO (LDOA, LDOB, HPLDO, AVCC)，LDO 的输出是通过 VCC-3V3 串接普通二极管后的 LDOIN 提供。二极管的作用是降低电压，分散热量。所以不能用肖特基二极管替代，建议使用 SMA 封装的二极管。



- H133 支持 DDR3\DDR2，因此 LDOB 的电压会有 1.5V/1.8V 两个版本。LDOB 默认电压是 1.35V，系统启动后，软件会调节为 1.5V/1.8V。
- 内部 LDO 及模拟部分电源的 BYPASS 电容，不能修改其容值（不能增大或者减少，增大影响时序，减少影响滤波效果）。并且 LAYOUT 时靠近对应的 BALL 摆放。

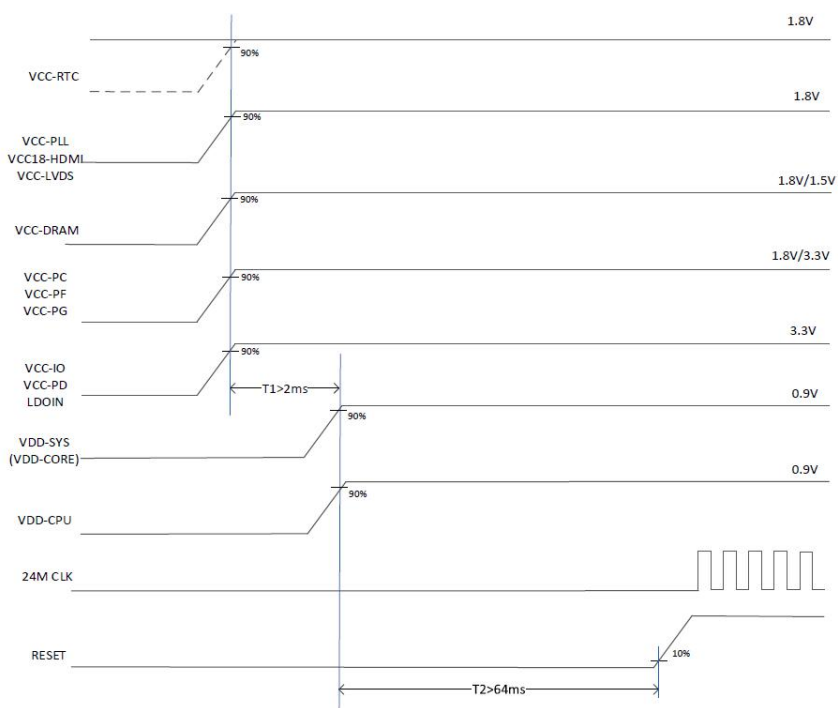


### 1.4.3. 上电时序

H133 使用的是分立电源方案，因此上电时序主要通过 RC 延时或者电源之间使能来进行操作。DCDC 的软启动对时序有一定的影响，建议 DCDC 的软启动时间在 800us~1200us 之间。

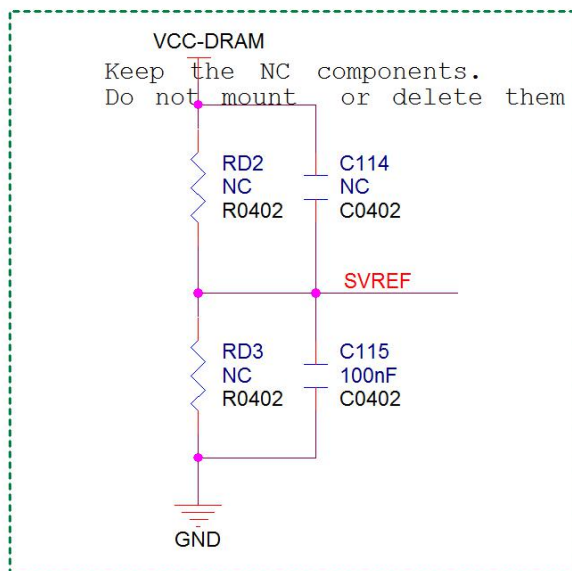
- VCC-3V3/LDOIN 及其驱动的 VCC-RTC, VCC-PLL, VCC-LVDS, VCC18-HDMI (LDOA) , VCC-DRAM (LDOB), AVCC 等，属于第一阶梯。
- VDD-CPU、VDD-SYS, 属于第二阶梯，通过 RC 延时进行 delay 上电，需要比第一阶梯电源晚 2ms 以上。
- AP-RESET 目前通过内部复位，如果使用外部复位要注意需要比第二阶梯晚 64ms 以上。

H133上电时序图



## 1.5. DRAM 设计

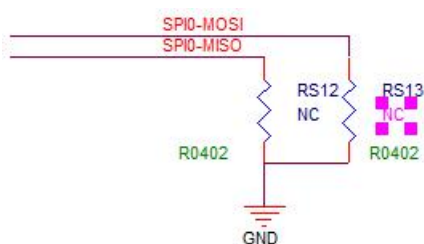
- H133 支持 DDR3, DDR2 颗粒，目前只支持 16bit 位宽。一般使用 16x1 的拓扑，以适应 dongle 产品的小型化需求。
- 全志提供各类 DRAM 设计模板，信号连接与滤波电容数量与容值选择，位置摆放严格参考模板设计；
- 主控和 DRAM 端每一个 SZQ 都必须接 240R-1%精度的下拉到地电阻；
- H133 内部集成 SVREF 基准电路，可以 NC SVREF 电路器件，但必须保留封装。



## 1.6. eMMC & SPI FLASH

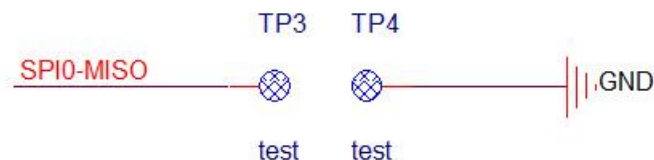
- H133 支持 SPI Nand、Nor，eMMC（4bit 位宽）。
- 如果 H133 支持 4 线 SPI，因此 S-WP, S-HOLD, S-WP 需要加上拉电阻。设计时可以将 SPI Nand 和 Nor 兼容设计（使用 WSON8 封装）。
- 如果使用 SPI FLASH 有启动时间要求的话，预留 PC4, PC5 各一个 NC 电阻（RFU）。PC4/PC5 为 boot sel 复用脚，可以优先启动 SPI FLASH。（节省 100+毫秒）

PC4 PC5	Table 1-4. GPIO Pin Boot Select Setting	SPI NOR = 7ms SPI NAND= 120ms EMMC = 130ms SMHCO = 10ms
Pin_Boot_Select[1:0]	Boot media	
00	SPI NOR->SPI NAND	
01	SMHCO->SPI NOR->other media	
10	SMHCO->SPI NAND->other media	
11	SMHCO->EMMC2_BOOT->EMMC2_USR->other media	



- EMMCclk/SPI-CLK 线需接 33R 电阻，减少 EMI 辐射；cmd 线需要上拉 10K 到 VCC-PC 上；

- eMMC-RST 复用了 AP-RESET，设计时注意不要忽略。
- eMMC 所有电源和地引脚都要连接；eMMCNC/RFU 等保留引脚都悬空，不可为便于出线，将这些信号与电源、地、或其他 eMMC 信号连接在一起；
- 由于 H133 没有 UBOOT IO（烧录键），因此二次烧录时候只能通过将 EMMC-D2、SPI-MISO 短接到地，来实现二次烧录。因此在设计时候建议预留此两个信号的 TP 点。**但是要注意的是**，PCB layout 的时候，TP 点应该放置在 SOC 和 flash 之间，不能产生分支线路，以免导致高速信号反射问题。

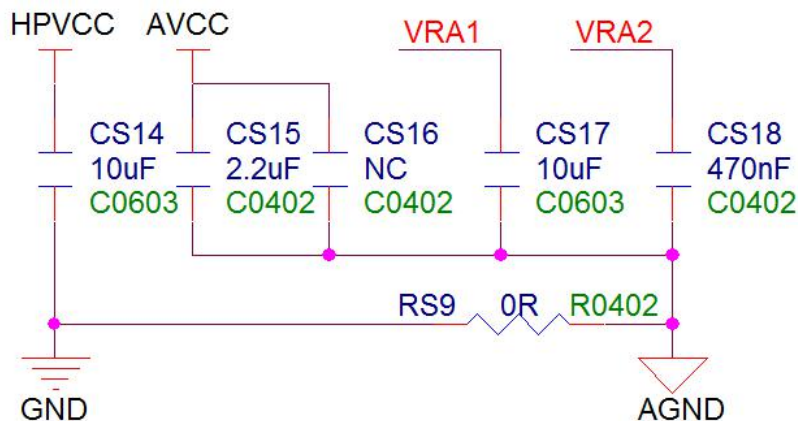


Download TP.

Must place between SOC and Flash.

## 1.7. Audio

- CODEC 的旁路电容等参数不能修改，这些参数会影响内部的上电时序，修改了可能导致音频部分上电出现噪音等问题，参考电容尽可能靠近 IC BALL 排布。
- AVCC 为内部电路参考电平，精度要求 1% 以内，最低电压 SOCpin 脚电平大于 1.78V。



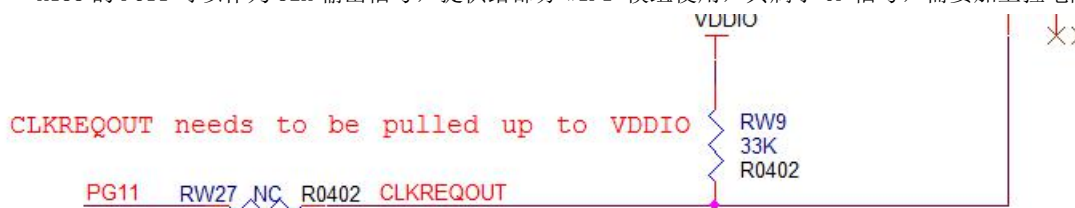
## 1.8. HDMI

- H133 HDMI IIC 与 CEC 内置 levelshift 电路，支持直连 device；
- HDMI 的 5V 供电必须串接肖特基二极管，防止关机后电视漏电，普通二极管压降高，容易导致 HDMI 的供电低于 4.75v，避免引起兼容性问题，请选用导通压降低的肖特基二极管导；（有 HDMI 认证需求的，**需要预留多一个肖特基封装**）



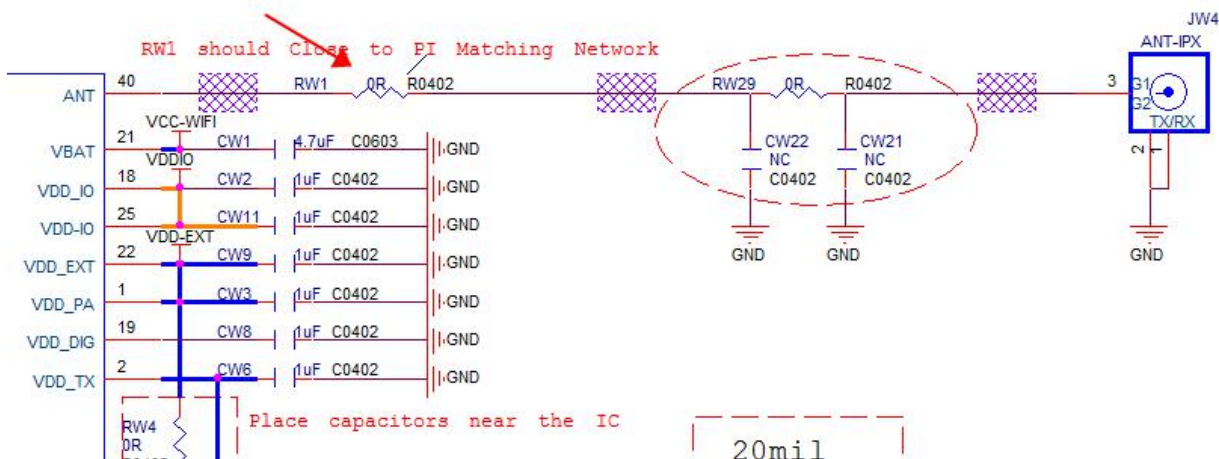
## 1. 11. WIFI+BT 模组电路

- WIFI 的 IO 供电与主控的 PG 口电源保持一致，保证主控和外设电平匹配。
- H133 DCXO 晶振电路能够 fanout 24M clock 信号给 wifi 芯片使用, 节省一颗晶振 (仅限于 XR819s, XR829);
- SDIO 的 clk 上需要串接 33R 电阻, 降低 clk 上的 EMI 辐射, 因为 sdio 的 clk 本身也是会干扰 wifi。
- UART 和 PCM 的输入和输出连接需要注意信号交叉。
- H133 的 PG 口由于数量不足, 因此 BT-RESETN (蓝牙的复位) 信号需要选用其它组的 GPIO。标案图默认使用 PD0, 使用的时候注意 PD 口电平与 PG 口电平是否一致。如果无法妥协, 则可以把 BT-RESETN 做电平转换来实现。
- H133 的 PG11 可以作为 32K 输出信号, 提供给部分 WIFI 模组使用, 其属于 OP 信号, 需要加上拉电阻。



## 1. 12. XR819s WIFI+BT

- XR819S 是一颗集成 WIFI 2.4G 和 蓝牙 BLE 5.0 (数据) 的无线通信芯片, 其规格、功耗、封装非常适合投屏器 dongle 产品。
- 使用 XR819S 时, SDIO 不需要上拉电阻。SDIO-CLK 上保留一个 33R 电阻降低 EMI 辐射。
- XR819S 可以使用 H133 的 REFCLK-OUT 输出 24M 信号作为 WIFI 的时钟信号, 从而节省一个 WIFI 晶振。但是 H133 上使用的 24Mhz 晶振需用 10PPM 的晶振。REFCLK-OUT 走线必须远离其他信号干扰, 且全程包地处理。
- XR819s 内部集成了杂散  $\pi$  电路, 因此 PCB 上只需靠近天线端预留一个天线匹配  $\pi$ 。建议在  $\pi$  前预留 0R 电阻用以调试。



## 2. PCB 设计要点

### 2.1. 叠层设计

全志提供的叠层设计，是经过仿真计算，在方案开发前期，就可以提前把下面的叠层参数给相应的板厂评估，看是否能满足。

四层板，叠层结构和阻抗控制建议如下（如果需调整板厚，请调整 2、3 层之间介质厚度，保持其他介质厚度不变）：

Total layers:	4																			
Board thickness:	1.0~1.6 mm +/- 10%																			
PCB material:	Typical FR4																			
Surface finish:	ENIG(化学镀金)																			

Stackup Control Table										
---	Stackup Structure				Impedance Requirements				Layer definition	
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)	DDR	other signals
	solder mask	0.5	SM	3.4-3.8						
1	TOP	1.6	0.3oz+plating	3.8-4.5	50±10%	2	4	52.89	Signal	Signal
					90±10%	2	4.5/6.5	91.16		
					100±10%	2	3.8/8.7	100.93		
2	prepreg	2.7~3.0		3.8-4.5					GND	GND
	GND	1.2	1.0oz							
	core	27~50								
3	PWR	1.2	1.0oz	3.8-4.5	50±10%	4/2	4	47.56	Signal	Power
					90±10%	4/2	3.8/8.7	89.09		
4	BOTTOM	1.6	0.3oz+plating	3.8-4.5	50±10%	3	4	52.89	Power	Signal
					90±10%	3	4.5/6.5	91.16		
					100±10%	3	3.8/8.7	100.93		
	solder mask	0.5	SM	3.4-3.8						
	Board thickness:	39.4/62.4								

备注：  
 1、PP厚度范围建议2.7~3mil之间(太厚会导致外层线宽变大挤占线间距)。  
 2、板厂调整线宽不得超过原始设计的15%，建议在10%以内。举例：原设计4mil的线宽，实际生产线宽不能超过4.6mil。  
 3、例阻抗计算结果基于2.9mil的PP厚度，供参考。

六层板，叠层结构控制如下：

Total layers:	6																			
Board thickness:	1.0~1.6 mm +/- 10%																			
PCB material:	Typical FR4																			
Surface finish:	ENIG(化学镀金)																			

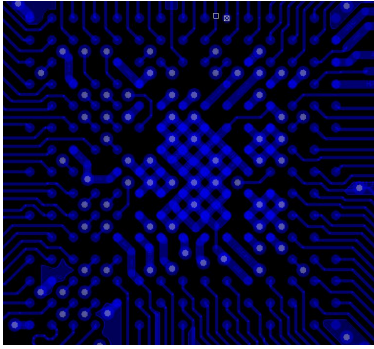
  

Stackup Control Table										
---	Stackup Structure				Impedance Requirements				Layer definition	
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)	DDR	others
	solder mask	0.5	SM	3.4-3.8						
1	TOP	1.6	0.3oz+plating	3.8-4.5	50±10%	2	4	52.89	Signal	Signal
					90±10%	2	4.5/6.5	91.16		
					100±10%	2	3.8/8.7	100.93		
2	prepreg	2.7~3.0		3.8-4.5					GND	GND
	GND	1.2	1.0oz							
	core	12~22								
3	SIG1	1.2	1.0oz	3.8-4.5	50±10%	4&2	4.5	52.12	Signal	Signal
					90±10%	4&2	4.5/6.5	89.59		
					100±10%	4&2	3.8/8.7	100.49		
4	prepreg	4.0		3.8-4.5					GND	GND/power
	PWR/GND	1.2	1.0oz							
	core	12~22								
5	PWR/GND	1.2	1.0oz	3.8-4.5					Power	GND/power
	prepreg	2.7~3.0								
6	BOTTOM	1.6	0.3oz+plating	3.8-4.5	50±10%	5	4	52.89	Signal	Signal
					90±10%	5	4.5/6.5	91.16		
					100±10%	5	3.8/8.7	100.93		
	solder mask	0.5	SM	3.4-3.8						
	Board thickness:	42.8/62.8								

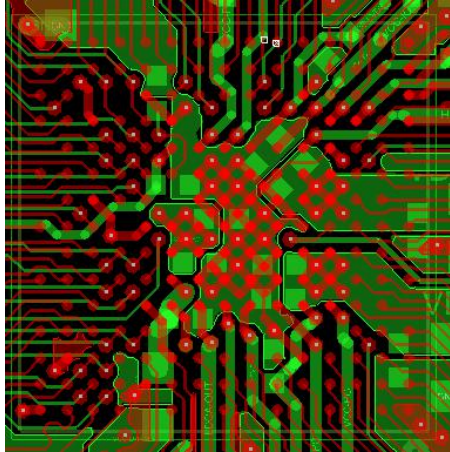
### 2.2. SOC Fanout

- 第一圈、第二圈、第三圈部分 Ball，可以从顶层直接拉出走线（线宽 4mil，线距 4mil）；

备注：BGA 贴片那一层为顶层，反之为底层。



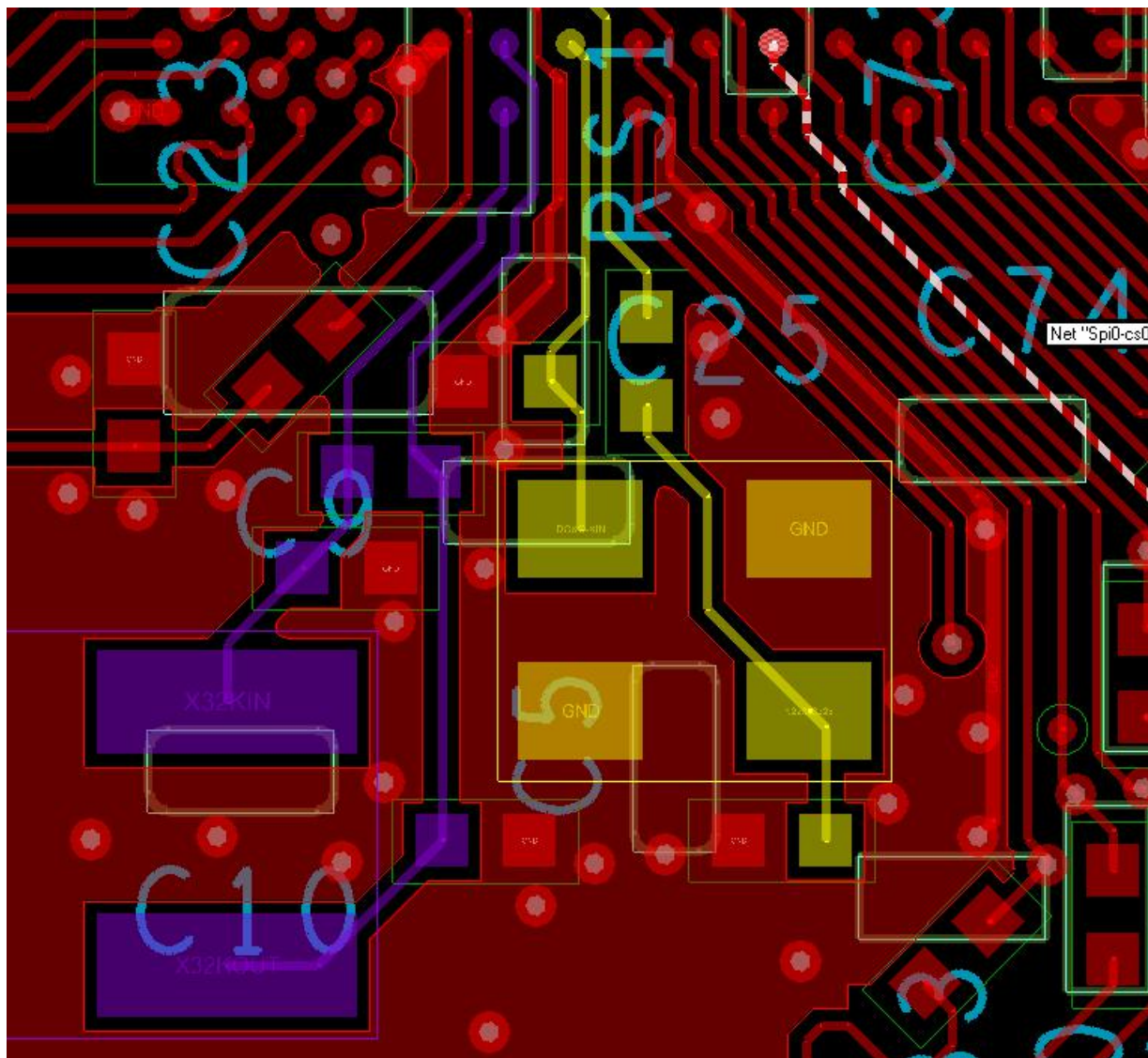
- 第四到五圈的 Ball，用 8/16mil 过孔扇出，从 Bottom 层出线；Via 优先走 Via 通道，留出尽量多的走线通道；



### 2.3. 24M 晶振

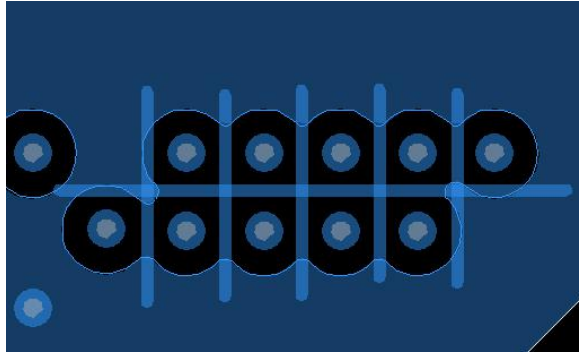
- 晶振尽量靠近 IC 摆放，使 X24M1 和 X24M0 走线小于 400mil，减少 PCB 走线寄生电容，保证晶振频偏精度；
- 晶振的匹配电容必须靠近晶振管脚摆放；
- 晶振及其走线区域的外围和相邻层，用 GND 屏蔽保护，禁止其它走线；

下图为 24M 晶振 layout 参考模板



## 2. 4. DRAM

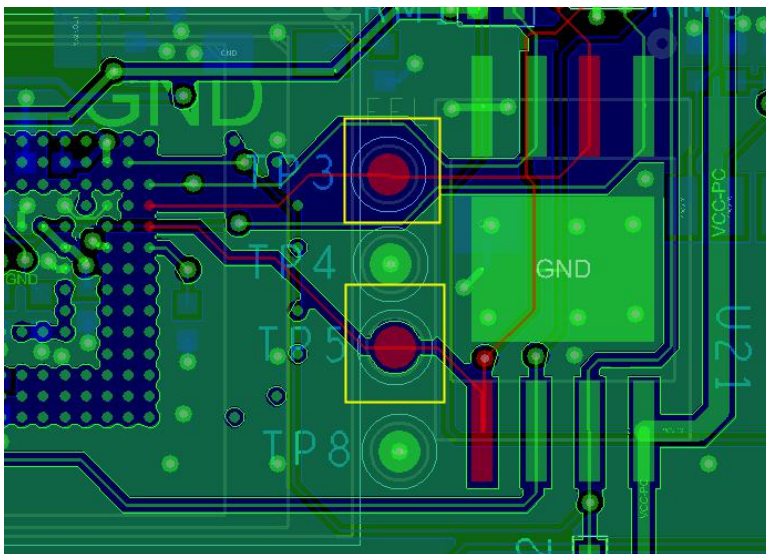
- 全志 DRAM 模板经过 SIPI 仿真优化或开发板性能验证, DRAM 设计请直接移植全志公司提供的 PCB 模板, 以确保 DRAM 性能和稳定性;
- 如果条件限制无法完全导入模板, 请参照模板说明进行 Layout, 并确保以下关键点:
  - 所有走线的相邻层必须有完整的电源平面或地平面, TOP 走线相邻层是完整的 GND 平面, Bottom 相邻层是完整的 VCC-DRAM 电源平面;
  - 差分对 (CK/CKB、DQSx/DQSBx) 控制差分阻抗 100ohm (4 层板内层允许按 90ohm 控制), 与其他网络的间距 4W, W 为线宽。
  - 菊花链 fly-by 拓扑, 时钟信号在靠近 SOC 端跨接 2.2pf 电容, 在最远颗粒端跨接 100ohm 电阻。
  - DDR 颗粒如果大于 4 颗, CK/CKB 和 CS 信号需要走 Tee 型拓扑, 其他地址控制线走 fly-by。
  - 单端线控制阻抗 50ohm, 间距 2W。W 为线宽。
  - Vref 走线与其他网络的间距大于 4W, 滤波电容尽量靠近管脚放置。
  - 调整好过孔的位置、间距, 减少对电源、地平面的破坏。平面断开处用走线连接。



- 电源滤波电容尽量靠近电源管脚放置，最好能放置在电源管脚下方的 PCB 背面。每个电容至少各一个电源过孔和地过孔，电容均匀分布，大小搭配，小电容优先靠近电源管脚。

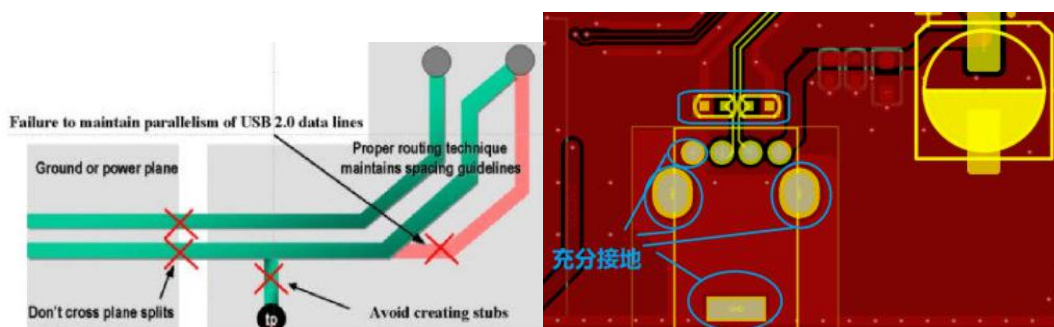
## 2.5. SPI FLASH AND eMMC

- 信号线走线要求：
  - eMMC 与主控间走线长度 $\leq 2000\text{mil}$ ；
  - 走线阻抗 50 欧；
  - 线间距 $\geq 2$  倍线宽；
  - D0~D3、DS 相对 CLK 等长控制 $\leq 300\text{mil}$ ；
  - D0~D3 上使用过孔的数量尽量相同
- CLK 和 DS 信号做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 $\geq 3$  倍线宽；
- eMMC 保证所有信号走线参考平面完整；
- 走线尽量避开高频信号；
- VCC/VCCQ 线宽不小于 12mil，或直接使用敷铜代替电源走线；电源线上如有过孔，则过孔数量不少于 2 个，避免过孔限流影响供电；
- 如果期望 eMMC 运行在较高频率，则建议只使用 eMMC，保证主控 IO 与 eMMC 点对点连接。如果 SPI\_FLASH/eMMC 双 Layout 时，走线采用菊花链方式，将 eMMC 作为走线的终点，尽量减少分叉线长度；
- 用于二次烧录的 SPI-MISO 和 eMMC-D2，布局时候放在 SOC 和 flash 之间。减少分支。



## 2.6. USB

- VCC-USB 走线线宽  $8\sim 12\text{mil}$ ，VCC-USB 的  $0.1\mu\text{F}$  电容，需要靠近 IC 摆放；
- USB-5V 线路上电流最高可达 1A，线宽建议控制在  $40\text{mil}$  以上，电解电容靠近座子放置；
- USB-DM/USB-DP 信号差分走线，差分阻抗为 90 欧姆，保证走线相邻层有连续完整的同一参考平面；
- USB-DM/USB-DP 建议与其它信号的间距大于  $10\text{mil}$ ，避免走线走在器件的下面或者与其他信号交叉；
- USB-DM/USB-DP 走线在有空间的情况下，走线两边包地并打地过孔；
- USB-DM/USB-DP 走线拐角的角度需保证大于等于  $135^\circ$ ；保证 USB 走线的长度控制在  $4000\text{mil}$  以内，走线的过孔不超过 2 个；
- TVS 器件需要靠近 USB 座子摆放；
- USB 座子金属外壳接地管脚 TOP 面建议全铺接地，其他层也建议充分接地；



## 2.7. 音频

- AVCC/VRA1/VRA2/AGND 接地电容、电阻依次靠近主控摆放；
- PCB 走线 AVCC 线宽  $\geq 25\text{mil}$ ；VRA1/VRA2 线宽  $\geq 10\text{mil}$ ；线长  $\leq 300\text{mil}$ 。远离高速干扰信号；
- AGND 部分 PIN 分地处理。
- HPOUT 走线远离高速信号线，如 DRAM。禁止在高速信号线相邻层走线，若要平行或交叉，中间须有“地”层隔离，音频信号容易受到干扰，且禁止在高速信号线附近打孔换层，这样容易出现高速信号在换层时参考不连续，从而回流路径不确定导致干扰音频信号。

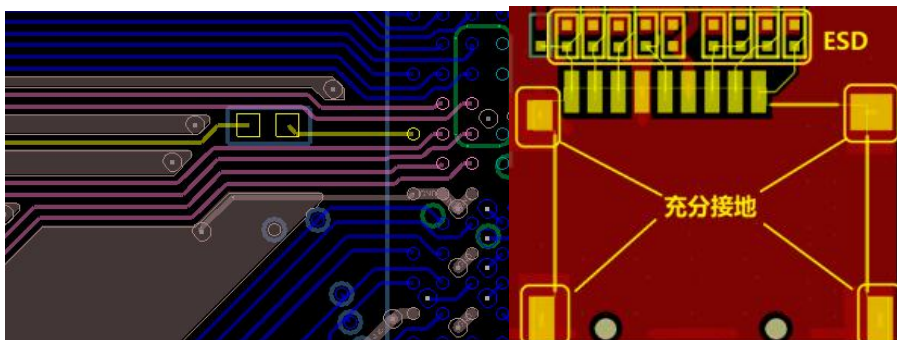
## 2.8. HDMI

- 阻抗控制在  $90\sim 100\Omega$ ，不建议打过孔
  - 线宽线距在各个层的要求不一样，和 PCB 堆叠方式也有关，请参考 2.1 章节。
  - 差分线对内等长误差约  $< 10\text{mil}$ ；差分线对间等长误差约  $< 100\text{mil}$ ；
- HDMI 信号线长度应该  $< 3000\text{mil}$ 。
- HDMI 差分走线拐角  $135^\circ$  最好为圆弧，保证完整参考层。
  - ESD 器件靠近 HDMI 座子摆放。
  - 差分线上如果兼容共模电感和 0 欧电阻，请保证 0 欧电阻焊盘尽量与共模电感的焊盘重叠，尽量减小焊盘对差分线的阻抗影响。
  - 差分线之间需要包地，而且要打 GND 过孔。

## 2.9. Card

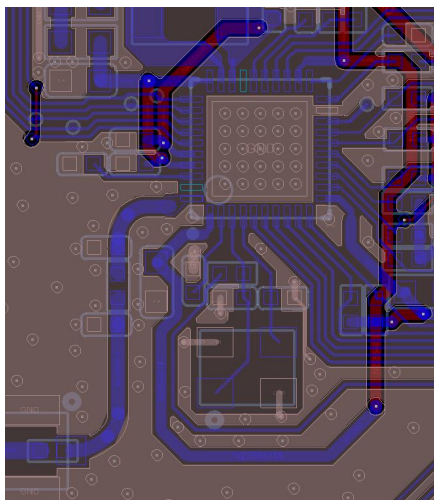
- 信号线走线阻抗 50 欧，线间距不小于 2 倍线宽， $D_0\sim D_3$  相对 CLK 等长控制  $< 500\text{mil}$ ；
- CLK 串接电阻靠近主控摆放，串阻与主控 CLK 连接走线距离  $\leq 300\text{mil}$ ；
- VDD 网络上的电阻和电容网络靠近卡座摆放，VDD 走线宽度不小于  $12\text{mil}$ ；
- 走线尽量避开高频信号，信号线走线参考平面完整；
- CLK 做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距  $\geq 3$  倍线宽；

- ESD 器件靠近卡座放置，卡座管脚走线先经过 ESD 器件，再连其它器件；
- 卡座外壳接地要充分；



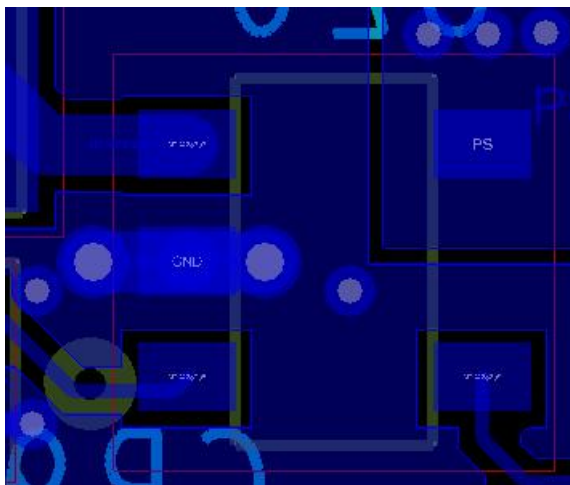
## 2.10. WIFI 和天线

- RF 走线需要考虑线段的宽度，满足阻抗设计在 50 欧；
- RF 走线越长、越细，能量损失越大，所以 RF 走线需要越短、越宽就越好；建议线长小于 6cm；
- RF 走线需要在相邻层或隔层有一片完整的铺铜作为信号的参考地（建议使用隔层参考，能保证 RF 走线足够宽，减小损耗）；
- RF 走线离板边距离至少大于 3mm；
- RF 走线不能分叉或换层，走线有转角请采用弧线；
- RF 走线使用过孔均匀环绕在四周，过孔间距  $W, 0.5\text{mm} \leq W \leq 1\text{mm}$ ；
- RF 走线回路路径完整，避免回路路径上跨分割，保证 RF 走线的地完整的回到模组底下；
- 外挂晶振部分需要包铜，一直到 pin 脚部分，如果晶振 pin 脚与电源 pin 相邻，请将电源走线或干扰信号尽量远离晶振走线，尽量用铜隔离；
- WIFI 部分需要用地完整包围，尽量降低干扰；
- WIFI 底部尽量多打地过孔，保证接地充分；
- WIFI 底部参考层必须有完整的参考平面，参考层为完整地，否则会影响 RF 指标；
- HDMI、DDR 会对 wifi 有比较大的干扰，设计时需要考虑放置位置远离以上干扰源；
- 如果 wifi 与系统时钟共用，必须保证 wifi 时钟走线全程包地，否则会导致时钟走线容易被干扰，导致 RF 测试不过，并不要与 SDIO 平行走线，远离干扰信号或电源；
- SDIO 的走线要先穿过滤波电容再进入 wifi，能保证有比较好的滤波效果；
- WIFICKL 上的并联电容和串接电阻靠近主控端摆放；
- WIFISDIO 做等长处理，控制在 50mil 内。

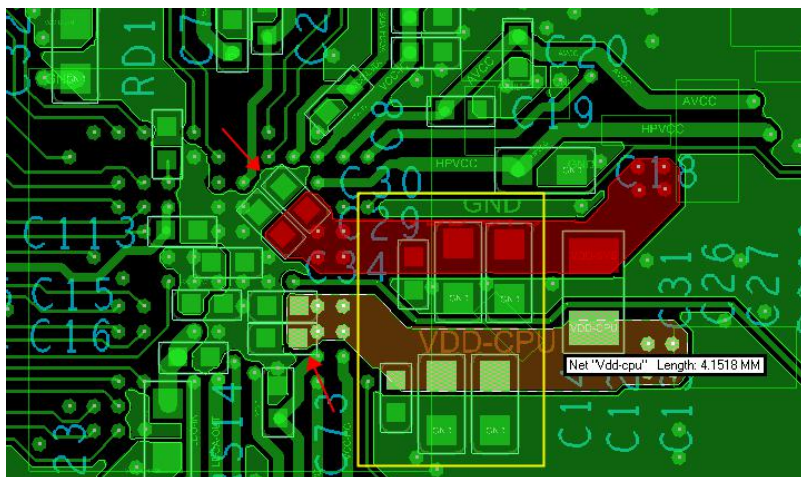


## 2.11. 电源

- DCDC 及电感、电容等主要器件建议放在同一层；；DCDC 输出电容建议与电感垂直放置，减少纹波测试引入电感 LX 信号的干扰；
- DCDC 的 GND 必须三个过孔以上，保证 GND 回路阻抗足够低；



- 电压反馈线，输出电压经过电容滤波后，紧挨电容取点，用 4~10mil 的线引入 DCDC 即可，最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号；
- VDD-CPU, VDD-SYS 可以通过 BOTTOM 层到 BGA 底部，但是必须要把两颗 2.2uF 电容放置在 BGA 对应电源的正下方（红箭头）。0603 的电容可以放置在稍远处（黄框内）。换层过孔不能少于 4 个。



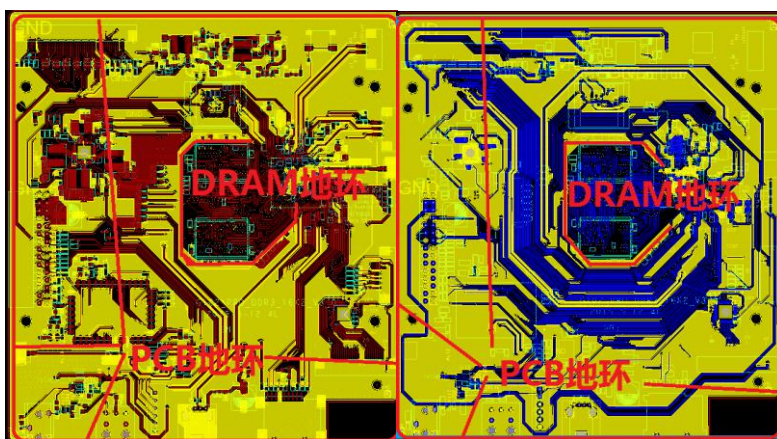
- LDOA, LDOB, AVCC, HPVCC 属于 SOC 内部 LDO，其 BYPASS 电容必须非常靠近对应的 BALL。LDOA/LDOB 走线宽度建议在 20mil（最少 15mil）。

## 2.12. 散热

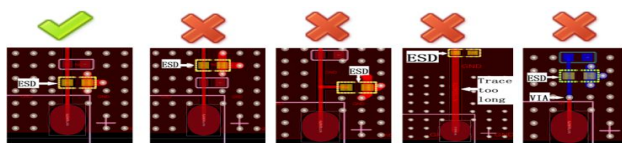
- 尽量保证 GND 平面和电源层各电源部分平面的连续性和完整性；
- 在 PCBLayout 空间允许的情况下，在 PCB 底层的地也尽可能有大的铜皮利于散热；
- CPU 中间区域的 Ball 是把热传导到其他平面层和底部的主要途径，需要保证与 Ball 连接的 Via 数量，建议 vial 孔径 10~12mil，孔中心间距为 30~40mil；在不使用的 GPIO 附近也可以尽量增加 Vial 数量；
- 在 PCBLayout 空间允许的情况下，在 PCB 底层的地也尽可能有大的铜皮利于散热；
- PCB 板上较大功率器件均匀摆放，避免多个热源靠在一起，SOC 尽量靠芯片中间放置，PMU 距离 SOC 2cm 以上；

## 2.13. ESD

- SOC 摆放必须朝上，保证 SOC 离地耦合距离足够远，如果因为模具限制 SOC 必须朝下，则需要在 SOC 与 DDR 外围增加金属屏蔽壳保护；
- PCB 层叠设计必须保证不少于 1L 完整的 GND 平面，所有的 ESD 泄放路径直接通过过孔连接到这个完整的 GND 平面；压缩第三层不必要的电源走线面积，尽可能多的铺 GND；
- 在 PCB 四周增加地保护环；DDR 线束四周建议用 GND 保护；



- 关键信号 (RESET/NMI/Clock 等) 与板边距离不小于 5mm，同时必须与走线层的板边 GND 铜皮距离不小于 10mils；
- CPU/DRAM/晶振等 ESD 敏感的关键器件，离外部金属接口的距离不小于 20mm，如果小于 20mm，建议预留金属屏蔽罩，并且距离其他板边不小于 5mm；
- POWER 平面要比 GND 平面内缩不少于 3H (H 指 POWER 平面相对 GND 平面的高度)。
- 关键信号 (RESET/NMI/Clock 等) 尽量避免与外部接口信号 (USB/SD/HP 等) 或经过 IO 附近的走线相邻并行走线；如果不可避免，相邻并行的走线长度不超过 100mils；IO 保护地下方尽量不要走线，在必须走线的情况下建议走内层；
- 主控 reset 信号建议增加 1nF 电容接地，电容靠近主控摆放；电容接地端需用过孔加强连接；reset 走线需要用 GND 走线保护；
- 对于其他外设上的 reset 信号，在靠近芯片管脚的位置需增加 1~100nF 电容；
- 无论外部接口信号还是内部信号，走线必须避免多余的桩线；
- 必须保证外部连接器 (USB/SD) 金属外壳接地良好，在板边直接通过过孔连接 GND 平面，每个 GND 焊盘与 GND 平面之间的连接过孔不少于 3 个；
- 外部接口信号 (USB/SD/HP) 必须连接外部 ESD 器件，进行 ESD 保护。如下图所示，外部接口信号 ESD 器件放置位置尽可能靠近外部连接器，与连接器间避免过孔；ESD 器件接地端直接通过过孔连接到 GND 平面，而且过孔数量不少于 3 个；从外部接口进来，必须最先看到 ESD 器件；ESD 器件的信号端与外部信号端必须尽可能短，尽可能宽，建议直接搭接在信号走线上；



### 3. Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringement of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This document neither states nor implies warranty of any kind, including fitness for any particular application.