



eMMC 硬件 排查指南

**版本号: V0.7
发布日期: 2021-01-18**

版本历史

版本号	日期	制/修订人	内容描述
V0.5	2019-05-21	AWA1153	文档初始版本
V0.6	2021-01-14	AWA1579	转 markdown 格式
V0.7	2021-01-18	AWA1233	调整图片和表格格式



目 录

1 前言	1
1.1 编写目的	1
1.2 使用范围	1
1.3 相关人员	1
2 模块简介	2
2.1 模块功能简介	2
2.2 相关术语介绍	2
2.3 SD/eMMC 工作模式简述	2
3 典型问题排查步骤	5
3.1 检查原理图及 PCB	5
3.2 检查供电电源	5
3.2.1 倒灌电问题	5
3.2.2 上下电时序问题	5
3.3 各种类型问题排查方向	9
3.3.1 CMD RTO 异常	10
3.3.2 Data DTO 异常	11
3.3.3 CMD RCE/RE 异常	11
3.3.4 Data DCE/EBE 异常	12
3.3.5 Data SBE 异常	12
3.3.6 DMA FRE 异常	13
3.4 通用排查方法	13
3.4.1 检查硬件板	13
3.4.2 对比实验	13
3.4.3 抓取波形技巧	14
4 附录 A：协议参考	15
4.1 Bus Protocol	15
4.2 Command format	21
4.3 Responses format	22
4.4 Timing Values	23
4.4.1 Timing changes in HS200 and HS400 mode	24
5 附录 B：原理图参考	26
6 参考文献	29

插 图

2-1 速度模式	3
3-1 eMMC- VCC_SoC-VDD-SYS power up	6
3-2 电压与速度模式	7
3-3 操作电压	8
3-4 操作电压	9
3-5 操作电压	9
4-1 bus-protocol	15
4-2 no-respond-no=data	15
4-3 multiple-block-read	16
4-4 multiple-block-write	16
4-5 command-token-format	16
4-6 response-token-format	17
4-7 bits-bus-ddr	18
4-8 data-packet-format-for-ddr	19
4-9 data-packet-format-for-ddr-read	20
4-10 ddr52-crc	21
5-1 emmc 供电	26
5-2 SD 卡供电	27

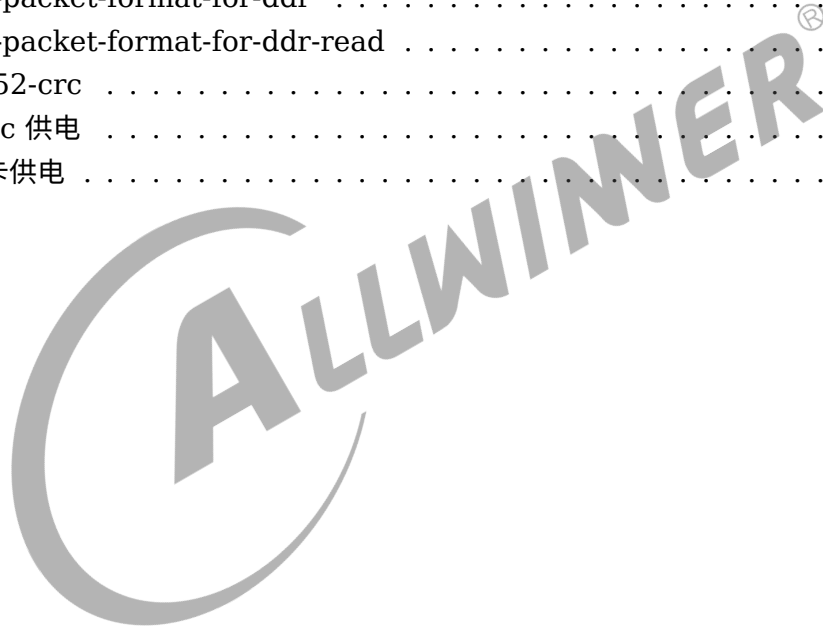


表 格

2-1	Terms and definitions	2
2-2	Bus Speed Modes	3
3-1	Power supply voltage	7
3-2	Bus Speed Modes	8
3-3	Bug Information	9
4-1	Command Format	21
4-2	R1 response (normal response command)	22
4-3	R2 response (CID, CSD register)	22
4-4	R3 response (OCR register)	22
4-5	Timing Parameters	23
4-6	Timing Parameters for HS200 and HS400 mode	24
5-1	eMMC 器件用途解释	27
5-2	SD Card 器件用途解释	27



1 前言

1.1 编写目的

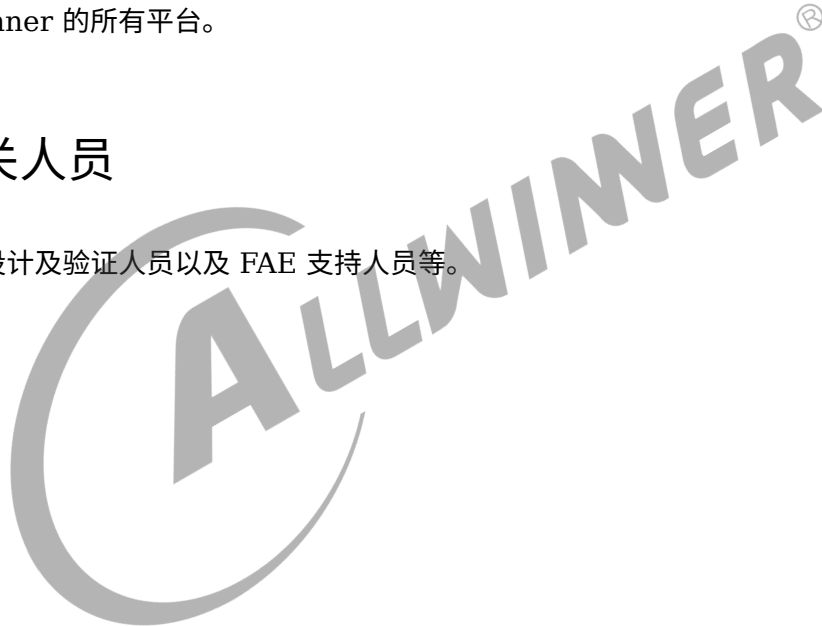
指导如何排查 SD/eMMC 模块软硬件问题

1.2 使用范围

适用于 Allwinner 的所有平台。

1.3 相关人员

SD/eMMC 设计及验证人员以及 FAE 支持人员等。



2 模块简介

2.1 模块功能简介

SMHC 模块主要实现对 SD/TF 卡、eMMC 读写操作以及 SDIO 设备的控制。

2.2 相关术语介绍

表 2-1: Terms and definitions

Name	Description
SoC	System on Chip
SD	Secure Digital Memory Card
MMC	Multimedia Card
eMMC	Embedded Multi-Media Card
SDIO	Secure Digital Input and Output
SMHC	SD-MMC Host Controller
SDR	Single Data Rate
DDR	Double Data Rate
UHS-I	Ultra High Speed Phase I
CMD	Command
CRC	Cyclic Redundancy Check(循环冗余校验)

2.3 SD/eMMC 工作模式简述

(1) 下图为 SD/SDIO 工作模式，不同 IO 电压下所支持的模式有区别；SD/SDIO 支持 **1/4 bit** 模式，只有 DDR50 是双边沿采样，其余模式为单边沿采样。SD/SDIO 2.0 协议只支持 3.3V Signal Voltage，SD/SDIO 3.0 协议可支持 3.3V 和 1.8V Signal Voltage。

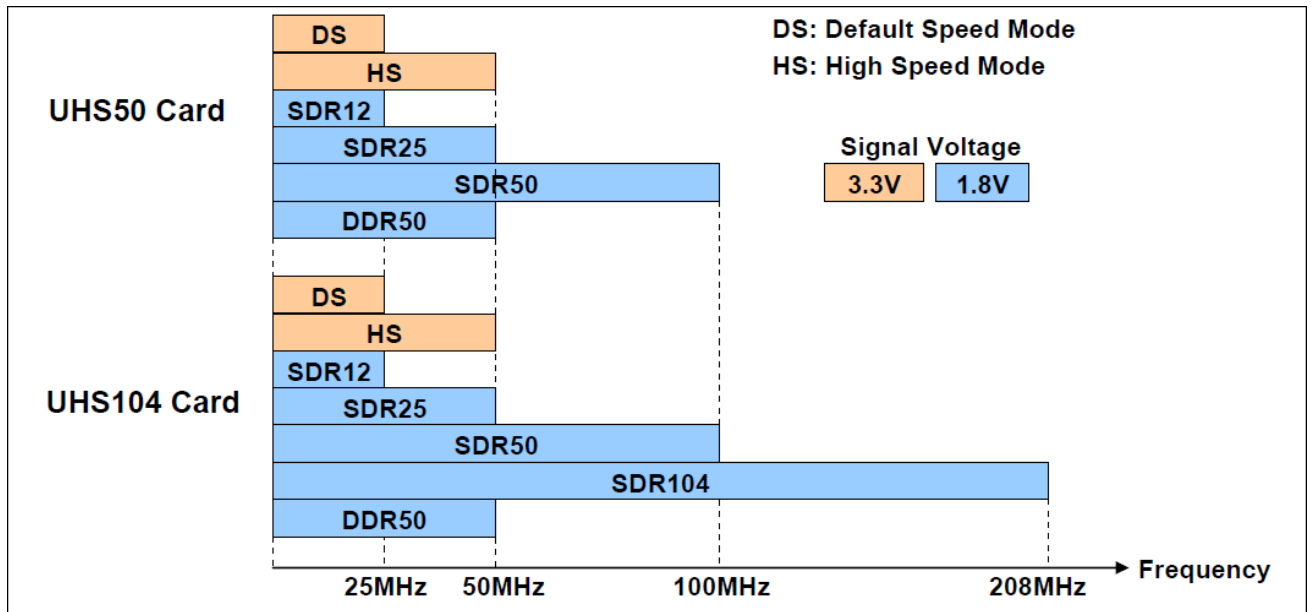


图 2-1: 速度模式

(2) 下表为 eMMC 工作模式，不同 IO 电压下所支持的模式有区别；eMMC 支持 1/4/8 bit 线宽模式，注意不同模式下支持的线宽模式有差异。

表 2-2: Bus Speed Modes

Mode Name	Data Rate	I/O Voltage	Bus Width	Frequency	Notes
Backwards Compatibility with legacy MMC card	Single	3 V/1.8 V/1.2V	1, 4, 8	0-26 MHz	a
High Speed SDR	Single	3 V/1.8 V/1.2V	1, 4, 8	0-52 MHz	a
High Speed DDR	Dual	3 V/1.8 V/1.2V	4, 8	0-52 MHz	b
HS200	Single	1.8 V/1.2V	4, 8	0-200 MHz	a
HS400	Dual	1.8 V/1.2V	8	0-200 MHz	c

💡 技巧

- a. 所有信号均为单边沿采样 (上升沿采样)；
- b. CMD 的 Response 始终为单边沿采样，数据为双边沿采样 (CLK 上升下降沿采样)；
- c. CMD 的 Response 始终为单边沿采样，读写操作时数据线采样方式如下：
 - 读操作时数据线上的 Data, CRC16 为双边沿采样，即通过 Data Strobe 信号上升下降沿采样；
 - 读操作时数据线上的 Start bit, End bit 为单边沿采样，即通过 Data Strobe 信号上升沿采样；
 - 写操作时数据线 DAT0 上的 CRC status token 即使在 DDR、HS400 模式，status 也只有上升沿数据有效，下降沿的数据协议无强制要求，所以也是 Data Strobe 信号上升沿采样。

 说明

1. 协议中也有阐述 eMMC 处于 *Enhanced Strobe mode* 时, *CMD* 的 *Response*、*CMD6/CMD13* 的 *Device Response*、*Device status* 也会与 *Data Strobe* 信号同步输出, 目前 *Allwinner* 暂未支持可通过 *Data Strobe* 信号对这部分信息的采样。
2. eMMC 协议中的 *1.2V IO* 电压, 目前 *SoC* 暂未支持。



3 典型问题排查步骤

介绍关于使用 SD/SDIO/eMMC 出现相关问题时，硬件相关的排查方法。

3.1 检查原理图及 PCB

检查原理图上标识的器件与开发板 PCB 所贴器件是否对应，是否应该连接的未连接。原理图检查时，可参考附录原理图。PCB 布线规则参考硬件应用指南。

3.2 检查供电电源

电源类问题比较典型的有倒灌电、上下电电源波形异常等。

3.2.1 倒灌电问题

典型的问题如串口 RX 在电源不供电情况下，会倒灌电流到 SoC 或者 device，导致无法正常工作（ACMD41、CMD1 Card ready 超时或者其他离奇的错误）。

3.2.2 上下电时序问题

检查上下电时间是否存在异常，电源是否存在抖动。典型问题如上电时，电源有处于中间电平的异常台阶问题，如类似下图中的台阶；掉电时，电源供电因其他模块倒灌导致掉不干净等问题。

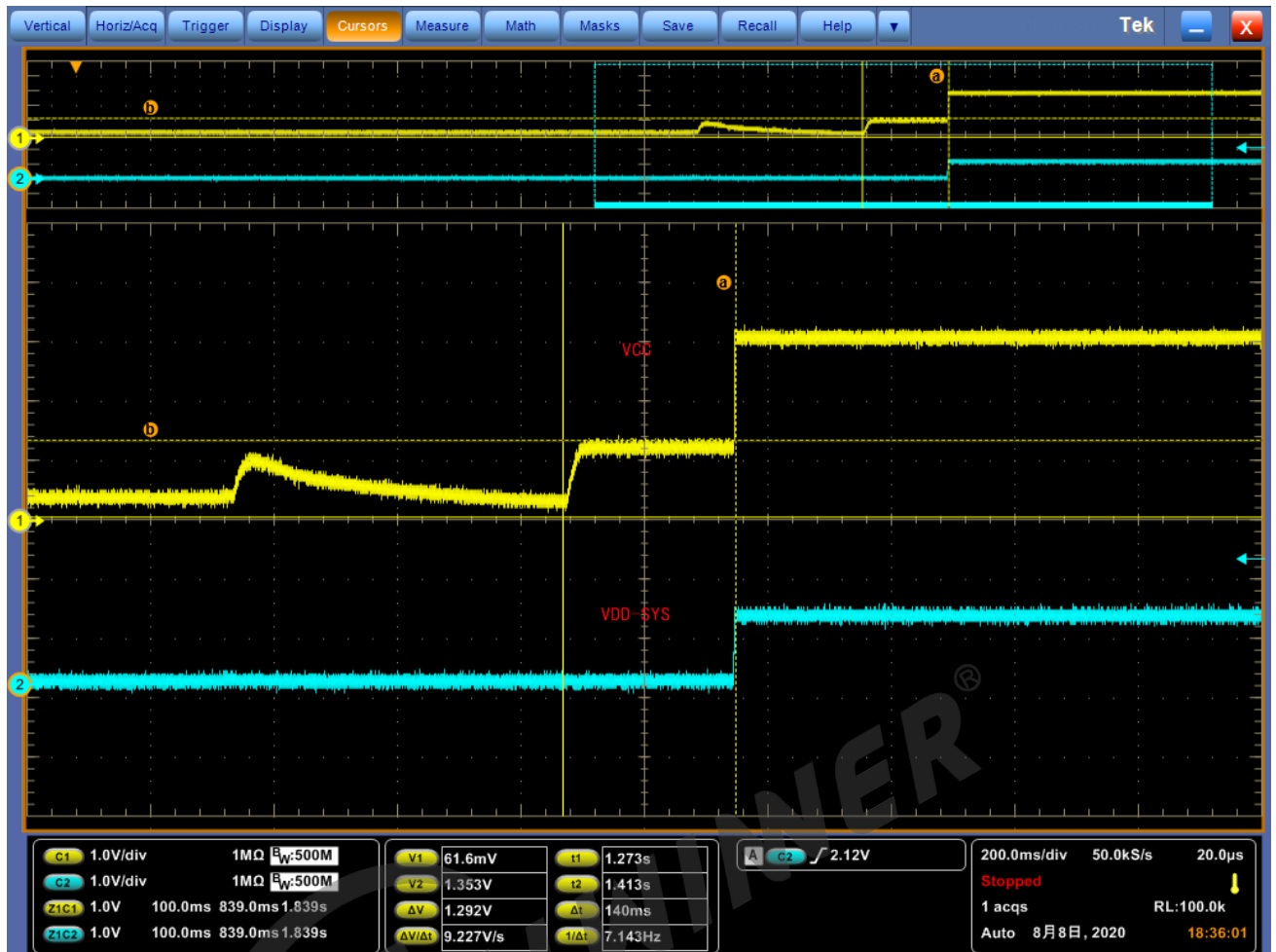


图 3-1: eMMC- VCC_SoC-VDD-SYS power up

检查并用万用表测量 IO 口电压及 device 电压是否准确，如有必要可用示波器进行实测是否电源有波动及上下电时序是否有异常；如果异常问题与 reboot, standby 场景相关，必须测试该场景下的电源 Power UP/Power Down 波形。

测量涉及到的供电如下：

- **VDD-SYS** : SoC 供电，即 SMHC 模块供电。
- **VDD/VCC** : 分别为 SD/eMMC device 供电，实际板级上可能改了名字为 **VCC-CARD, VCC-eMMC**，板级上 eMMC 与 NAND layout 复用，eMMC VCC 供电会与 **VCC-NAND** 连在一起。
- **VCCQ** : eMMC 控制器及 IO 供电，实际 eMMC 使用时会与 SoC 端 GPIO 供电例如 **VCC-PF/VCC-PC** 连在一起。

说明

SD/eMMC 电压有三种，典型值为 3.3V/1.8V/1.2V(AW 目前还未支持 1.2V)，协议中有规范电压范围，如下表；为阐述简便，下文中均按照典型值 3.3V/1.8V 来阐述。

表 3-1: Power supply voltage

Device	Parameter	Symbol	Min	Max	Unit
eMMC	Supply voltage (NAND)	V_{CC}	2.7	3.6	V
	Supply voltage (I/O)	V_{CCQ}	2.7	3.6	V
			1.70	1.95	V
			1.1	1.3	V
SD/SDIO	Supply Voltage	V_{DD}	2.7	3.6	V
Power UP	Supply power-up for 3.3 V	tPRUH	-	35	ms
	Supply power-up for 1.8 V	tPRUL	-	25	ms
	Supply power-up for 1.2 V	tPRUV	-	20	ms
Power Down and Power Cycle ¹	Maximum VCC/VCCQ/VDD	-	-	0.5	V
	Minimum time below maximum voltage	-	1	-	ms

说明

According to Protocols, The VCC/VCCQ/VDD shall be lowered to less than 0.5Volt for a minimum period of 1ms.

(1) SD 卡的 VCC-CARD 应保持为 3.3V，SoC 端 GPIO 供电例如 VCC-PF 默认为 3.3V；工作在 SD3.0 速度模式的 SD 卡，初始化 SD 卡时需要执行 CMD11 命令切换时序，故初始化阶段 VCC-PF 会从 3.3V 切换为 1.8V。

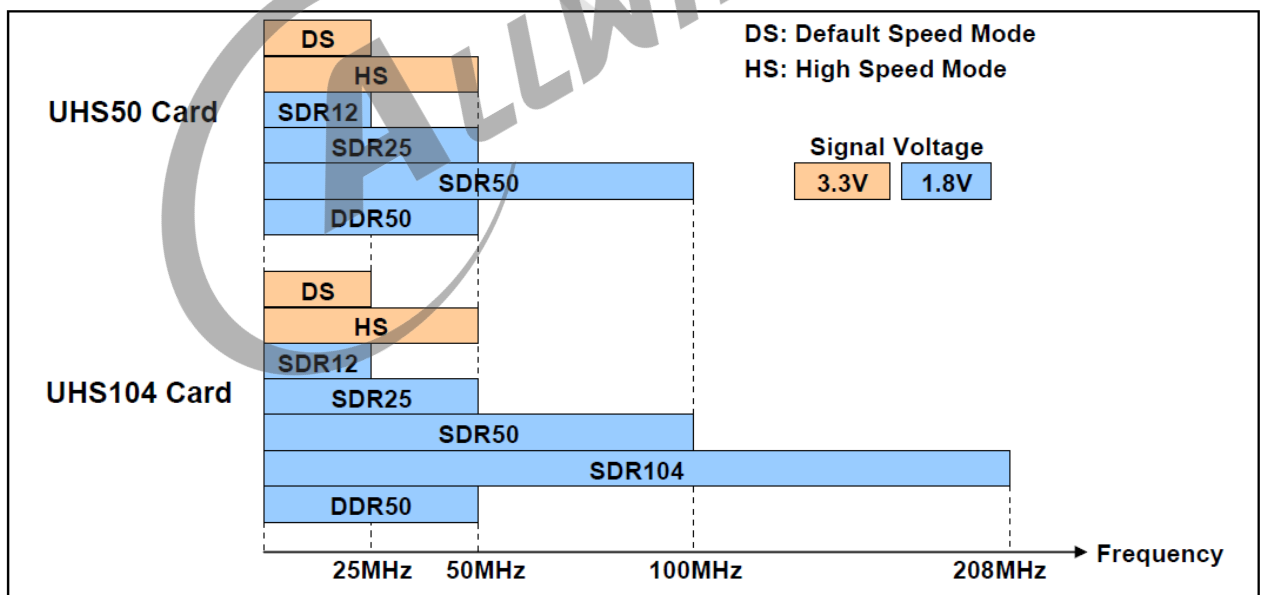


Figure 3-12 : UHS-I Card Type Modes of Operation versus Frequency Range

图 3-2: 电压与速度模式

(2) eMMC VCCQ 供电电压 (对应 SoC 的 VCC-PC)，在 eMMC 跑低速模式 (SDR,DDR) 时接 3.3V, 1.8V 均可。

依据 eMMC 协议，当 eMMC 跑高速模式 (HS200,HS400) 时，VCCQ 需为 1.8V，VCC-

eMMC 应保持 3.3V。

表 3-2: Bus Speed Modes

Mode Name	Data Rate	I/O Voltage	Bus Width	Frequency	Max Data Transfer (implies x8 bus width)
Backwards Compatibility with legacy MMC card	Single	3V/1.8V/1.2V	1, 4, 8	0-26 MHz	26 MB/s
High Speed SDR	Single	3V/1.8V/1.2V	1,4, 8	0-52 MHz	52 MB/s
High Speed DDR	Dual	3V/1.8V/1.2V	4, 8	0-52 MHz	104 MB/s
HS200	Single	1.8V/1.2V	4, 8	0-200 MHz	200 MB/s
HS400	Dual	1.8V/1.2V	8	0-200 MHz	400 MB/s

 说明

V_{CCQ} (I/O) 3.3 V range is not supported in either HS200 or HS400 devices

- (3) 某些特殊 eMMC 可能不支持 3.3V IO 或者 1.8V IO，这种情况可以参考对应 eMMC data sheet 进行确认，确保使用上是正确的。

如下图所示，V_{CCQ} 即为 eMMC 所支持的 IO 电压。

- **Operating Voltage Range**
 - V_{CC} (NAND) : 2.7V - 3.6V
 - V_{CCQ} (Controller) : 1.7V - 1.95V / 2.7V ~ 3.3V

图 3-3: 操作电压

下图摘自 SK Hynix H26M51002KPR/H26M62002JPR/H26M74002HMR data sheet, 这几款都不支持 3.3V IO。

- **Operating Voltage Range**
 - V_{CC} (NAND) : 2.7V - 3.6V
 - V_{CCQ} (Controller) : 1.7V - 1.95V

图 3-4: 操作电压

下图摘自 Sandisk SDIN9DS2-xxG/SDINADF4-xxG data sheet, 这两款 3.3V 下撑不住 1 小时, 也不支持 3.3V IO。

- Core voltage (VCC) 2.7-3.6 V
- I/O (VCCQ) voltage, either: 1.7-1.95V or 2.7-3.6V
- Note: Device operation under 3.3V VCCQ is limited to Max 1 hour

图 3-5: 操作电压

3.3 各种类型问题排查方向

确保原理图 PCB 以及供电无问题后, 接下来就要针对异常打印去具体分析已确认根本原因, 部分问题需要抓取波形, 需要从 CMD, CLK, DATx, GND 信号线处引线, **引线的长度推荐 2-3cm 或者更短**, 以免影响问题复现以及示波器测量工作。

下表列举系统中常见报错打印标识解析:

表 3-3: Bug Information

错误标识	具体含义
RE	命令的回应错误 (Response Error), 其中包括 response 的 Transmission bit, CMD index, End bit 等错误。
RCE	命令的回应 CRC 校验码错误 (Response CRC Error)。
RTO	命令的回应超时 (Response Time Out), 设备未回应或未在设定时间内回应。
DCE	数据 CRC 校验码错误 (Data CRC Error): <ul style="list-style-type: none"> - 接收数据时, 表示收到的数据 CRC 校验错误。 - 发送数据时, 表示接收到的 CRC status token 为否定的。
EBE	数据停止位错误 (Data End-bit Error): <ul style="list-style-type: none"> - 接收数据时, 表示控制器未接收到有效数据停止位 (End-bit)。 - 发送数据时, 表示控制器未接收到 CRC status token。

- DTO** 接收数据超时 (Data Time Out), 表示控制器在设定时间内未识别到数据线 data 起始位 (Start bit)。4/8 bit 模式时, 控制器识别到 data0 的起始位 (Start bit), 但未找到其他一部分或者所有数据线的起始位 (Start bit)。
- SBE** 起始位错误 (Start Bit Error), 表示接收数据时, 控制器识别到错误的 Start bit。
- FRE** FIFO Request Error: 具体到 SMHC spec 中表述为 FIFO 溢出或被掏空 (FIFO Overflow/Underrun)。
-

明白 mmc 驱动错误的含义后, 下面一一说明如何排查问题。

💡 技巧

在收集错误信息时务必以第一个错误信息为准, 因为后面的错误异常基本是第一次出现的错误异常引发的, 故要以第一个错误异常为准去排查。

3.3.1 CMD RTO 异常

(1) 问题分析

如下, 初始化 eMMC 遇到以下错误打印, 错误为 Response Time Out。

```
[mmc]: smc 2 err, cmd 1, RTO ## [mmc]: smc 2 err 表示是 SMHC 模块出现的异常。  
[mmc]: smc 2 err, cmd 2, RTO ## cmd 2 表示为 CMD2 出现的错误, RTO 为错误标识。  
[mmc]: smc 2 err, cmd 3, RTO
```

💡 技巧

当初始化 SD 卡出现 *CMD1 RTO*, 应视为正常打印, 原因是 SD 卡协议中没有 *CMD1* 命令, 驱动中报此异常, 其实是在识别是 SD 卡介质还是 eMMC 介质。

(2) 排查方向

首先, 一般驱动上配置超时是足够的。软件可以排查是否 Response timeout limit 设置时间不够长, 小于协议中时序要求 (比如 N_{CR} , N_{ST} , N_{ID} , 请根据实际命令 Response 类型确认参考哪个参数) 以及 eMMC data sheet 要求, 可参考附录 4.4 *Timing Values* 或者直接查看协议 JESD84-B51 *Chapter 6.15 Timings*, SD/SDIO 时序参数标准务必参照 Physical Layer Specification Ver3.00 Final *Chapter 4.12 Timings*。

- 软件方向: 可以在此异常出现后, 查看控制器时钟配置, GPIO 配置, SMHC 控制器寄存器配置, 重点关注控制器寄存器, 查看 Response 寄存器 (Reg 0x20) 以及控制器状态寄存器 (Reg 0x3C), 可确认控制器是否收到 Response。
- 硬件方向: 可以直接使用逻辑分析仪抓取异常时的波形, 抓到波形后可直接查看是否有 Response 或者是否在协议规定时间内回应, CMD/Response 的格式可参考附录 4.2~4.3。如

果 SD/ eMMC 初始化阶段，所有命令都出现 Response Time Out(RTO) 类似错误，可先确认 SoC 端 CLK (33R) 电阻是否虚焊，检查 CLK 串接电阻是否符合规范。

3.3.2 Data DTO 异常

(1) 问题分析

如下，传输数据时，出现 CMD18 多块读数据超时 (Data Time Out) 问题

```
[mmc]: smc 2 err, cmd 18, DTO !!
```

(2) 排查方向

首先，一般驱动上配置超时是足够的。软件可以排查是否 Data timeout limit 设置时间不够长，小于协议时序要求 (N_{AC}) 以及 eMMC data sheet 要求，可参考附录 4.4 *Timing Values* 或者直接查看协议 JESD84-B51 *Chapter 6.15 Timings*，SD/SDIO 时序参数标准务必参照 Physical Layer Specification Ver3.00 Final *Chapter 4.12 Timings*。

- 软件方向：此种问题软件除排查控制器时钟配置，GPIO 配置，SMHC 控制器寄存器配置，SD/eMMC 配置信息 (速度模式及线宽等) 外，无其他直接方向。
- 硬件方向：使用逻辑分析仪抓取异常时的波形，抓到波形后即可直接查看，发送 CMD18 命令后，设备各条数据线是否有数据送出来。如果设备为 SD/TF 卡，报此类型异常，除了设备有问题的可能外，大部分原因可能为 SD/TF 卡座接触不良问题或者 SD/TF 卡自身问题。

3.3.3 CMD RCE/RE 异常

(1) 问题分析

异常日志类似下表，Response CRC Error/Response Error 两种错误有时候会同时出现，此类问题大部分原因为控制器端接收时 Response 采样错误 (采样点配置不合适)。

```
- [mmc]: smc 2 err, cmd 18, RE
```

```
- sunxi-mmc sdc0: smc 1 p0 err, cmd 55, RE RCE !!
```

(1) 排查方向

- 软件方向：排查配置信息，尤其要关注**输出相位**，**采样点配置**等。
- 硬件方向：使用逻辑分析仪抓取异常时的波形，抓到波形，查看解析出的封包信息，核对是否 CRC 错误等，CMD/Response 的格式可参考附录 4.2~4.3。如有必要，可用示波器抓取波形，确认信号完整性，接口总线时序参数标准请参考 eMMC 协议 JESD84-B51 *Chapter 10.6~10.10* 或者 SD 协议 Physical Layer Specification Ver3.00 Final *Chapter 6.7.3~6.7.4*。

3.3.4 Data DCE/EBE 异常

(1) 问题分析

如下表中的例子，Data CRC Error/Data End-bit Error 两种异常，大部分原因为控制器端接收时数据时采样错误 (采样点配置不合适)，这里放在一起分析。

```
- sunxi-mmc sdc2: smc 0 p2 err, cmd 8, RD DCE !!  
  
- sunxi-mmc sdc2: smc 0 p2 err, cmd 18, RD EBE !!  
  
- sunxi-mmc sdc2: smc 0 p2 err, cmd 25, WR DCE EBE !!
```

(1) 排查方向

- 软件方向：排查控制器时钟配置，GPIO 配置，SMHC 控制器寄存器配置，SD/eMMC 配置信息 (速度模式及线宽等)，尤其要关注**输出相位**，**采样点配置**等。
- 硬件方向：使用逻辑分析仪抓取异常时的波形，抓到波形，查看解析出的封包信息，核对是否 CRC 错误等，CMD/Response 的格式可参考附录 4.2~4.3。如有必要，可用示波器抓取波形，确认信号完整性，接口总线时序参数标准请参考 eMMC 协议 JESD84-B51 *Chapter 10.6~10.10* 或者 SD 协议 Physical Layer Specification Ver3.00 Final *Chapter 6.7.3~6.7.4*。

3.3.5 Data SBE 异常

(1) 问题分析

如下所示，问题为多块读数据时 Start Bit Error。

sunxi-mmc sdc2: smc 0 p2 err, cmd 18, RD SBE !!

(1) 排查方向

- 软件方向：排查控制器时钟配置，GPIO 配置，SMHC 控制器寄存器配置，SD/eMMC 配置信息（速度模式及线宽等），尤其要关注**输出相位，采样点配置**等。
- 硬件方向：使用逻辑分析仪抓取异常时的波形，抓到异常时的波形，查看发送命令之后数据线 Start Bit 是否有异常等。如有必要，可用示波器抓取波形，确认信号完整性，接口总线时序参数标准请参考 eMMC 协议 JESD84-B51 *Chapter 10.6~10.10* 或者 Physical Layer Specification Ver3.00 Final *Chapter 6.7.3~6.7.4*。

3.3.6 DMA FRE 异常

(1) 问题分析

此类问题打印上表现为读写数据出现 FRE 异常，即 FIFO 溢出或者被掏空。

(1) 排查方向

软件方向：排查控制器时钟配置，GPIO 配置，SMHC 控制器寄存器配置，SD/eMMC 配置信息（速度模式及线宽等），重点关注 **FIFO Trigger level(Reg 0x40) 配置是否合适，DMA 描述符信息是否正确**等。一般 FIFO Trigger level 推荐配置为 SMHC spec 中的推荐值。

3.4 通用排查方法

3.4.1 检查硬件板

- (1) 检查电路是否虚焊。
- (2) 检查电路是否与原理图一致。
- (3) 检查设备端 (SD/eMMC) 是否有问题（更换设备）。

3.4.2 对比实验

- (1) 不同硬件板，同一设备，做对比实验；

(2) 同一硬件板，不同设备，做对比实验；

(3) 对比实验结果分析

a. 怀疑整体：

机器是一个整体，其他部件有问题，也是可能导致出错的。比如说 DRAM 出错，这一点在量产的时候尤为明显。

b. 怀疑设备：

SMHC 这个模块，事实上是一个主从关系，有问题，设备端的几率也是十分大。毕竟设备端千差百异。另外，客户使用黑片的可能性很多，当报大规模烧录不良的时候，要对设备端进行分析。

排查方法：

(1) (良品) 设备端差异，换不同设备如果问题就不出现，设备端问题几率比较大。

(2) (黑片) 对于怀疑是黑片，先用读卡器对样品做全盘读写测试，有必要的时候，可能要做读写压力测试。

(3) 可以使用抽检工具做样品的测试分析。

3.4.3 抓取波形技巧

对于系统 (Linux, Android 等) 上出现的问题，低概率、复现难度较大的场景，加上分析仪抓取长度以及示波器无相应协议解析套件，建议与软硬件相关同事沟通，选择一条空余 GPIO，用于出现异常之后反复翻转数次 GPIO 电平来辅助使用逻辑分析仪或者示波器抓取第一现场。

当使用示波器 (无套件) 抓到现场之后，分析问题就没有逻辑分析仪方便了，只能采取人工解析 CMD 及 Response 的格式参考附录 4.2-4.3，然后根据问题现象确认波形。

4 附录 A：协议参考

以下均摘自 eMMC 协议 JESD84-B51，供调试问题时作参考。Command, Response 格式与 SD 协议基本相同，时序参数标准略有差异。

4.1 Bus Protocol

The block read and write operation Block diagram:

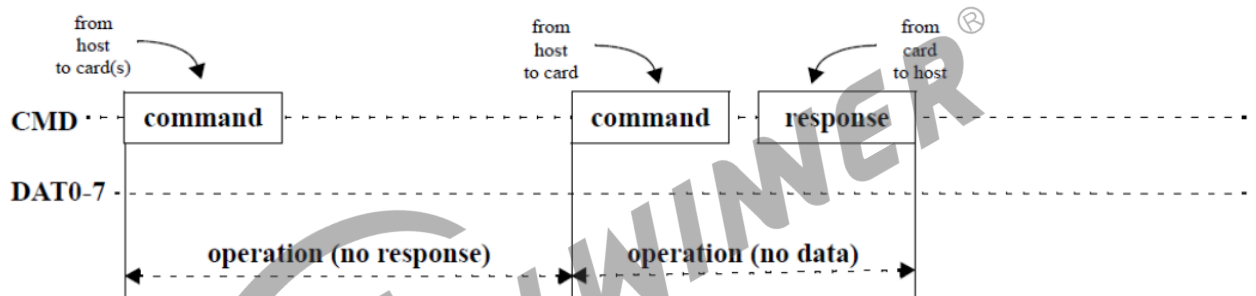


图 4-1: bus-protocol

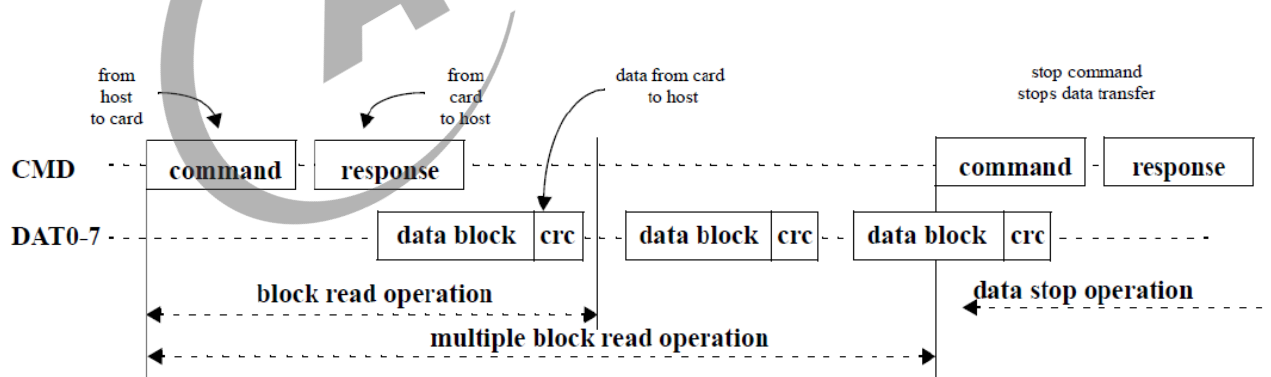


图 4-2: no-respond-no=data

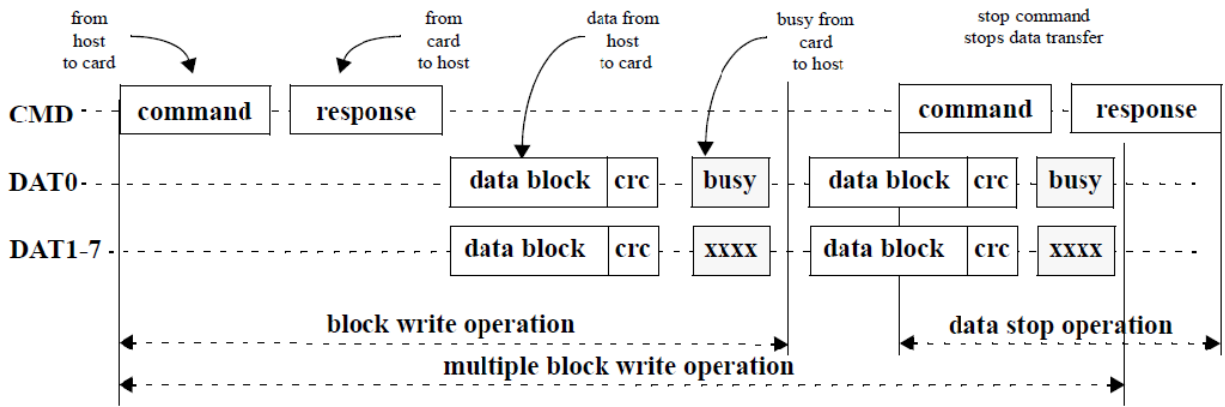


图 4-3: multiple-block-read

Command tokens have the following coding scheme:

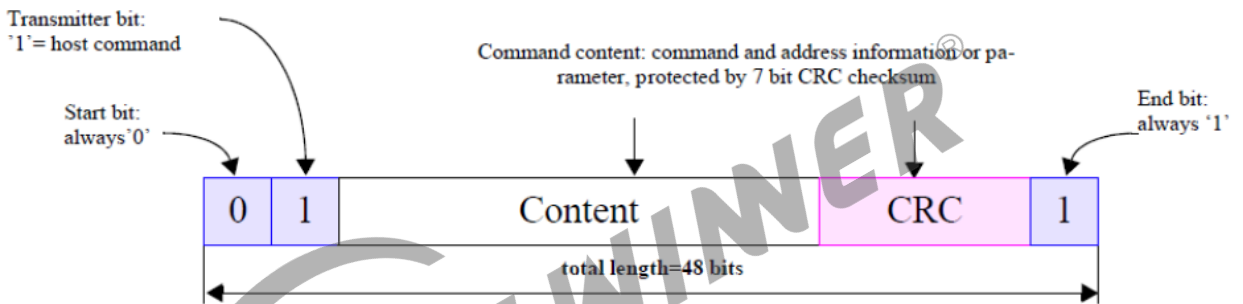


图 4-4: multiple-block-write

Response tokens have five coding schemes depending on their content. The token length is either 48 or 136 bits.

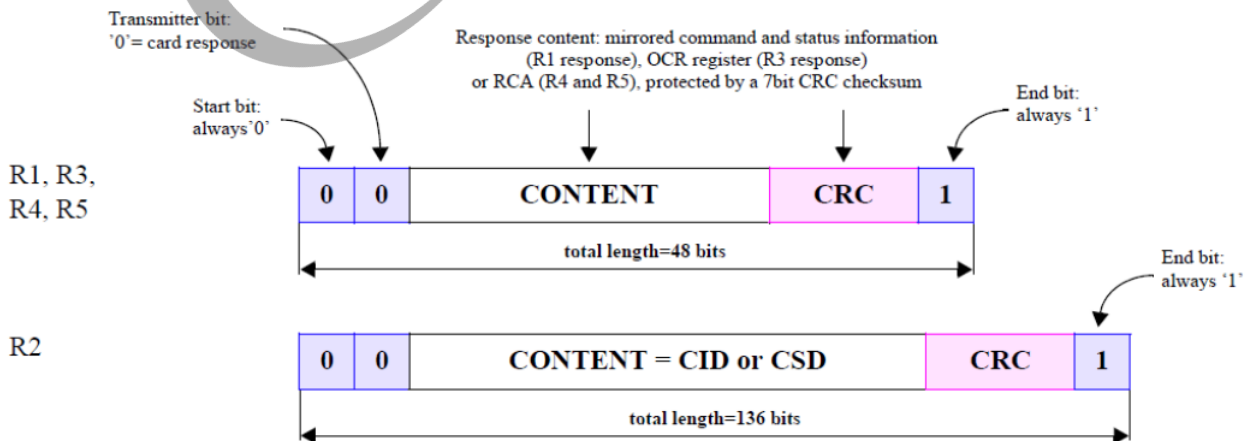


图 4-5: command-token-format

Data packet format have the following coding scheme:

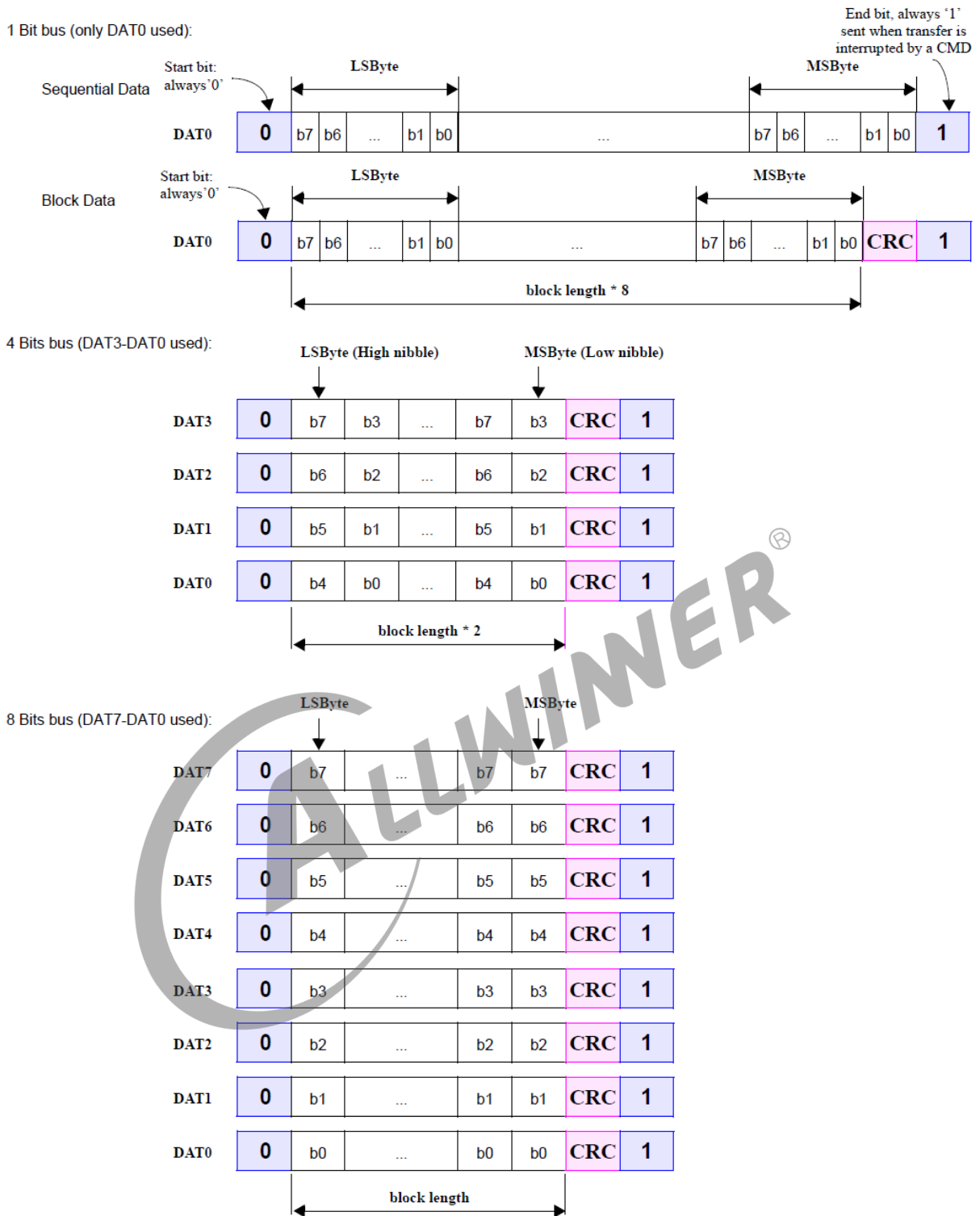
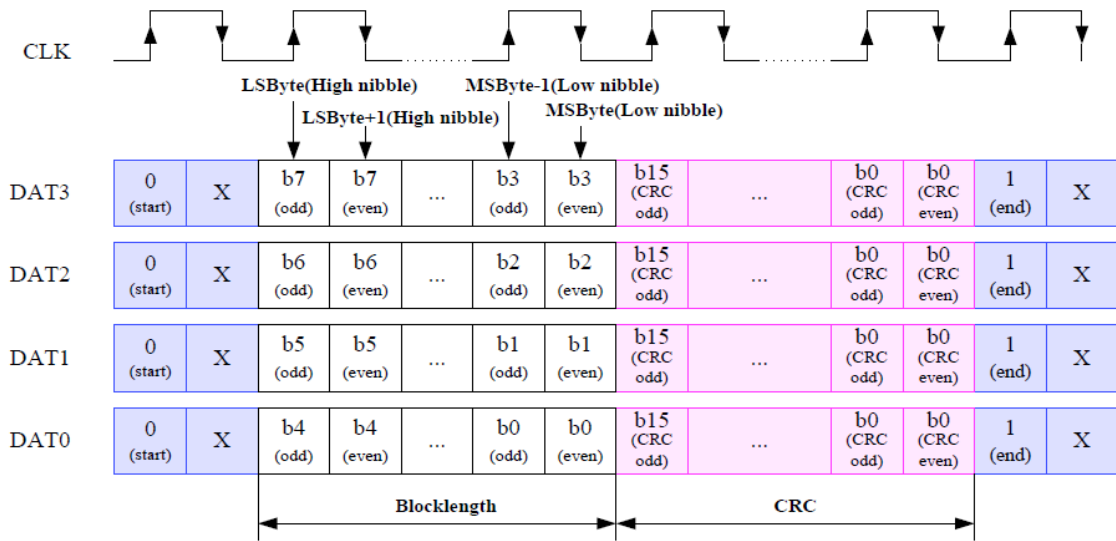


图 4-6: response-token-format

4 Bits bus DDR (DAT3-DAT0 used):

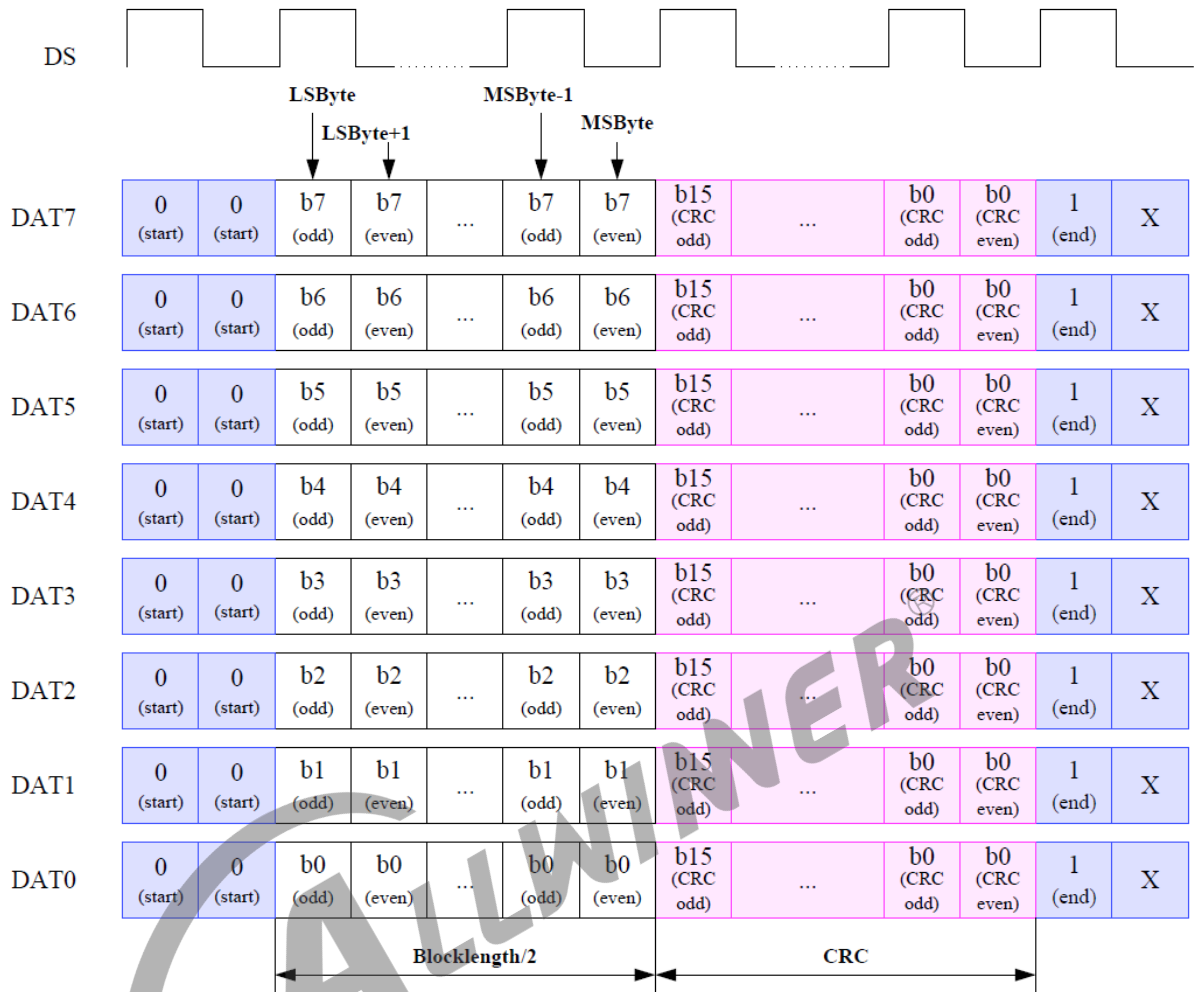


8 Bits bus DDR (DAT7-DAT0 used):



Notice that bytes data are not interleaved but CRC are interleaved
Start and end bits are only valid on the rising edge. ("x": undefined)

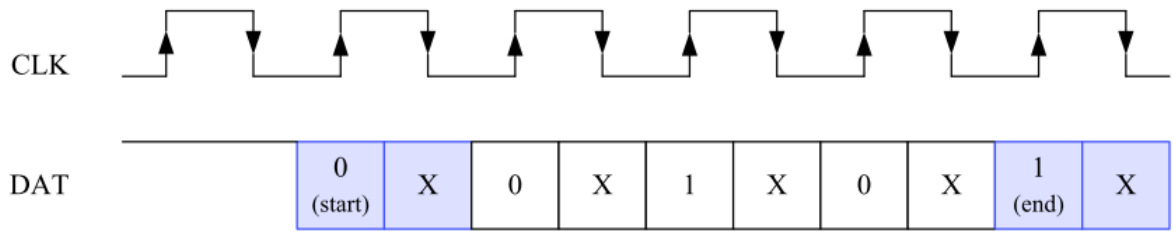
图 4-7: bits-bus-ddr

8 Bits bus DDR for HS400 output (DAT7-DAT0 used):


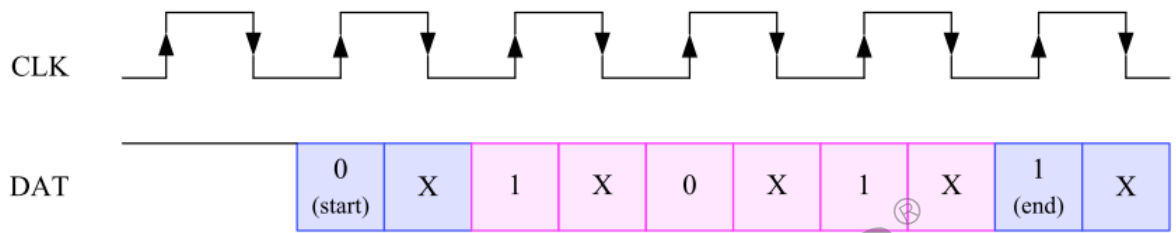
Notice that bytes data are not interleaved but CRC are interleaved
 Start bits are valid when Data Strobe is High and Low.
 End bits are only valid when Data Strobe is High. ("x": undefined)

图 4-8: data-packet-format-for-ddr

Positive CRC status token ('010')/Boot acknowledge pattern:

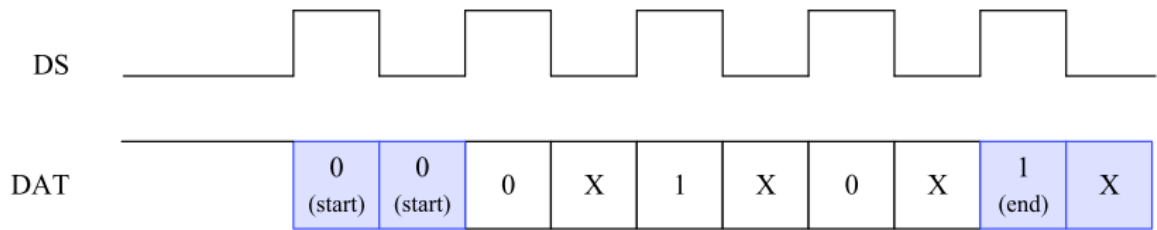
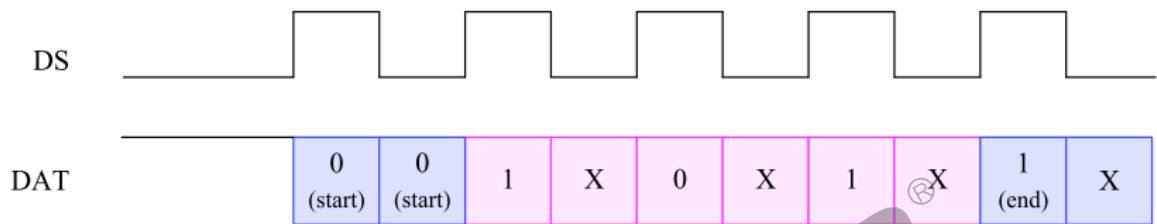


Negative CRC status token ('101'):



Start, end, CRC status and boot acknowledge bits are only valid on the rising edge ("x" is undefined)

图 4-9: data-packet-format-for-ddr-read

Positive CRC status token ('010'):

Negative CRC status token ('101'):


Start bits are valid when Data Strobe is High and Low.

CRC status and end bit are only valid when Data Strobe is High ("x" is undefined)

图 4-10: ddr52-crc

4.2 Command format

CMD 命令格式如下表：可查阅 JESD84-B51 *Chapter 6.10 Commands* 或者 Physical Layer Specification Ver3.00 Final *Chapter 4.7 Commands*.

表 4-1: Command Format

Description	Start	Transmission	Command			
	Bit	Bit	Index	Argument	CRC7	End Bit
Bit position	47	46	[45:40]	[39:8]	[7:1]	0
Width (bits)	1	1	6	32	7	1
Value	0	1	x	x	x	1

4.3 Responses format

下面只列举 R1(R1b)/R2/R3 类型 Response，其他 R4/R5 等不常用类型格式，请查阅 JESD84-B51 *Chapter 6.12 Responses* 或者 Physical Layer Specification Ver3.00 Final *Chapter 4.9 Responses*。

表 4-2: R1 response (normal response command)

Description	Start Bit	Transmission Bit	Command		CRC7	End Bit
			Index	Argument		
Bit position	47	46	[45:40]	[39:8]	7	0
Width (bits)	1	1	6	32	x	1
Value	0	0	x	x	CRC7	1

表 4-3: R2 response (CID, CSD register)

Description	Start Bit	Transmission Bit	Check bits	CID or CSD register incl. internal CRC7		End Bit
Bit position	135	134	[133:128]	[127:1]		0
Width (bits)	1	1	6	127		1
Value	0	0	111111	x		1

表 4-4: R3 response (OCR register)

Description	Start Bit	Transmission Bit	Check bits	OCR register	Check bits	End Bit
Width (bits)	1	1	6	32	7	1
Value	0	0	111111	x	1111111	1

4.4 Timing Values

下表为 eMMC 协议 JESD84-B51 中的表述，SD/SDIO 时序参数标准务必参照 Physical Layer Specification Ver3.00 Final Chapter 4.12 Timings。这里只列出各种时序参数的范围，具体表示的含义请参考协议 JESD84-B51 Chapter 6.15 Timings。

这里列出的是协议层的时序要求，输入输出信号参数要求，协议上还有单独的章节规范，参考 eMMC 协议 JESD84-B51 Chapter 10.6~10.10 或者 SD 协议 Physical Layer Specification Ver3.00 Final Chapter 6.7.3~6.7.4

表 4-5: Timing Parameters

Symbol	Min	Max	Unit
N_{AC}	2	$10 * (TAAC * FOP + 100 * NSAC)^1$	Clock cycles
N_{CC}	8	-	Clock cycles
N_{CD}	56	-	Clock cycles
N_{CP}	74	-	Clock cycles
N_{CR}	2	64	Clock cycles
N_{ID}	5	5	Clock cycles
N_{RC}	8	-	Clock cycles
N_{SC}	8	-	Clock cycles
N_{ST}	2	2	Clock cycles
N_{WR}	2	-	Clock cycles
$N_{SB-A(2)}$	4	4	Clock cycles
$N_{SB-B(2)}$	4	4	Clock cycles
$N_{SB-C(2)}$	2	2	Clock cycles
t_{BA}	-	50	ms
t_{BD}	-	1	s

说明

FOP is the MMC clock frequency the host is using for the read operation.

Following is a calculation example:

CSD value for TAAC is 0x26; this is equal to 1.5mSec;

CSD value for NSAC is 0;

The host frequency FOP is 10MHz

$NAC = 10 \times (1.5 \times 10^{-3} \times 10 \times 10^6 + 0) = 150,000$ clock cycles

说明

NSB-A: Device is driving DAT0 (e.g., CRC response) - no need in direction change (see Figure 50)

NSB-B: Host is transmitting DAT0 (e.g., during write data transfer) - need to allow direction change (see Figure 49)

NSB-C: DAT0 in Tri State - no need in direction change (see Figure 51)

4.4.1 Timing changes in HS200 and HS400 mode

Table 4-6 describes the differences and additions in timing parameters compared to Table 4-5.

The difference regarding NST and NSB are caused by the phase variation between CLK and DAT that is defined as t_{PH} (0 - 2 UI) in HS200. The phase variation between CLK and DataStrobe is defined as $t_{PH_DATASTROBE}$ (0 - 4 UI) in HS400.

表 4-6: Timing Parameters for HS200 and HS400 mode

Parameter	Min.	Max.	Unit
N_{AC}	8	-	clock cycles
N_{CRC}		(See note.1)	
N_{ST}	2	4	clock cycles
N_{SB-A}	4	6	clock cycles
N_{SB-B}	4	6	
N_{SB-C}	2	4	

说明

N_{CRC} shall be between 2 to 8 clock cycles in HS200 and $(2 \times t_{Period})$ to $(8 \times t_{Period} + t_{PH_dataStrobe})$ in HS400.

5 附录 B：原理图参考



eMMC

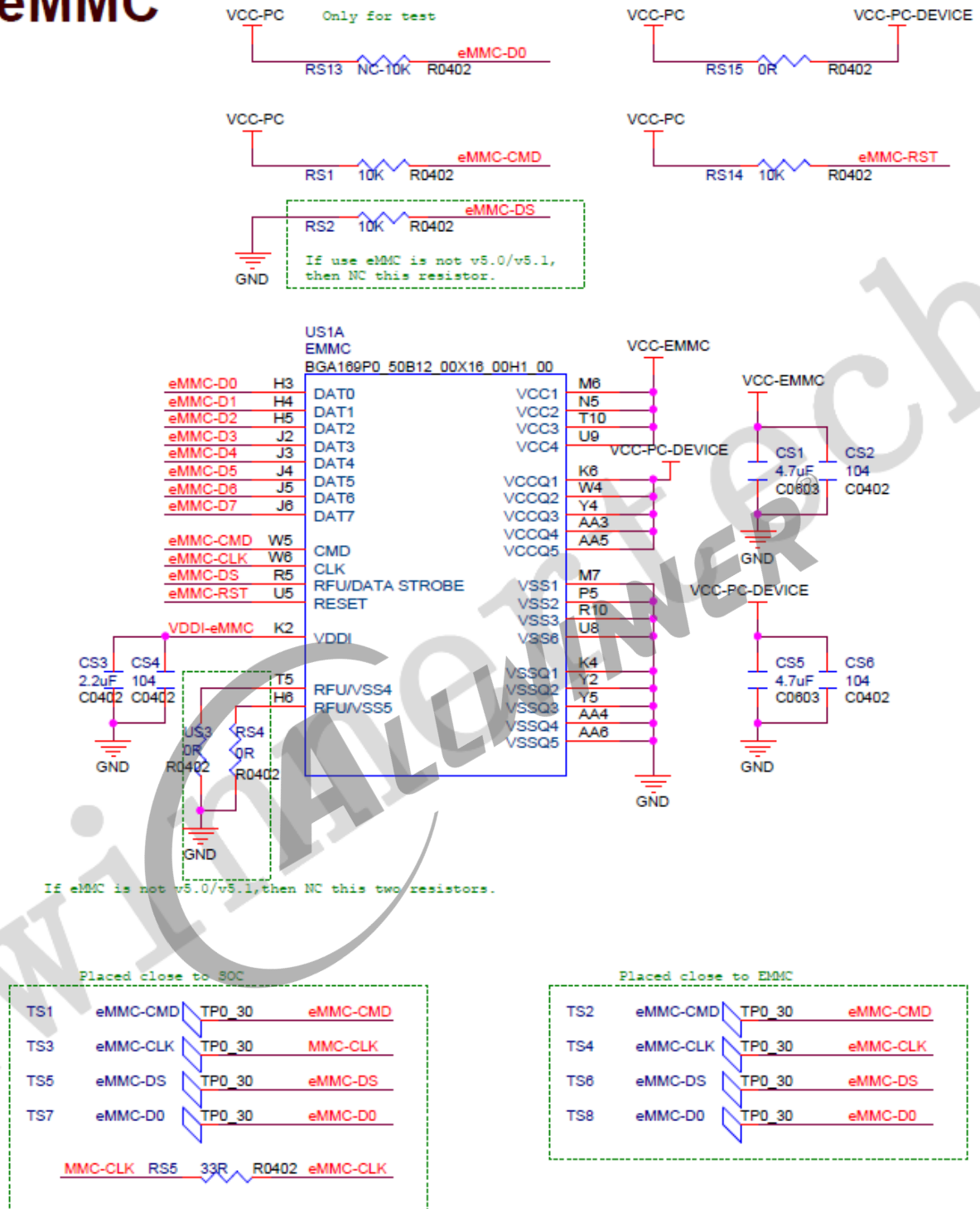


图 5-1: emmc 供电

SD CARD

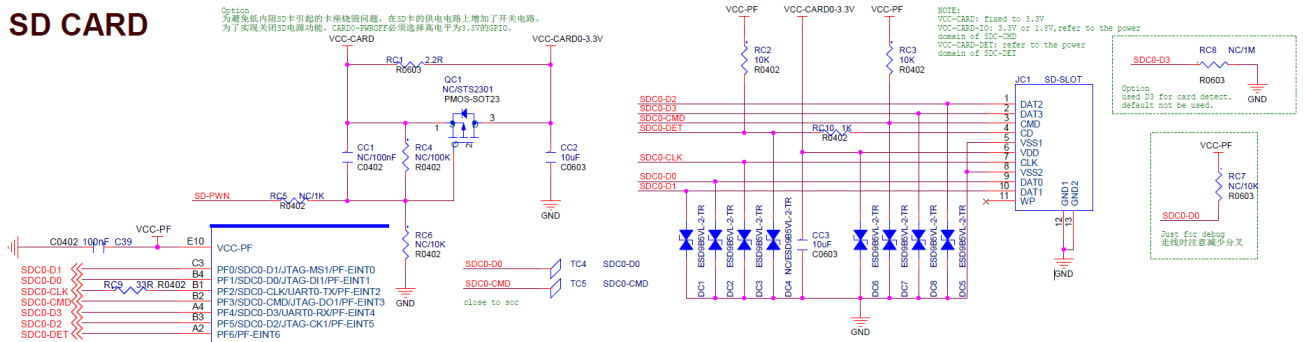


图 5-2: SD 卡供电

表 5-1: eMMC 器件用途解释

元器件	用途	优化
RS14	eMMC RST 上拉电阻，防止在没有复位信号时浮动，一般为 NC, 不会使用	无
RS1	保护 CMD 线的上拉电阻，防止当所有设备驱动器都处于高阻模式时总线浮动	无
RS5	33R 电阻，防止高频信号对 CLK 的干扰	无
RS2	eMMC 5.0/5.1 Data Strobe 下拉为 HS400 device 使用	无
CS3, CS4	eMMC VDDi 端必须连接电容器 C 以稳定内部系统稳压器的输出	所接电容大小可根据 eMMC datasheet 进行更改
US3, RS4	eMMC 5.0/5.1 GND	若使用 eMMC 不是 5.0/5.1, 可选择 NC
CS1, CS2	旁路电容，用于抑制 VCC-eMMC 的电源纹波与噪声。	所接电容大小可根据 eMMC datasheet 进行更改
CS5, CS6	旁路电容，用于抑制 vccq 的电源纹波与噪声	所接电容大小可根据 eMMC datasheet 进行更改
RS13	波形测试专用	实际方案可去除
TS1,TS2, TS3,TS4, TS5,TS6, TS7,TS8	eMMC 波形测试点	实际方案可去除

表 5-2: SD Card 器件用途解释

元器件	用途	优化
QC1,CC1, RC4,RC5, RC6	VCC-CARD 的电源控制电路，当系统检测到 SD 卡初始化失败，在驱动中通过 SD_PWN 信号控制 VCC-CARD0-3.3V 关闭；插拔卡时，使用 SD-PWN 控制 VCC-CARD0-3.3V 电源开关；	此部分电路为可选

RC1	是否选择 VCC-CARD 电源控制电路的电阻	无电源控制电路时，0R 可去除
RC9	33R 电阻，防止高频信号对 CLK 的干扰	无
RC3	保护 CMD 线的上拉电阻，防止当所有设备驱动器都处于高阻模式时总线浮动	无
RC2	卡座检测引脚上拉	无
RC8	dat3 检测功能	备选方案，默认可不接
C164	旁路电容，用于抑制 VCC-SDC 的电源纹波与噪声	无
RC10,DC1, DC2,DC3, DC4,DC5, DC6,DC7, DC8	ESD 使用，RC10 为 DC4 cost down 而设计	无



6 参考文献

- Physical Layer Specification Ver3.00 Final, 2009.04.16
- SDIO Specification Ver2.00
- Multimedia Cards (MMC - version 4.2)
- JEDEC Standard - JESD84-44, Embedded Multimedia Card (eMMC) Card Product Standard
- JEDEC Standard - JESD84-B45, Embedded Multimedia Card (eMMC) Electrical Standard(4.5 Device)
- JEDEC Standard - JESD84-B50, Embedded Multimedia Card (eMMC) Electrical Standard(5.0)
- JEDEC Standard - JESD84-B51, Embedded Multimedia Card (eMMC) Electrical Standard(5.1)
- Allwinner Technology - SD eMMC Host Controller(SMHC) Spec




著作权声明

版权所有 © 2021 珠海全志科技股份有限公司。保留一切权利。

本档及内容受著作权法保护，其著作权由珠海全志科技股份有限公司（“全志”）拥有并保留一切权利。

本档是全志的原创作品和版权财产，未经全志书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本档内容的部分或全部，且不得以任何形式传播。

商标声明

、 **全志科技** （不完全列举）均为珠海全志科技股份有限公司的商标或者注册商标。在本档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与珠海全志科技股份有限公司（“全志”）之间签署的商业合同和条款的约束。本档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超频，超温使用）造成的不利后果，全志概不负责。

本档作为使用指导仅供参考。由于产品版本升级或其他原因，本档内容有可能修改，如有变更，恕不另行通知。全志尽全力在本档中提供准确的信息，但并不确保内容完全没有错误，因使用本档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，全志概不负责。本档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本档未以明示或暗示或其他方式授予全志的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。全志不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。全志不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。