



H136 硬件设计指南

文档版本 1.0

发布时间：2025-02-13

前言

概述

本文档主要介绍 H136 芯片在应用方案设计中的原理图和 PCB 设计指南和注意事项，指导客户进行方案硬件设计，保证硬件设计质量。

芯片型号

本文档对应的芯片型号为：**H136**

读者对象

本文档主要适用于：

- 产品硬件开发工程师
- 技术支持工程师
- 产品测试工程师
- PCB layout 工程师

修订记录

修订记录累积每次文档的更新说明，最新版本的文档包含以前所有文档版本的更新内容，请以最新版为准。

版本	修订记录	日期	作者	备注
1.0	初次版本发布	2025-02-13	AWA2296	



目录

前言	2
目录	4
图片目录	7
表格目录	9
1. H136 IC	10
2. 原理图设计	11
2.1. 方案概述	11
2.1.1. 芯片框图	11
2.1.2. 硬件系统基本工作原理	12
2.2. CPU 小系统	13
2.2.1. 时钟系统信号 PIN 说明	13
2.2.2. 小系统配置 PIN 说明	14
2.2.3. 主晶振电路	15
2.2.4. 复位电路设计	15
2.3. 电源系统设计	16
2.3.1. SOC 端电源质量要求	16
2.3.2. SOC 端电源电容设计	17
2.3.3. 电源供电系统设计	18
2.3.4. 上电时序设计	21

2.3.5. 下电时序设计.....	22
2.4. DRAM 电路设计	23
2.5. Flash/EMMC 电路设计.....	24
2.6. GPIO 电路设计.....	25
2.7. USB 电路设计	26
2.8. Card 电路设计	27
2.9. 音频电路设计.....	28
2.10. ADC 电路设计	31
2.11. LCD 电路接口.....	32
2.12. HDMI IN 电路设计.....	38
2.13. WIFI/BT 电路设计	41
2.14. 其他	41
3. PCB 设计.....	42
3.1. 叠层设计	42
3.2. SOC fanout.....	42
3.3. 小系统 Layout 设计建议.....	43
3.3.1. 时钟系统 Layout 设计	43
3.3.2. 复位 Pin Layout 设计	44
3.3.3. SOC 电源 Layout 设计	44
3.4. 分立电源 Layout 设计	46
3.5. SPI NAND/NOR Layout 设计	47
3.6. EMMC Layout 设计.....	47

3.7. USB Layout 设计	48
3.8. 音频 Layout 设计	49
3.9. LCD Layout 设计	50
3.10. HDMI Layout 设计	50
3.11. WIFI 和天线 Layout 设计	51
4. 热设计	52
4.1. 热工作条件	52
4.2. 散热设计参考	52
4.3. 功耗管理参考建议	53
5. EMC 设计	54
5.1. ESD 设计	54
5.2. EMI 设计	56

图片目录

图 2-1 芯片框图	11
图 2-2 H136 硬件系统框图	12
图 2-3 24M 主时钟电路.....	15
图 2-4 复位电路参考电路设计	16
图 2-5 SYS 和 DRAM 电源电容设计	18
图 2-6 H136 的电源系统.....	19
图 2-7 5V 电源参考设计	19
图 2-8 VDD-SYS 电源供电参考.....	20
图 2-9 3.3V 电源参考设计	20
图 2-10 外部 LDO 参考设计	21
图 2-11 H136 上电时序.....	22
图 2-12 H136 下电时序.....	23
图 2-13 DRAM 电源参考设计	23
图 2-14 SPI NOR/NAND Flash 和 EMMC 参考设计	24
图 2-15 USB 推荐电路	26
图 2-16 Card 电路参考设计	27
图 2-17 SOC 音频部分电路.....	29
图 2-18 HeadPhone 参考设计	29
图 2-19 PA 参考电路	30

图 2-20 按键参考电路.....	31
图 2-21 温度检测参考电路.....	31
图 2-22 双组 LVDS 接口设计参考	33
图 2-23 DSI 接口设计参考	36
图 2-24 HDMI 输入接口设计参考.....	40
图 3-1 两层板厚叠层设计参考	42
图 3-2 两层板 fanout 示例.....	43
图 3-3 时钟走线 layout 参考	44
图 3-4 SOC 电源 Layout 参考设计	45
图 3-5 BUCK 拓扑.....	46
图 3-6 Flash 双 Layout 设计参考	48
图 3-7 USB 差分走线.....	49
图 4-1 焊盘的隔热设计	53
图 5-1 ESD 器件摆放位置	55

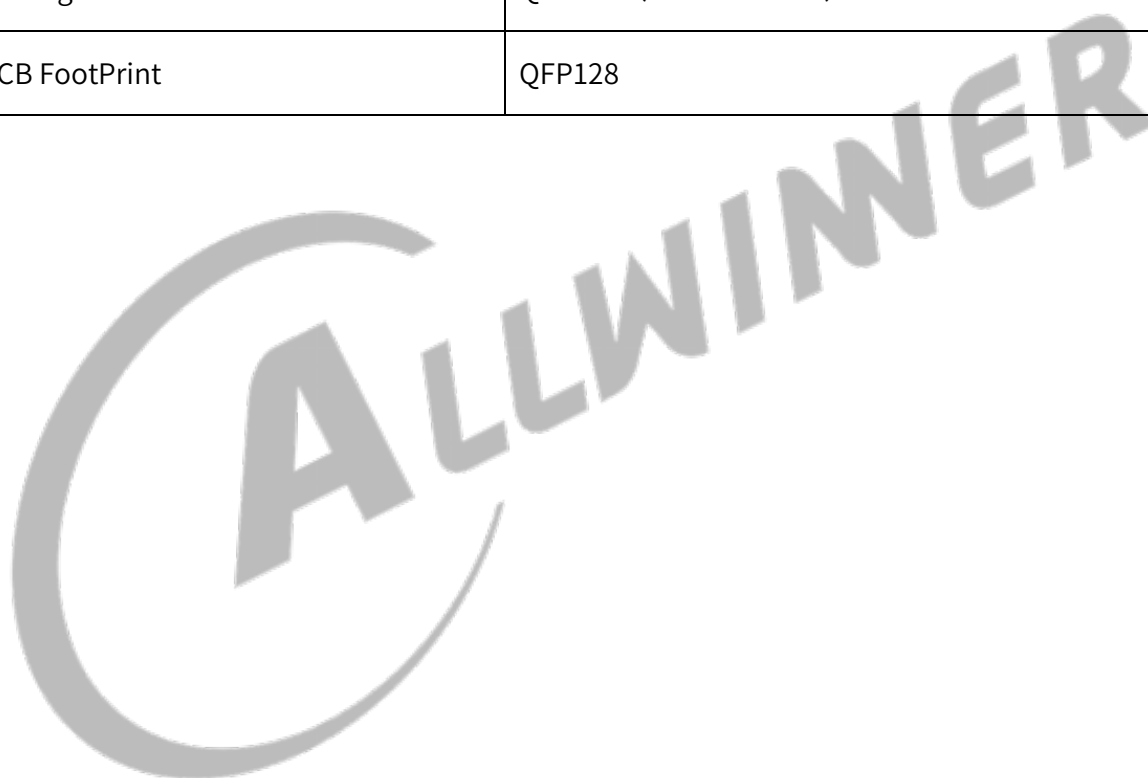
表格目录

表 1-1	H136 IC.....	10
表 2-1	H136 硬件系统组成	13
表 2-2	H136 时钟系统信号 PIN 说明	14
表 2-3	系统配置 PIN 说明	14
表 2-4	H136 电源质量要求	16
表 2-5	GPIO 电源域	25
表 2-6	GPIO 内部上下拉电阻	26
表 2-7	LVDS 屏接口	32
表 2-8	RGB 屏接口（标案未使用）	34
表 2-9	MIPI 屏接口	35
表 2-10	SPI 屏接口（标案未使用）：	37
表 2-11	DBI 接口与 SPI1 复用关系（标案未使用）	37
表 2-12	HDMI IN 接口	38
表 4-1	H136 热特性参数	52
表 5-1	H136 各接口时钟频率	56

1. H136 IC

表 1-1 H136 IC

Contents	H136-MX
SDRAM	SIP 128MB DDR3L
CPU	RISC-V C906, 64-bit
Package	QFP128 (14mm*14mm)
PCB FootPrint	QFP128



2. 原理图设计

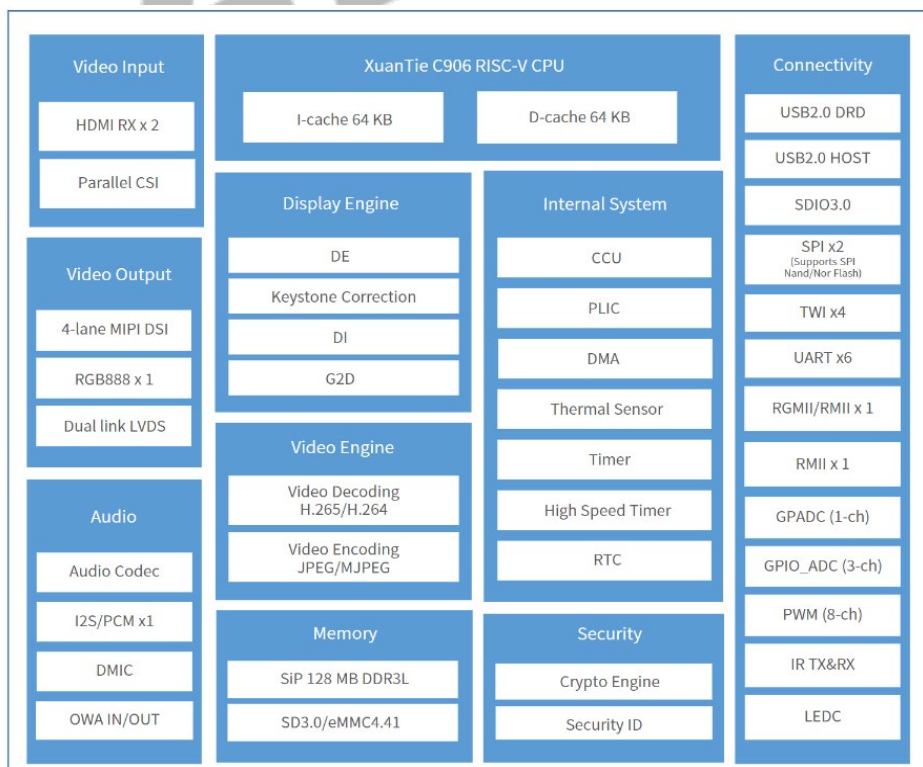
2.1. 方案概述

2.1.1. 芯片框图

H136 是一颗专为“音视频解码”而打造的高集成度 SOC，专用于投影仪解决方案。

- 集成 RISC-V 内核，硬件支持 64 位浮点的高精度前端、后端数字信号处理算力，提供生态配套成熟、完善的用于系统、应用和网络连接开发的高效算力；
- 集成高达 128MB 的 DDR3L，为音视频解码、大容量存储、扫码以及网络连接提供充裕的高容量、高带宽的内存支持；
- 支持 H.264 和 H.265 解码，最高支持 1920x1080@60fps；
- 拥有丰富的接口，音视频接口 DMIC、I2S、OWA、LINEOUT，HDMI RX，RGB/LVDS/DSI；通讯接口 USB2.0、TWI、UART、SPI、SDIO、RGMII、RMII；支持 U 盘、SD 卡、IR RX，多路 PWM 等；
- 内置 1.8V 电压输出 LDO、GPADC (1-ch)、GPIO_ADC (3-ch)，性价比高。

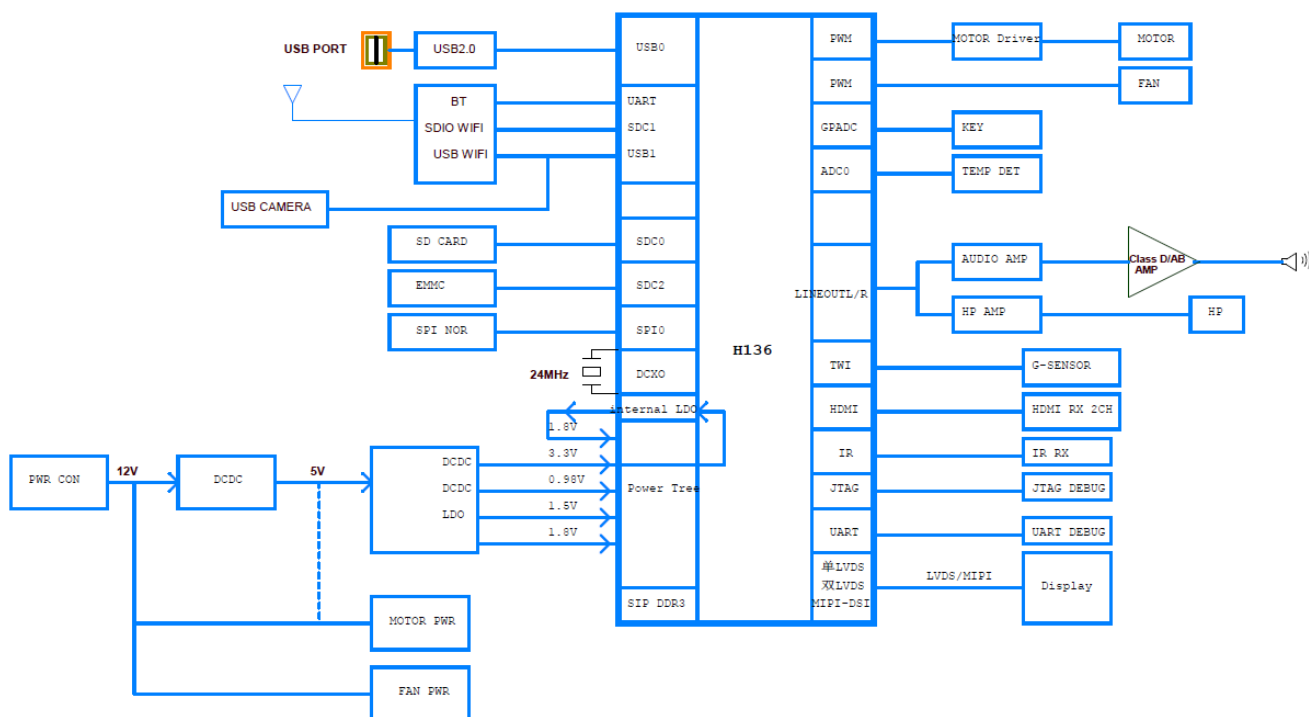
图 2-1 芯片框图



2.1.2. 硬件系统基本原理

H136 硬件系统框图，如图 2-2 所示。

图 2-2 H136 硬件系统框图



H136 硬件系统基本工作流程如下：

- 硬件系统正常上电，主控复位之后，CPU 开始执行 BROM 固化代码，对系统资源和关键外设进行配置及初始化，包括电源，时钟，总线，复位，存储接口等。
- 根据配置，在 BROM 阶段将系统初始化信息（串口、DRAM 等）从存储介质读取到系统 SRAM, 进行芯片及系统的进一步详细配置和初始化工作；执行完 Boot0 程序后进入 U-boot 阶段。
- 从外部存储介质中读取下一阶段需要的软件代码，启动操作系统，并对系统资源和外设进行管理。

- 操作系统启动之后，根据产品不同需求加载相关启动，比如 USB、音频、WIFI、显示、蓝牙等模块，最终完成开机启动，进入普通操作界面。
- 系统支持 watchdog 应用监视系统的运行，当程序跑飞或者发生死循环时，watchdog 模块会发出一个复位信号，使 SOC 复位，软件系统重新启动。

表 2-1 H136 硬件系统组成

系统	说明
CPU 小系统	时钟，复位，中断，系统配置
存储系统	DRAM, SPI NAND/SPI NOR/EMMC/SD CARD
音频系统	LINEOUT、DMIC、I2S、OWA
输入输出子系统	RGB/LVDS/DSI、USB OTG/HOST、TWI、SPI、SDIO、RGMII、RMII、UART、PWM、GPADC、GPIO_ADC、CSI、HDMI RX、IR RX 等
电源系统	DCDC、LDO
无线	USB WIFI + BT
其他	功放、马达驱动、G-sensor

2.2. CPU 小系统

H136 CPU 小系统包括时钟系统，系统配置 PIN、复位系统和 Debug 部分。

2.2.1. 时钟系统信号 PIN 说明

H136 硬件系统 DCXO 24M 时钟，对应时钟信号说明如表所示。

表 2-2 H136 时钟系统信号 PIN 说明

信号名	信号描述	应用说明
DXIN	DCXO 晶振输入	DCXO 24M 晶振电路，频率误差为 20PPM
DXOUT	DCXO 晶振输出	

2.2.2. 小系统配置 PIN 说明

H136 小系统配置 PIN 说明如表所示。

表 2-3 系统配置 PIN 说明

信号名	信号说明	应用说明
RESET	复位 PIN	1.CPU 复位 PIN 2.Watchdog 输出 PIN
BOOT-SEL[1:0]	启动顺序选择	11(默认): SMHC0->EMMC2_BOOT->EMMC2_USR->other media 10: SMHC0->SPI NAND->other media 01: SMHC0->SPI NOR->other media 00: SPI NOR->SPI NAND 与 PC3、PC2 复用，内部集成上拉电阻，Pin Floating 时为 1



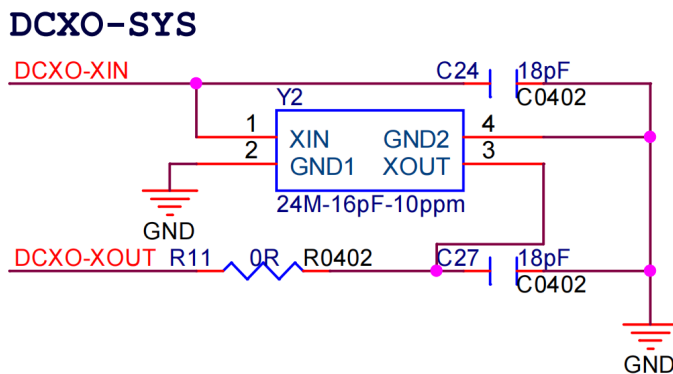
说明

- GPADC 模块信号接按键时要接 1nF 去抖动电容，请勿删除或者更改为其他容值。
- RESET 信号上接下地电容默认为 1nF，用于滤波和增强 ESD 防护能力，如需修改容值请联系 FAE。
- 推荐使用默认启动顺序，若不使用默认启动顺序请先联系我们 FAE。

2.2.3. 主晶振电路

- H136 DCXO 模块只支持 24M 主时钟。
- 晶振选型频偏 $\leq 20\text{ppm}$ 。
- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+板级杂散电容总值等于晶振规格要求的负载电容大小。
- DCXO 输出端串接电阻需要预留位置，便于调试振荡幅度处理 EMI 问题。

图 2-3 24M 主时钟电路



注意，晶振参数不得随意更改，需保证晶体自身负载电容、外挂匹配电容、PCB 走线负载电容三者匹配。

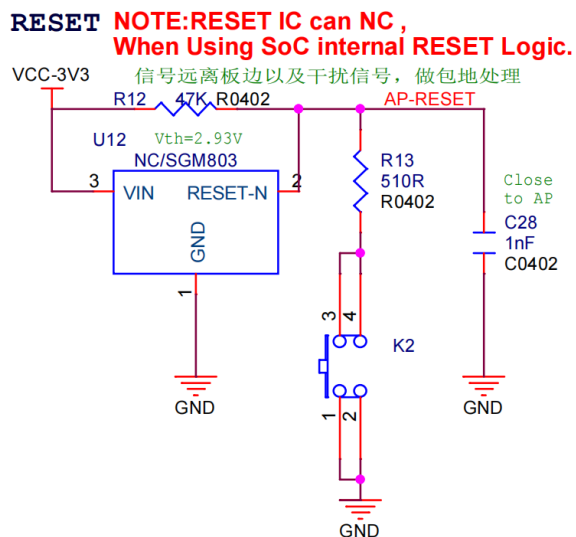
2.2.4. 复位电路设计

H136 可以选择使用外部复位 IC 提供复位信号，也可以软件配置内部复位源。

- 内部上电复位触发阈值：VDD-SYS 爬升至约 0.4V；
- 内部下电复位触发阈值：VCC-IO（复位信号上拉电源，VCC-IO 和 VCC-3V3 直连）跌落至 3.0V/2.9V/2.8V/2.7V/2.6V/2.5V(软件可配置)，详见 H136 用户手册；

- 使用外部复位 IC 复位，时长不得低于 32ms；
- RESET Pin 放置 1nF 电容。

图 2-4 复位电路参考电路设计



2.3. 电源系统设计

2.3.1. SOC 端电源质量要求

表 2-4 H136 电源质量要求

序号	电源名称	用途	推荐工作电压 (V)			纹波要求	噪声要求
1	VDD-SYS 0~5	CPU/SYS 电源	0.9	0.98	1.02	≤80mV	≤80mV
2	VCC-RTC-PLL	PLL/RTC/DCXO/LD O-OUT 电源	1.764	1.8	1.836	≤1%	≤1.5%
3	VCC18-HDMI	HDMI 1.8V 电源	1.71	1.8	1.89	≤3%	≤5%
4	VCC33-HDMIRX	HDMI 3.3V 电源	3.135	3.3	3.465	≤5%	≤5%

5	VCC18-LVDS-EF USE	LVDS/VCC18-PF/eF use 电源	1.71	1.8	1.89	≤5%	≤10%
6	VCC33-USB-LD OIN-IO	VCC-IO/PC/USB/LD O-IN 电源	2.97	3.3	3.63	≤5%	≤10%
7	VCC33-PD	PD/VCC33-PF 电源	2.97	3.3	3.63	≤5%	≤10%
8	VCC-PE	PE 口电源	1.62 2.97	1.8 3.3	1.98 3.63	≤5%	≤10%
9	VCC-PG	PG 口电源	1.62 2.97	1.8 3.3	1.98 3.63	≤5%	≤10%
10	AVCC	AUDIO CODEC/GPADC 电源	1.782	1.8	1.818	≤1%	≤1.5%
11	VCC-DRAM 0~1	DRAM 电源	1.283 1.425	1.35 1.5	1.45 1.575	≤6%	≤10%
12	VDD18-DRAM	1.8V DRAM 电源	1.7	1.8	1.95	≤6%	≤10%

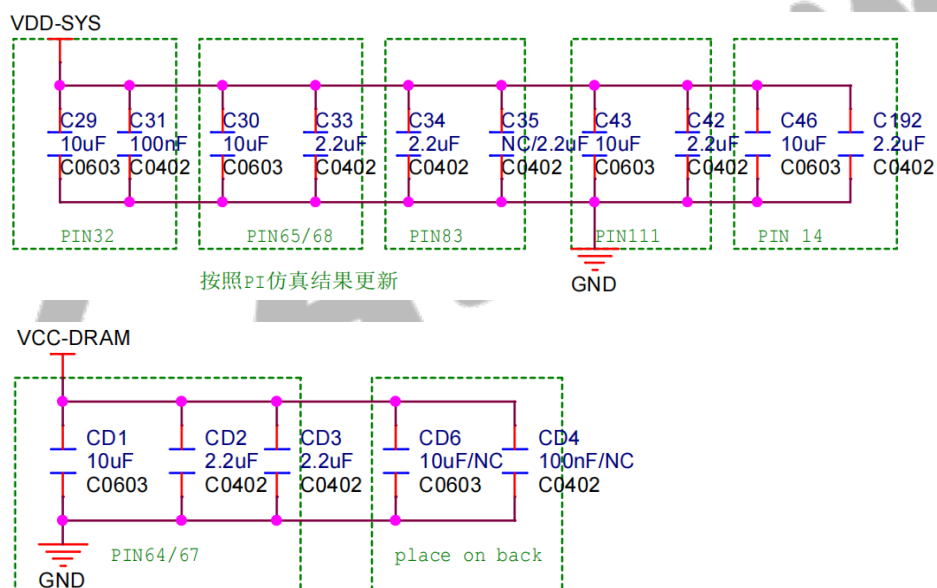
2.3.2. soc 端电源电容设计

H136 SOC 端各电源建议容值如下：

- VDD-SYS 0~5 合并供电，至少要有有一个 10uF 以上的电容靠近 pin 32/68，其他电源 pin 附近至少放置一个 2.2uF 和 100nF 电容。
- VCC-RTC-PLL 电源与 GND 之间至少 1 个 10uF 和 1 个 2.2uF 电容，靠近引脚放置。
- VCC18-HDMI 电源使用外部 LDO 供电，至少要有有一个 100nF 电容靠近引脚放置。

- VCC33-USB-LDOIN-IO 电源 pin 至少要有 1 个 10uF 和 1 个 100nF 电容靠近引脚放置。
- AVCC 电源推荐使用外部 LDO 供电, AVCC 电源与 AGND 之间至少 1 个 2.2uF 电容, 预留 1 个 100nF 电容, 靠近引脚放置; VRA1 与 AGND 之间至少 1 个 10uF 电容, 靠近引脚放置, AGND 单点接地。
参照音频电路设计章节。
- VCC-DRAM 电源 pin 至少要有 1 个 10uF 电容, 靠近 pin 64 放置, 其他电源 pin 附近至少放一个 2.2uF 电容。
- VCC33-HDMIRX/VCC18-LVDS-EFUSE/VCC33-PD/VCC-PE/VCC-PG/VDD18-DRAM 电源 pin 外挂 100nF 电容, 靠近引脚放置。

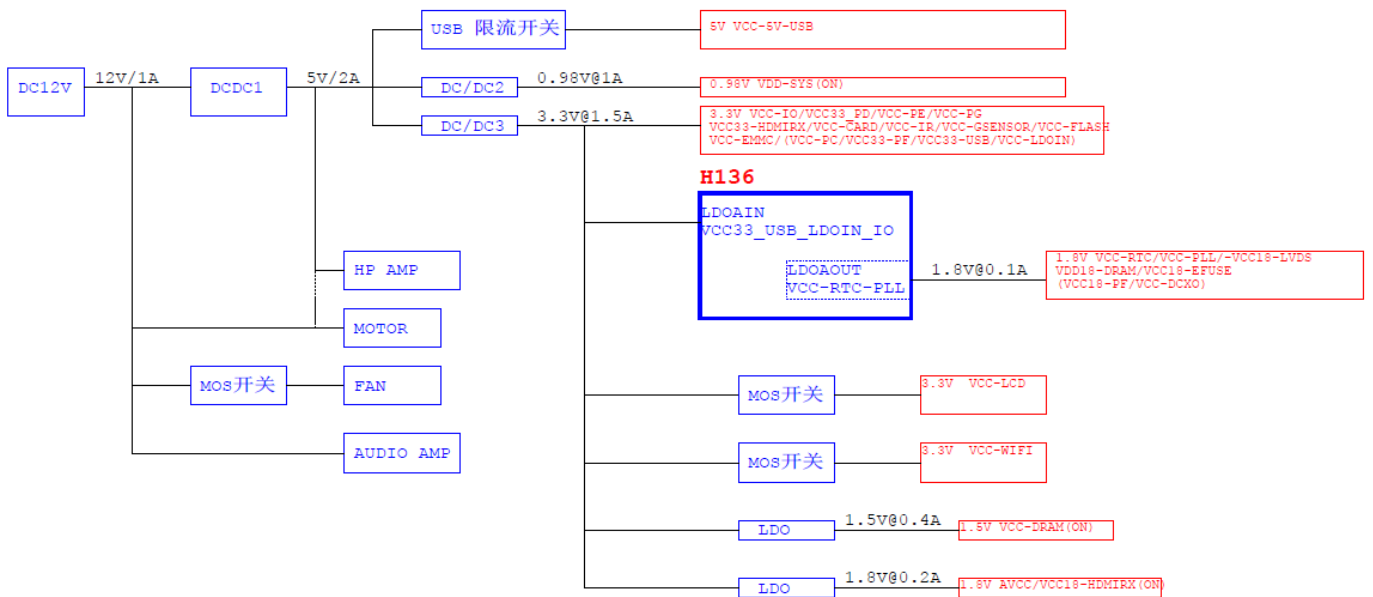
图 2-5 SYS 和 DRAM 电源电容设计



2.3.3. 电源供电系统设计

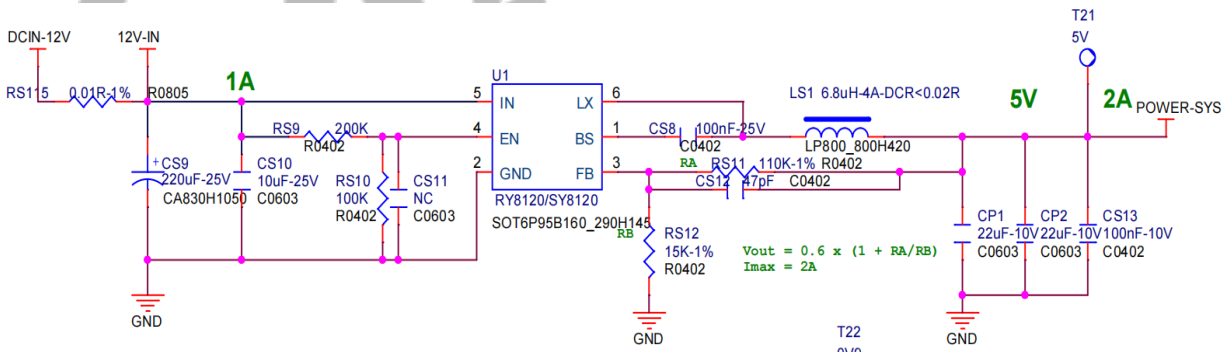
H136 精简的电源供电系统, 主要由外部 DCDC1/2/3、外部 LDO 1.5V/1.8V 和内部 LDOA 组成。如对功耗、发热敏感, LDOA 可更换为外部。VCC-PE、VCC-PG 可选为 1.8V 或 3.3V 供电, VCC-DRAM 可选为 1.35V 或 1.5V 供电。

图 2-6 H136 的电源系统



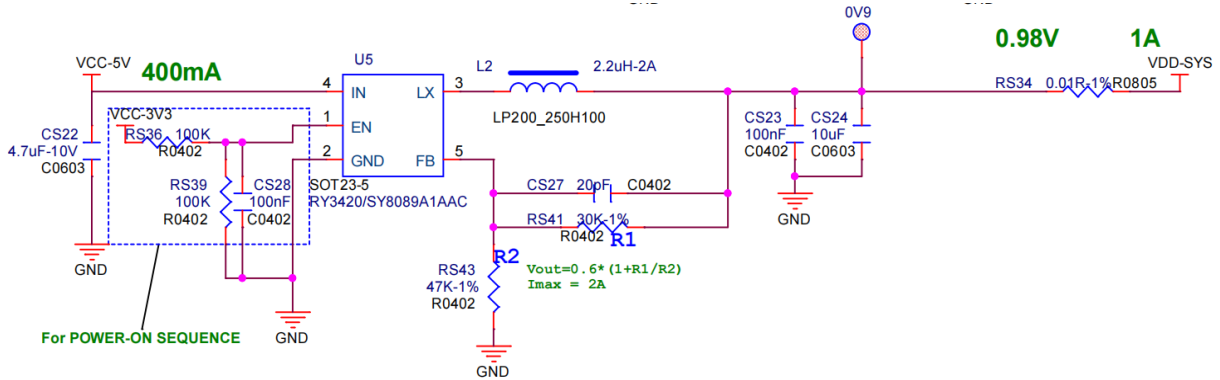
(1) 12V 电源输入，给投影整机马达、风扇供电和音频功放供电，同时使用 DCDC 降至 5V，作为其他设备总电源。

图 2-7 5V 电源参考设计



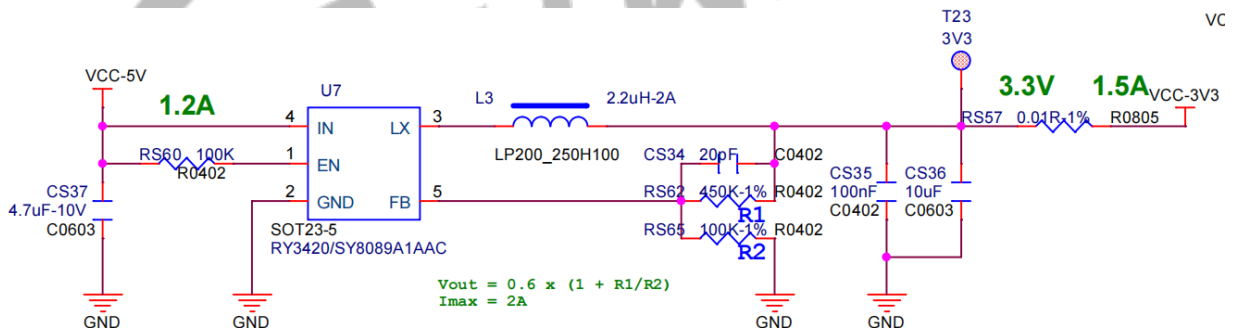
(2) (2) VDD-SYS 电源设计为 0.98V，不允许做更改，并且 VDD-SYS 不支持动态调压，正常工作时保持 0.98V 不变，其电压跌落不能超过 30mV；上电时序通过 DCDC EN PIN RC 器件延时，比其他电源至少延迟 2ms 上电。

图 2-8 VDD-SYS 电源供电参考



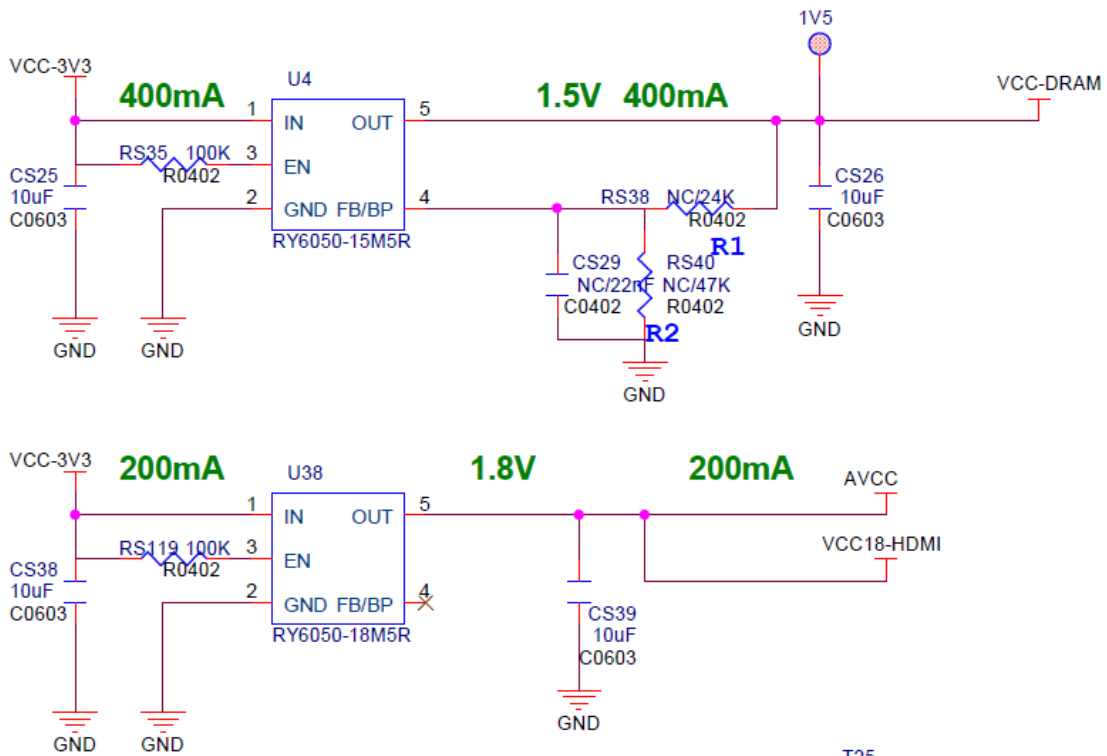
(3) DCDC 3.3V 给内部 LDOA、外部 LDO 1.5V/1.8V 供电，及其他 3.3V 电源供电，如 WIFI/Flash/EMMC/3.3V IO/LCD 等。

图 2-9 3.3V 电源参考设计



(4) VCC-DRAM 使用外部 LDO 1.5V 供电，功耗较高，注意散热，需选取合适较大封装；AVCC 和 VCC18-HDMI 电源使用外部 LDO 1.8V 供电，要求纹波小。

图 2-10 外部 LDO 参考设计



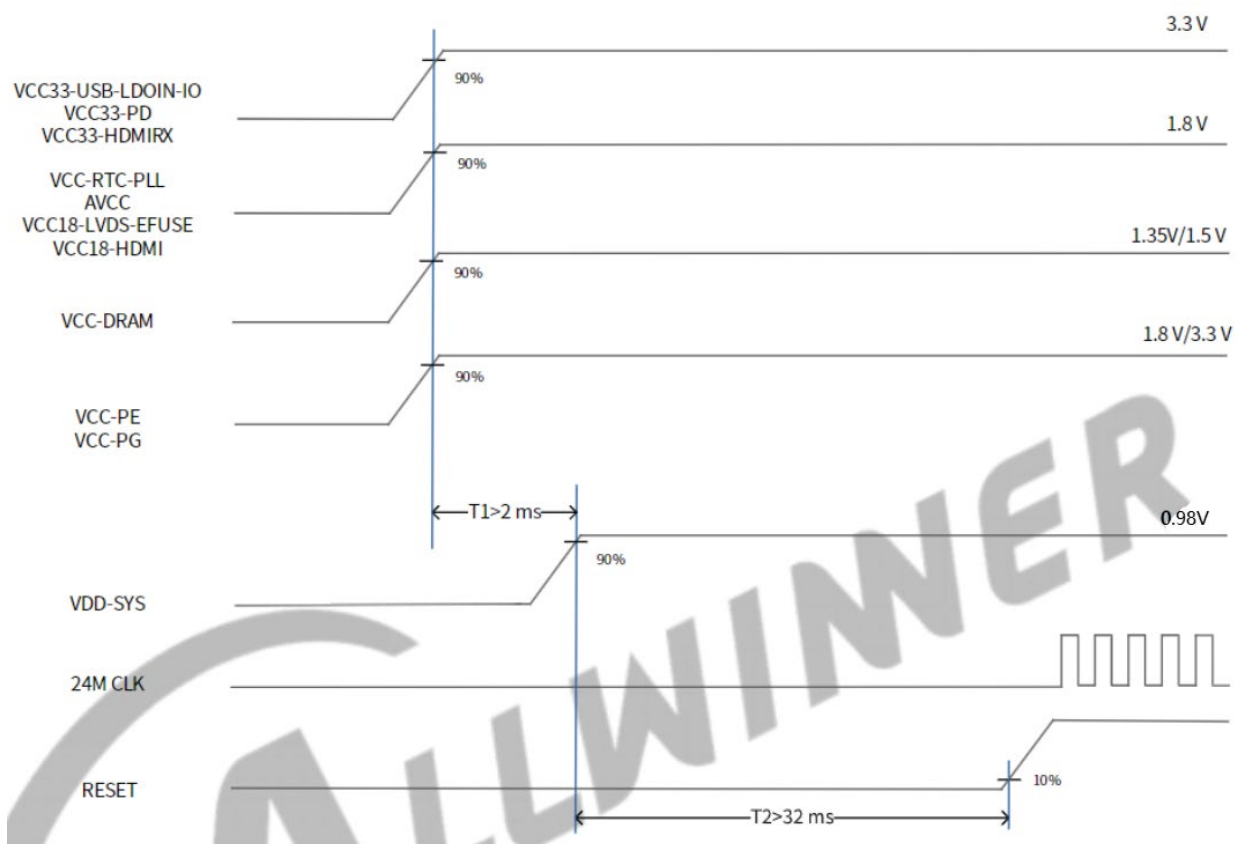
注意，电源参数请参照参考原理图，电源设计有任何疑问和任何改动，请联系我们 FAE。

2.3.4. 上电时序设计

H136 上电时序如图 2-11 所示，时序描述如下：

- VCC33-PD、VCC33-HDMIRX、VCC-DRAM、VCC-PE、VCC-PG 等电源不作严格要求，同步完成上电；
- VDD-SYS 上电时序晚于 VCC-IO 上电至少 2ms；
- VCC-DRAM 需要在 SDRAM 驱动器初始化前达到稳定；
- 在整个上电时序中，RESET 信号保持低电平，直到所有电源稳定大于 32ms；
- 24M CLK 在 RESET 释放后，4ms 内达到稳定状态。

图 2-11 H136 上电时序



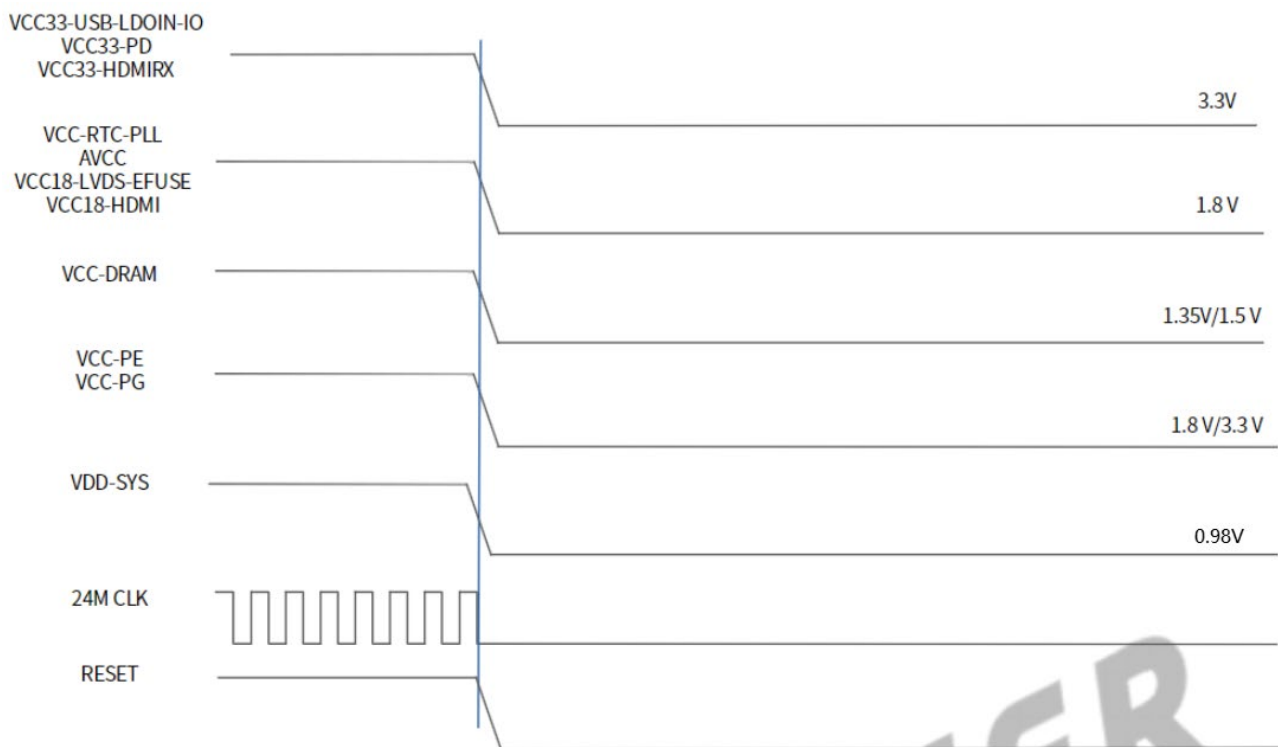
注意，上电时序有任何疑问和任何改动，请联系我们 FAE

2.3.5. 下电时序设计

H136 下电时序如图 2-12 所示，时序描述如下：

- H136 内部集成掉电复位功能，通过检测 VCC-IO 电压触发复位，可软件使能掉电复位功能和配置阈值电压，详见 H136 用户手册描述；
- 为保证掉电后及时拉低复位，下电时序要求 VCC-IO 掉电不得晚于其他供电，以保证在其他供电未掉下前及时拉住复位，使芯片进入复位状态，各 IO 进入复位状态防止掉电过程误翻转。
- 复位信号拉低后，24M CLK 停止振荡。

图 2-12 H136 下电时序

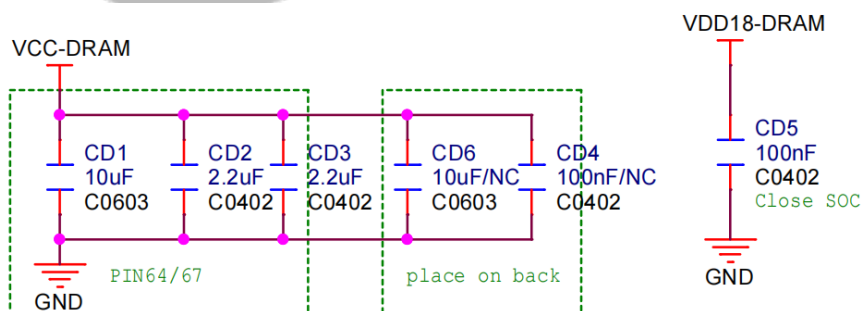


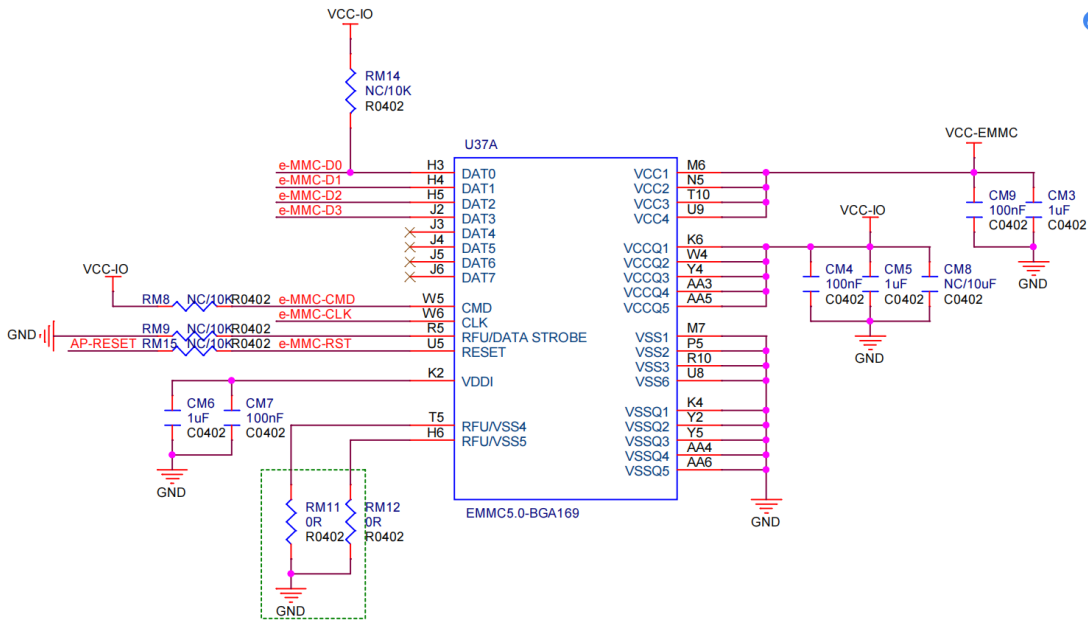
注意，下电时序有任何疑问和任何改动，请联系我们 FAE

2.4. DRAM 电路设计

H136 SIP DDR3，注意电源电路设计。

图 2-13 DRAM 电源参考设计





2.6. GPIO 电路设计

H136 有 PA/PC/PD/PE/PF/PG 6 组 GPIO，GPIO 逻辑电平与供电电压有关。

- 未使用的 GPIO 优先建议接地或者 Floating，软件设定为 disabled 状态；
- IO 上拉电阻上拉电压选择 IO 所在电源域。

表 2-5 GPIO 电源域

GPIO 分组	控制器电源域	IO 电源域	IO 电压
PA	VDD-SYS	AVCC	1.8V
PC	VDD-SYS	VCC-IO (VCC-3V3)	3.3V
PD	VDD-SYS	VCC33-PD	3.3V
PF	VDD-SYS	VCC33-PD	3.3V
		VCC18-LVDS-EFUSE	1.8V
PE	VDD-SYS	VCC-PE	3.3V/1.8V
PG	VDD-SYS	VCC-PG	3.3V/1.8V

表 2-6 GPIO 内部上下拉电阻

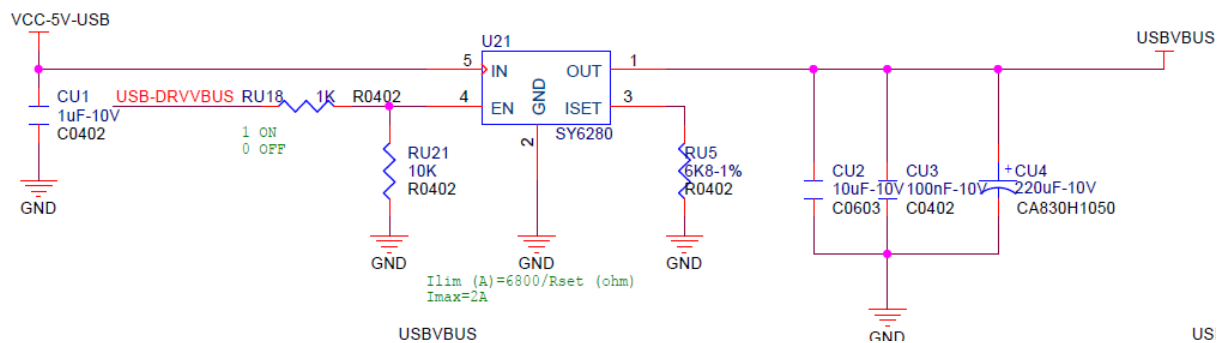
GPIO 分组	上下拉电阻阻值	误差
PC1-PC5/PF3	15K	±20%
PG0/PG1/PG3-PG5	33K	±20%
其他	100K	±20%

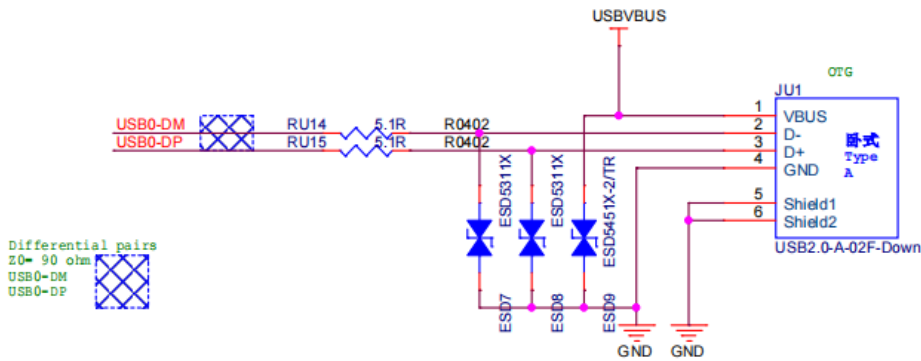
2.7. USB 电路设计

H136 USB0 接口具有 HOST 和 OTG 功能,USB1 接口具有 HOST 功能(本案用于 USB 摄像头或者 USB WIFI) , 在产品功能定义上需要注意区别。

- 若使用 USB 供电,建议在 VBUS 上放置限流和防倒灌保护器件;
- 作为 HOST 时,使用限流开关对外部设备供电;
- D+/D-信号线为高速信号线,并接的 ESD 要求低容值,否则影响数据传输,以小于 4pF 为宜;串接 5.1R 电阻。

图 2-15 USB 推荐电路



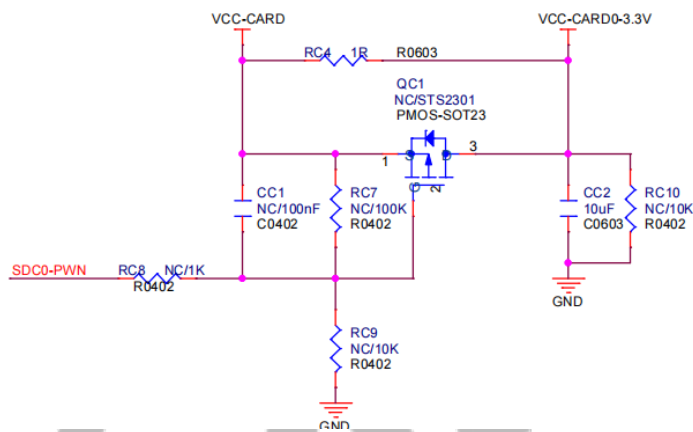
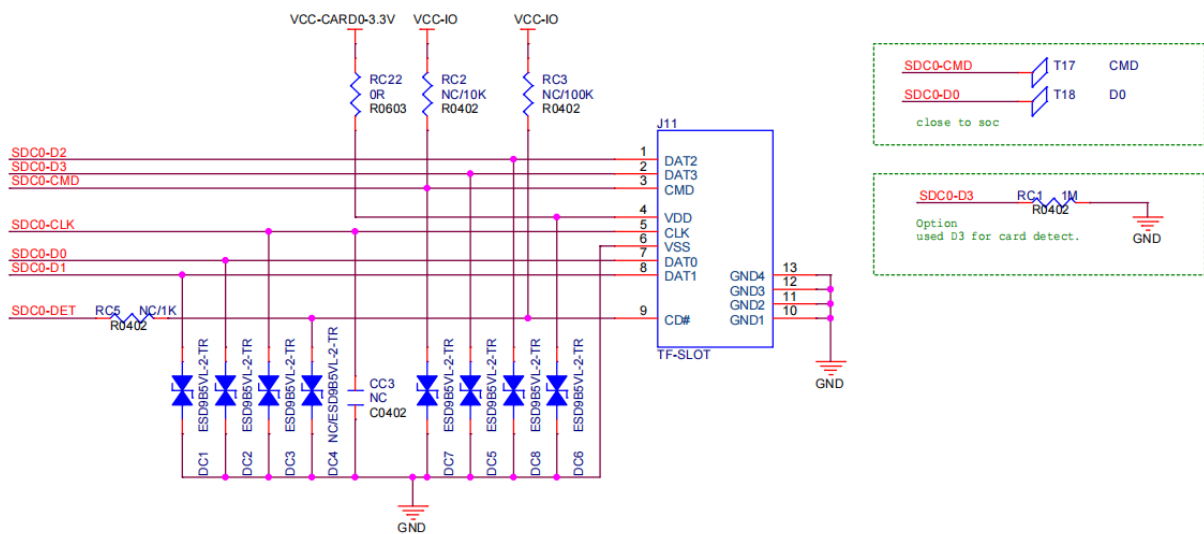


2.8. Card 电路设计

- SDC0-CLK 串接 33R 电阻，靠近 SOC 摆放；
- CMD 和 DATA 线预留串联 0R 电阻，建议靠近 SD 卡座放置；
- SDC0-CMD Pin 芯片内部有 15k 上拉，SDC0-DET Pin 芯片内部可以配置弱上拉，外部上拉电阻默认 NC；
- 如 Card 插入检测使用 D3 引脚检测的方式，D3 引脚需要接 1M 下拉电阻；
- SDC0-DET 串接 1K 电阻，减缓信号下冲和提供 IO ESD 能力；
- 靠近 SD 卡座，每个信号 Pin 放置 ESD 器件。
- 卡座电源 VDD 串联 1R 电阻，建议使用 CMOS 开关控制电路，防止卡插入时，瞬间大电流烧卡。

图 2-16 Card 电路参考设计

PF0/SDC0-D1/DJTAG-MS/RJTAG-MS/LCD0-D0/PF-EINT0	104	R105	0R	R0402	SDC0-D1
PF1/SDC0-D0/DJTAG-DI/RJTAG-DI/LCD0-D1/PF-EINT1	105	R106	0R	R0402	SDC0-D0
PF2/SDC0-CLK/UART0-TX/TWI0-SCK/LEDC/OWA-IN/LCD0-D8/PF-EINT2	106	R107	33R	R0402	SDC0-CLK
PF3/SDC0-CMD/DJTAG-DO/RJTAG-DO/TWI1-SCK/LCD0-D9/PF-EINT3	107	R108	0R	R0402	SDC0-CMD
PF4/SDC0-D3/UART0-RX/TWI0-SDA/PWM-6/IR-TX/LCD0-D16/PF-EINT4	108	R109	0R	R0402	SDC0-D3
PF5/SDC0-D2/DJTAG-CK/RJTAG-CK/TWI1-SDA/LCD0-D17/PF-EINT5	109	R110	0R	R0402	SDC0-D2



(Card 供电设计)

2.9. 音频电路设计

H136 具有丰富的音频接口，支持立体声 LINEOUT 输出，支持 1 套 I2S，支持 OWA 输出，支持 DMIC 4 声道输入。本案使用 LINEOUT 输出音频给 HeadPhone 功放或者扬声器功放。

音频设计建议如下：

- AVCC 对地电容为 2.2uF，VRA1 对地电容为 10uF，预留电容 470nF；
- LINEOUTLN、LINEOUTRN 各对地接 1uF 电容，靠近 SOC 放置；
- AVCC/VRA1 的 AGND 通过 0R 电阻单点接到 GND；

- HeadPhone 和喇叭对外接口做好静电防护，靠近座子放置 ESD 管；
- 避免发出 POP 音，功放使能端添加下拉电阻（默认不使能），系统上电完成前不使能功放。设计建议，音频播放流程：DAC 使能→LINEOUT 使能→PA 使能→音频数据；音频关闭流程：音频数据→PA 关闭→LINEOUT 关闭→DAC 关闭。
- XPT4809 耳放 Pop 音抑制效果有限，如对 Pop 音有较高要求，建议更换 Pop 音抑制效果更好的耳放芯片；

图 2-17 SOC 音频部分电路

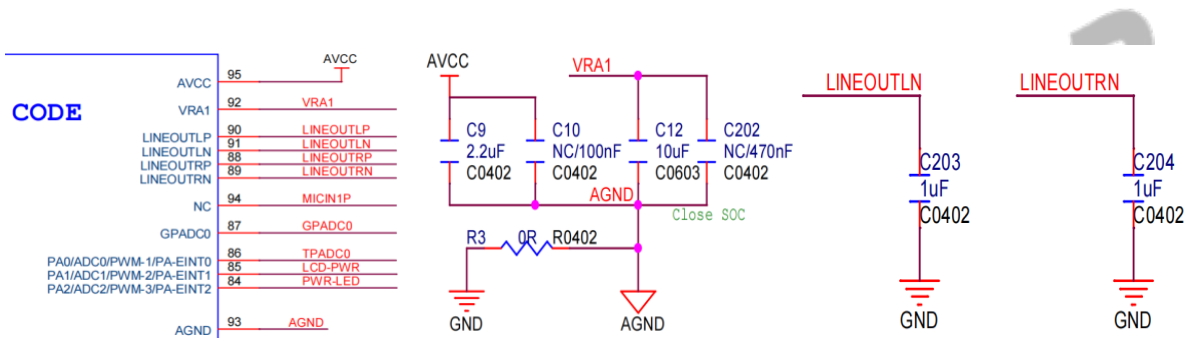
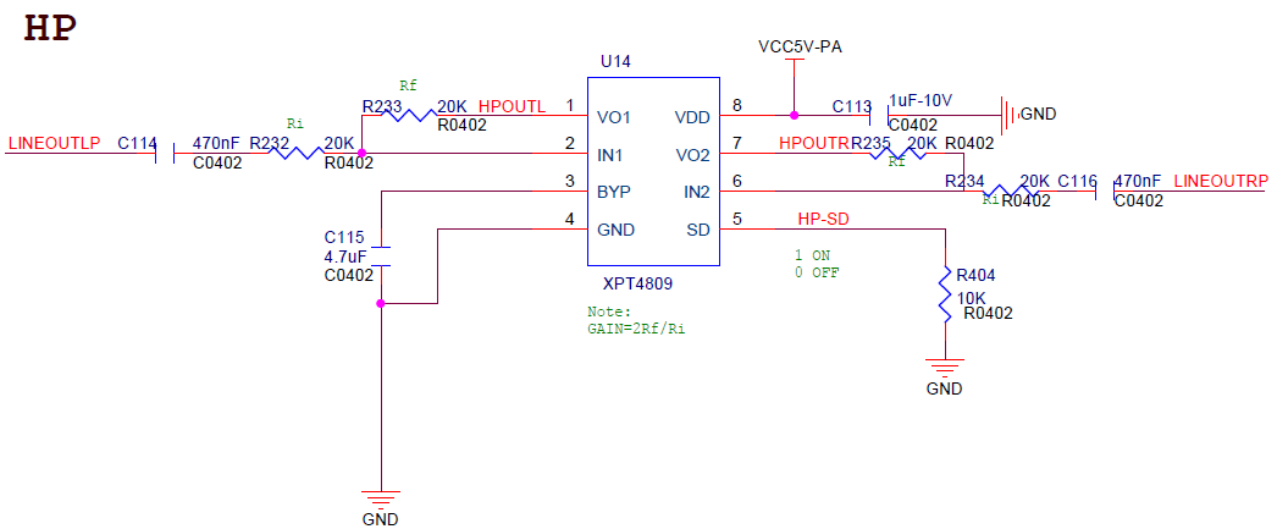


图 2-18 HeadPhone 参考设计



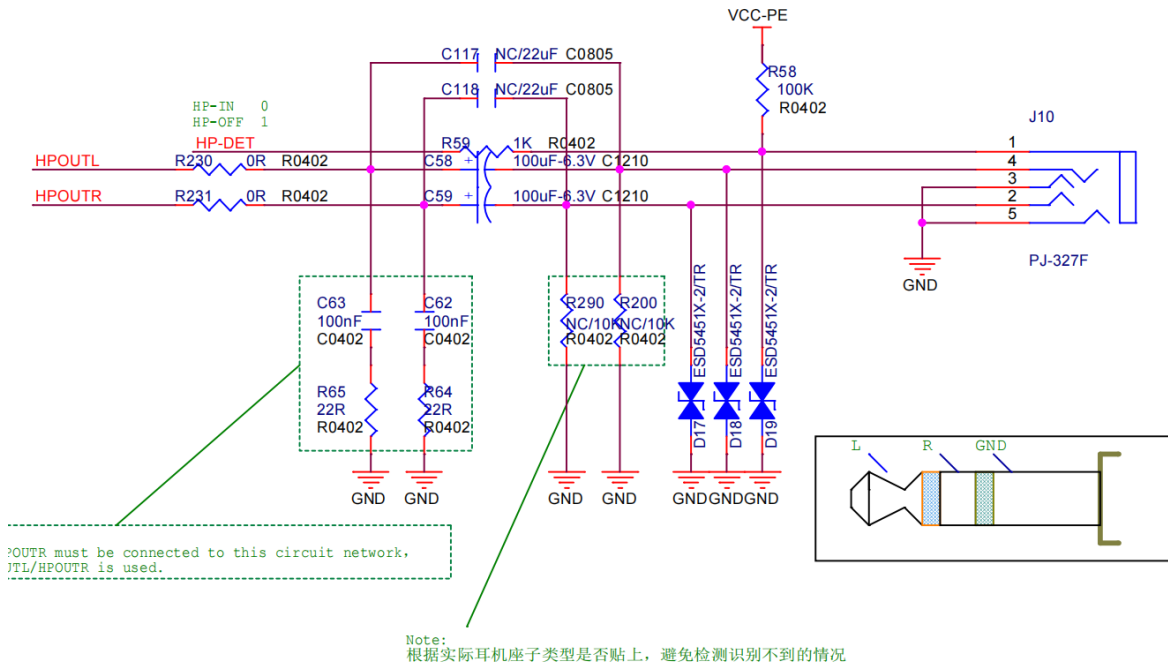
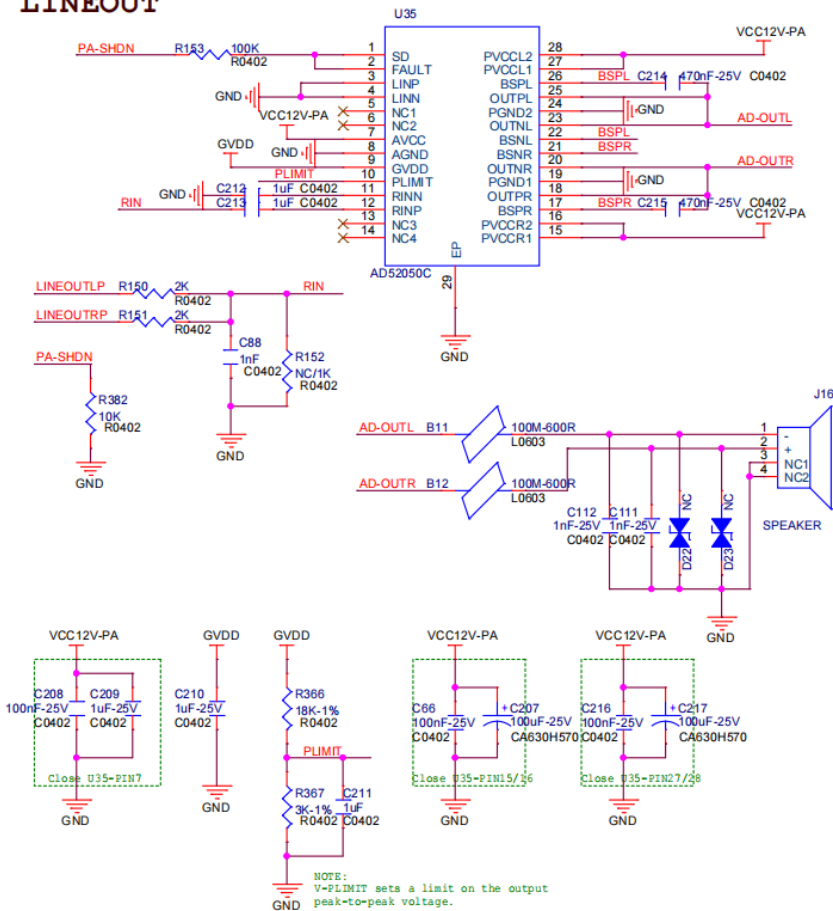


图 2-19 PA 参考电路

LINEOUT

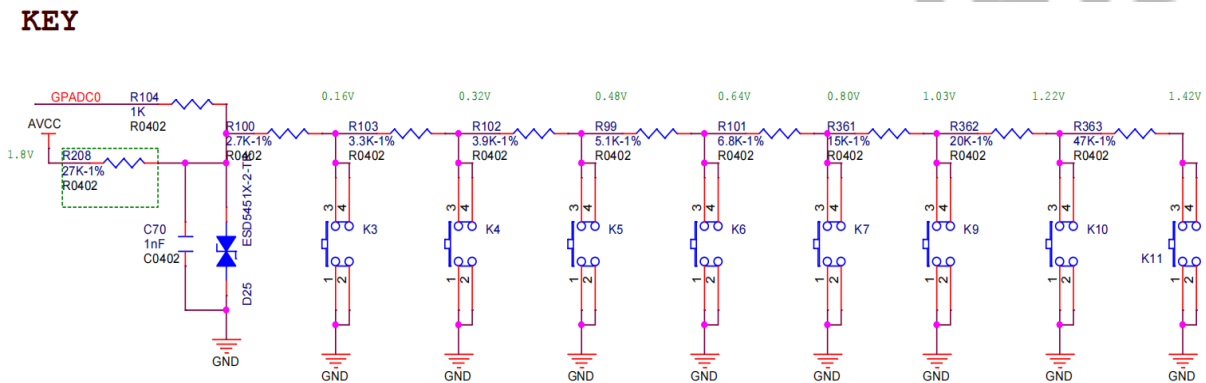


2.10. ADC 电路设计

- 支持 1 路 GPADC 接口，12bit 采样分辨率，最大采样率为 1MHz，可以用作按键功能或其他模拟信号采样；
- 支持 3 路 GPIO_ADC 接口，复用 PA0、PA1 和 PA2，12bit 采样分辨率，最大采样率为 750kHz，可以用作温度检测功能或其他模拟信号采样；

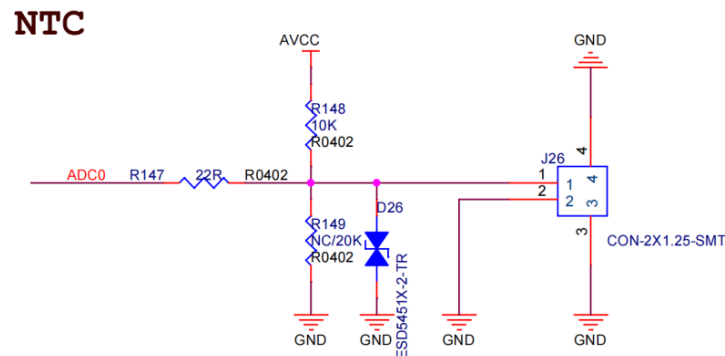
(1) 按键采样电路，分压电阻请使用推荐的阻值，如以下 8 个按键，推荐使用 1%精度电阻。添加按键时保证按键按下后，GPADC 网络电压范围为 0~1.8V，最小间隔大于 80mV。另外注意 ADC 口防护。

图 2-20 按键参考电路



(2) 温度检测电路，仅供参考，注意 ADC 口防护。

图 2-21 温度检测参考电路



2.11. LCD 电路接口

表 2-7 LVDS 屏接口

PIN 脚	LVDS 接口	说明
PD0	LVDS0-D0P	0 通道差分 DATA0
PD1	LVDS0-D0N	
PD2	LVDS0-D1P	0 通道差分 DATA1
PD3	LVDS0-D1N	
PD4	LVDS0-D2P	0 通道差分 DATA2
PD5	LVDS0-D2N	
PD6	LVDS0-CKP	0 通道差分 CLOCK
PD7	LVDS0-CKN	
PD8	LVDS0-D3P	0 通道差分 DATA3
PD9	LVDS0-D3N	
PD10	LVDS1-D0P	1 通道差分 DATA0
PD11	LVDS1-D0N	
PD12	LVDS1-D1P	1 通道差分 DATA1
PD13	LVDS1-D1N	
PD14	LVDS1-D2P	1 通道差分 DATA2
PD15	LVDS1-D2N	

PD16	LVDS1-CKP	1 通道差分 CLOCK
PD17	LVDS1-CKN	
PD18	LVDS1-D3P	1 通道差分 DATA3
PD19	LVDS1-D3N	

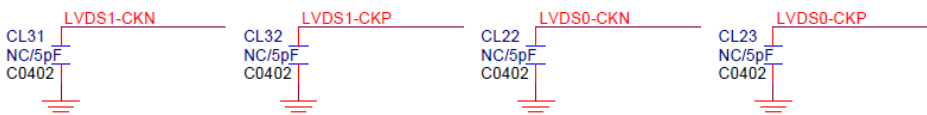
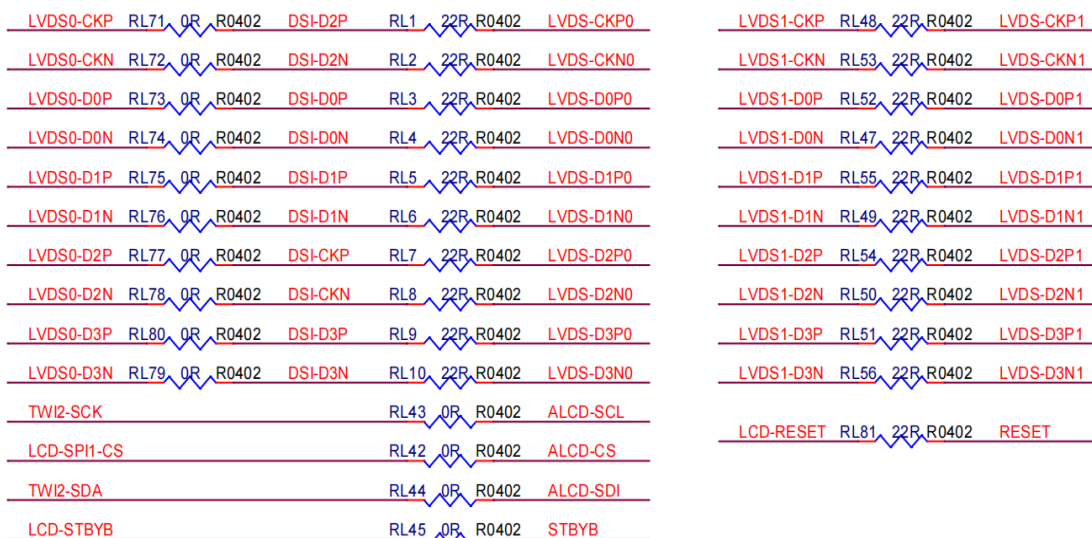


注意：

- 若只使用 1 组 LVDS，另外一组可作为普通 IO 使用（GPIO FUNCTION 需配置为 IO 功能），其电源域为 VCC33-PD。
- 若使用的某组 LVDS 并未把 4lane 全用上，可以将其他 data 作为普通 IO 使用（GPIO FUNCTION 需配置为 IO 功能），其电源域为 VCC33-PD。
- LLVDS 数据信号线串联 22R 电阻，增强 EOS 能力；时钟信号预留电容，便于调试 EMI 问题。

下图 LVDS 接口与 DSI 接口共用。

图 2-22 双组 LVDS 接口设计参考



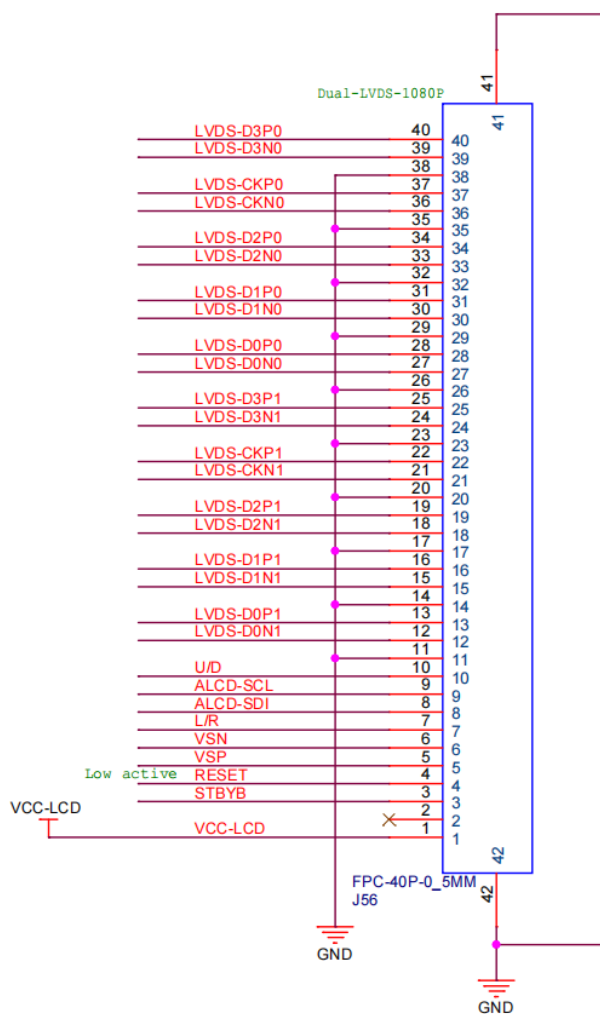


表 2-8 RGB 屏接口（标案未使用）

PIN 脚	LCD I/O	Parallel RGB		Serial RGB
		RGB565	RGB666	
PD0	LCD0-D2	-	B0	-
PD1	LCD0-D3	B0	B1	D0
PD2	LCD0-D4	B1	B2	D1
PD3	LCD0-D5	B2	B3	D2
PD4	LCD0-D6	B3	B4	D3

PD5	LCD0-D7	B4	B5	D4
PD6	LCD0-D10	G0	G0	D5
PD7	LCD0-D11	G1	G1	D6
PD8	LCD0-D12	G2	G2	D7
PD9	LCD0-D13	G3	G3	-
PD10	LCD0-D14	G4	G4	-
PD11	LCD0-D15	G5	G5	-
PD12	LCD0-D18	-	R0	-
PD13	LCD0-D19	R0	R1	-
PD14	LCD0-D20	R1	R2	-
PD15	LCD0-D21	R2	R3	-
PD16	LCD0-D22	R3	R4	-
PD17	LCD0-D23	R4	R5	-
PD18	LCD0-CLK	DCLK	DCLK	DCLK
PD19	LCD0-DE	DE	DE	DE
PD20	LCD0-HSYNC	HSYNC	HSYNC	HSYNC
PD21	LCD0-VSYNC	VSYNC	VSYNC	VSYNC

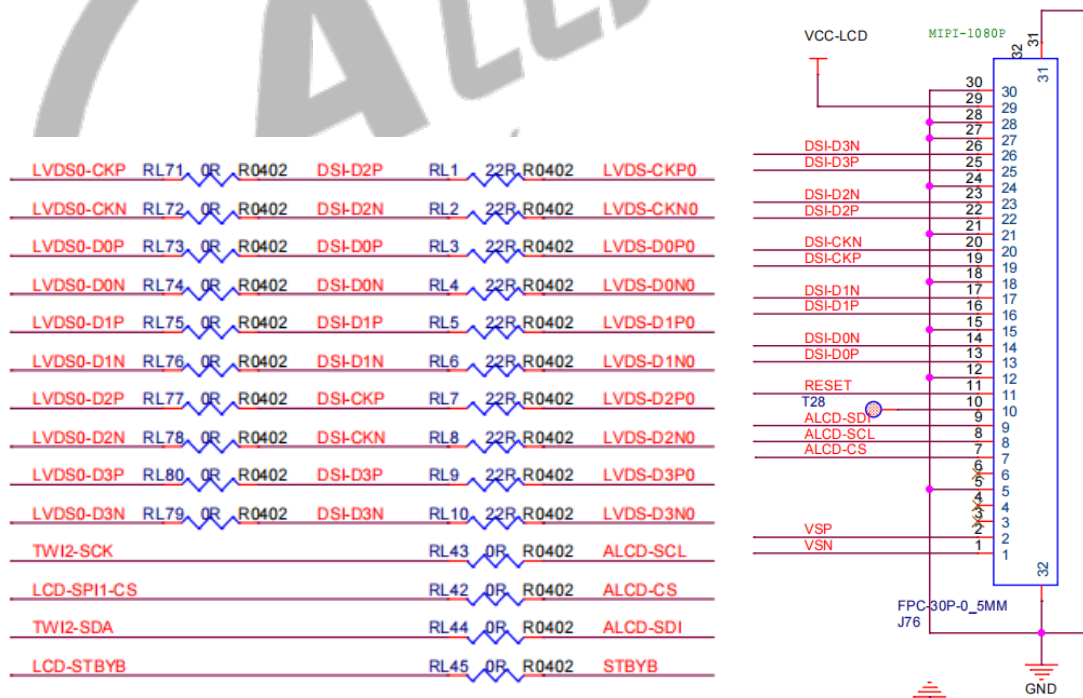
表 2-9 MIPI 屏接口

PIN 脚	MIPI DSI 接口	说明
PD0	DSI-D0P	MIPI LANE0
PD1	DSI-D0N	

PD2	DSI-D1P	MIPI LANE1
PD3	DSI-D1N	
PD4	DSI-CKP	MIPI 差分时钟
PD5	DSI-CKN	
PD6	DSI-D2P	MIPI LANE2
PD7	DSI-D2N	
PD8	DSI-D3P	MIPI LANE3
PD9	DSI-D3N	

DSI 差分信号线预留串联 0R 电阻。下图 DSI 接口与 LVDS 接口共用。

图 2-23 DSI 接口设计参考



SPI 屏支持以下几种模式：

表 2-10 SPI 屏接口（标案未使用）：

3 线 1 Data	3 线 2 Data	4 线 1 Data	4 线 2 Data	2 Data Lane
DBI-CSX	DBI-CSX	DBI-CSX	DBI-CSX	DBI-CSX
/	/	DBI-DCX	DBI-DCX	/
DBI-SCLK	DBI-SCLK	DBI-SCLK	DBI-SCLK	DBI-SCLK
DBI-SDA	DBI-SDO	DBI-SDA	DBI-SDO	DBI-SDA
/	DBI-SDI	/	DBI-SDI	WRX
DBI-TE	DBI-TE	DBI-TE	DBI-TE	DBI-TE

表 2-11 DBI 接口与 SPI1 复用关系（标案未使用）

DBI	SPI1
DBI-CSX	SPI1-CS
DBI-SCLK	SPI1-CLK
DBI-SDO/SDA	SPI1-MOSI
DBI-SDI(WRX)/TE/DCX	SPI1-MISO
DBI-DCX/WRX	SPI1-HOLD
DBI-TE	SPI1-WP

2.12. HDMI IN 电路设计

H136 有两套 HDMI 输入接口。

表 2-12 HDMI IN 接口

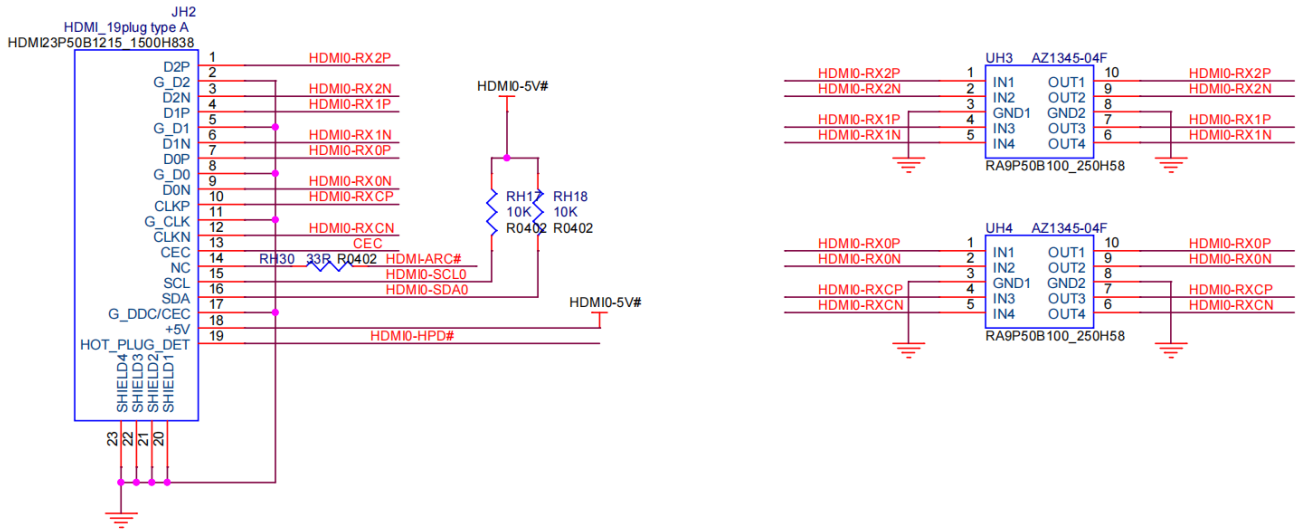
PIN 脚	说明
HDMIRX0-0P	HDMI0 差分输入 DATA0
HDMIRX0-0N	
HDMIRX0-1P	HDMI0 差分输入 DATA1
HDMIRX0-1N	
HDMIRX0-2P	HDMI0 差分输入 DATA2
HDMIRX0-2N	
HDMIRX0-CP	HDMI0 差分输入 CLOCK
HDMIRX0-CN	
HDMI0-SDA	HDMI0 的 TWI 数据线
HDMI0-SCL	HDMI0 的 TWI 时钟线
HDMIRX0-HPD	HDMI0 热插拔检测接口
HDMIRX1-0P	HDMI1 差分输入
HDMIRX1-0N	
HDMIRX1-1P	HDMI1 差分输入 DATA1
HDMIRX1-1N	

HDMIRX1-2P	HDMI1 差分输入 DATA2
HDMIRX1-2N	
HDMIRX1-CP	HDMI1 差分输入 CLOCK
HDMIRX1-CN	
HDMI1-SDA	HDMI1 的 TWI 数据线
HDMI1-SCL	HDMI1 的 TWI 时钟线
HDMIRX1-HPD	HDMI1 热插拔检测接口
HDMIRX-CEC	CEC 功能接口
HDMI-ARC	音频回传

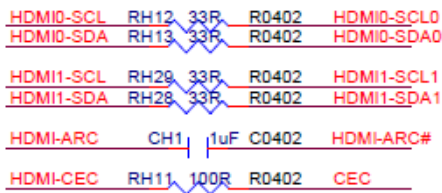
设计要点如下：

- 两组 HDMI 端口不能同时使用，最高支持 HDMI1.4；
- HDMI 接口每个引脚靠近座子放置 ESD，差分对使用的 ESD 器件结电容要求 0.5pF 以下；
- CEC SOC 端 IO 类型为 OD 结构，端口需要外挂上拉电阻和放倒灌二极管；
- DDC、HPD SOC 端 IO 类型均为 OD 结构；
- DDC 信号线可以串联 33Ω电阻，CEC 信号线可以串联 100Ω电阻，增强抗 EOS 能力；

图 2-24 HDMI 输入接口设计参考

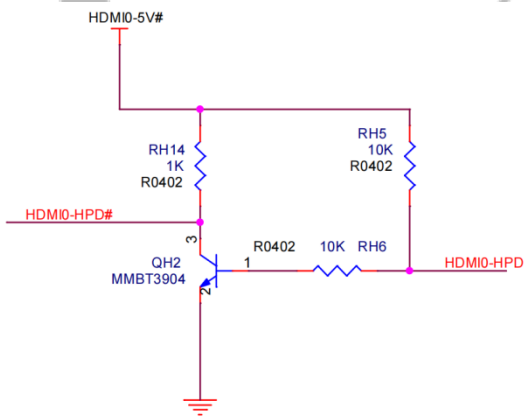
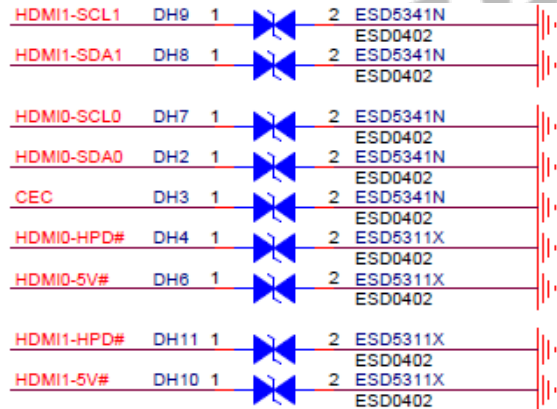


HDMI DDC/CEC/ARC



Enhance EOS

CEC



(HPD 电路)



说明，HPD 电路可以防止设备退出 HDMI 通道后，source 没有再接收到设备的 HPD 信号。

2.13. WIFI/BT 电路设计

WIFI 部分设计请参照相关 WIFI 设计资料。

设计要点如下：

- (1) 如使用 USB 接口 WIFI，DP 和 DM 数据线各预留串联 0R 电阻，便于后期调整信号质量。
- (2) 如使用 SDIO 接口 WIFI：
 - WIFI 端 SDIO/UART/其他控制 IO 电平要与 SOC 端电平保持一致；
 - SDIO 的 CLK 上需要串接 33R 电阻，靠近 SOC 放置，并在外设端预留滤波电容位，降低 CLK 上的辐射干扰，其他信号线预留 0R 串联电阻，便于后期调整信号质量；
 - SOC 端 UART TX/RX/CTS/RTS 信号必须与模组端信号交叉连接；
- (3) WiFi 天线预留 Π 型匹配网络，便于天线的匹配调试，馈线做 50 Ω 阻抗设计；

2.14. 其他

- TWI 最大支持 400Kbit/s 的传输速率，总线上加上拉电阻，推荐值为 2.0K~4.7K，上拉电源为对应 GPIO 电源域，各设备地址不得有冲突；
- GPIO 分配时，请确保电平相匹配，上拉的电压域必须为此 GPIO 的电源域，以防外设向 SOC 漏电情况发生；
- 如外接红外接收器，IR RX 信号线上串联 100R 电阻，加强端口保护；
- 串口调试电路 TX/RX 信号要加防倒灌电/隔离保护电路。可以选择 MOS 管或二极管方案，二极管方案必须选择肖特基二极管。加工生产时为节约成本，MOS 管和二极管隔离保护电路可以 NC，但板级至少要串接 1K 电阻。



说明，未涉及模块请查阅 datasheet，或联系全志 FAE。

3. PCB 设计

3.1. 叠层设计

H136 采用低成本 2 层板设计。

图 3-1 两层板厚叠层设计参考

Total layers:	2
Board thickness:	1.0/1.6 mm +/- 10%
PCB material:	Typical FR4
Surface finish:	ENIG(化学镀金)

Stackup Control Table							
--		Stackup Structure			Impedance Requirements		
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Width/space(mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	3.8			
1	TOP	1.6	0.3oz+plating		NA	4	70
					50±10%(wifi)	20(看备注)	49.7
					90±10%	6/4	90.56
	prepreg	35/58		4.5	100±10%	4/4	99.9
2	BOTTOM	1.6	0.3oz+plating		NA	4	70
					50±10%	20	49.7
					90±10%	6/4	90.56
					100±10%	4/4	99.9
	solder mask	0.5	SM	3.8			
	Board thickness:	39.2/62.2					

备注：50ohm阻抗控制，除了需要20mil线宽，同时要求两边包地，信号线与GND的距离为4mil。

3.2. SOC fanout

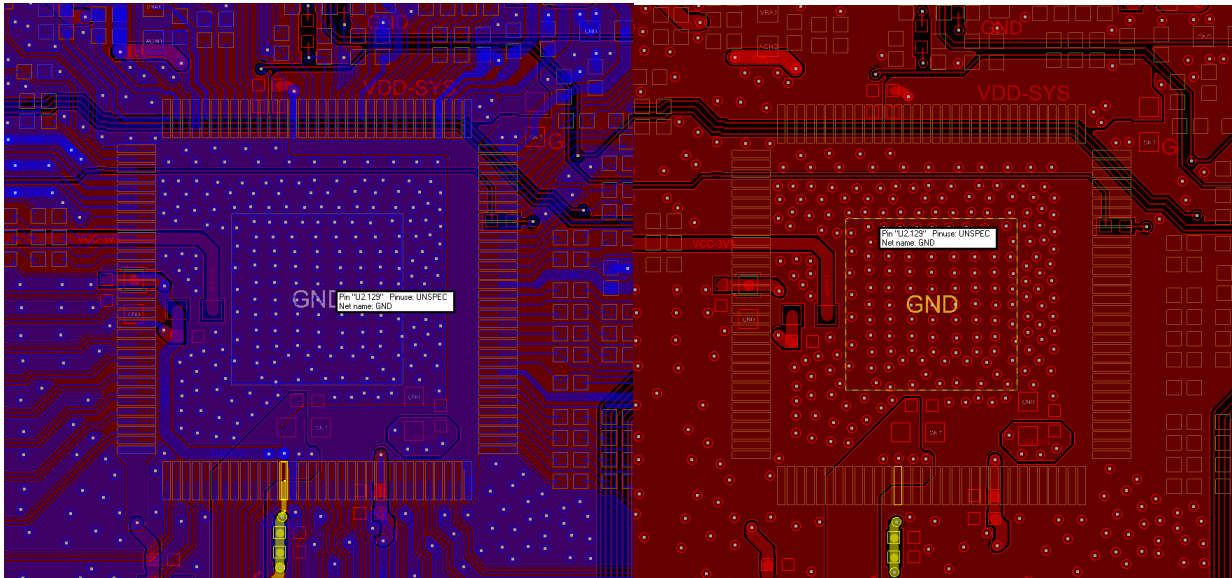
H136 封装为 QFP128, 14mm*14mm, ePAD 尺寸 5.72mm*5.72mm。

两层板 Fanout 建议如下：

- 大部分信号 PIN，可以从顶层直接拉出走线（线宽 6 mil，线距≥4 mil）。
- Power PIN，如顶层空间不够用 8/16mil 过孔从底层覆铜出线，注意留出尽量多的覆铜通道，保证电源通路的完整和散热要求；

- ePAD, Top 层开窗与 SOC ePAD 焊盘连接, 通过阵列式的 8/16mil 热过孔与 Bottom 层 GND 网络相连, 注意尽量加大 Bottom 层 GND 铜皮面积改善散热。

图 3-2 两层板 fanout 示例



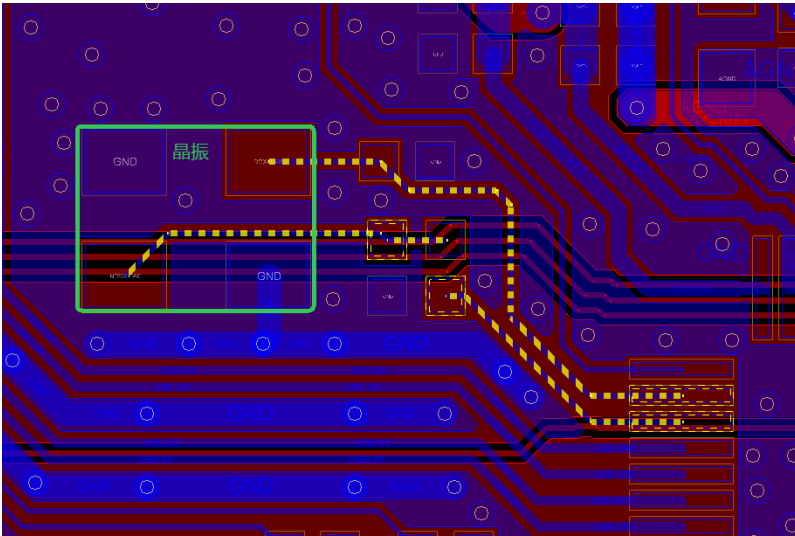
3.3. 小系统 Layout 设计建议

3.3.1. 时钟系统 Layout 设计

H136 DCXO 时钟建议 Layout 采用以下原则:

- 晶振尽量靠近 IC 摆放, 使 DCXO-XOUT/DCXO-XIN 走线长度小于 600mil, 减少 PCB 走线寄生电容, 保证晶振频偏精度;
- 晶体必须和 SOC 放置同一面。避免换层过孔, 增加杂散电容而引起频率偏移;
- 晶振的匹配电容必须靠近晶振管脚摆放;
- 晶振及其走线区域的外围和相邻层, 用 GND 屏蔽保护, 禁止其它走线。

图 3-3 时钟走线 layout 参考



3.3.2. 复位 Pin Layout 设计

复位和系统配置 PIN 建议 Layout 采用以下原则：

- 当 SOC 复位信号上拉至 VCC-IO 电源域时，上拉电阻靠近 SOC，复位信号两边包地，对地 1nF 电容靠近 SOC 放置，提高 ESD 性能；
- SOC 复位信号由外部复位 IC 提供时，PCB 需要包地走线、避开接口信号，对地 1nF 电容靠近 SOC 放置，提高 ESD 性能；

3.3.3. SOC 电源 Layout 设计

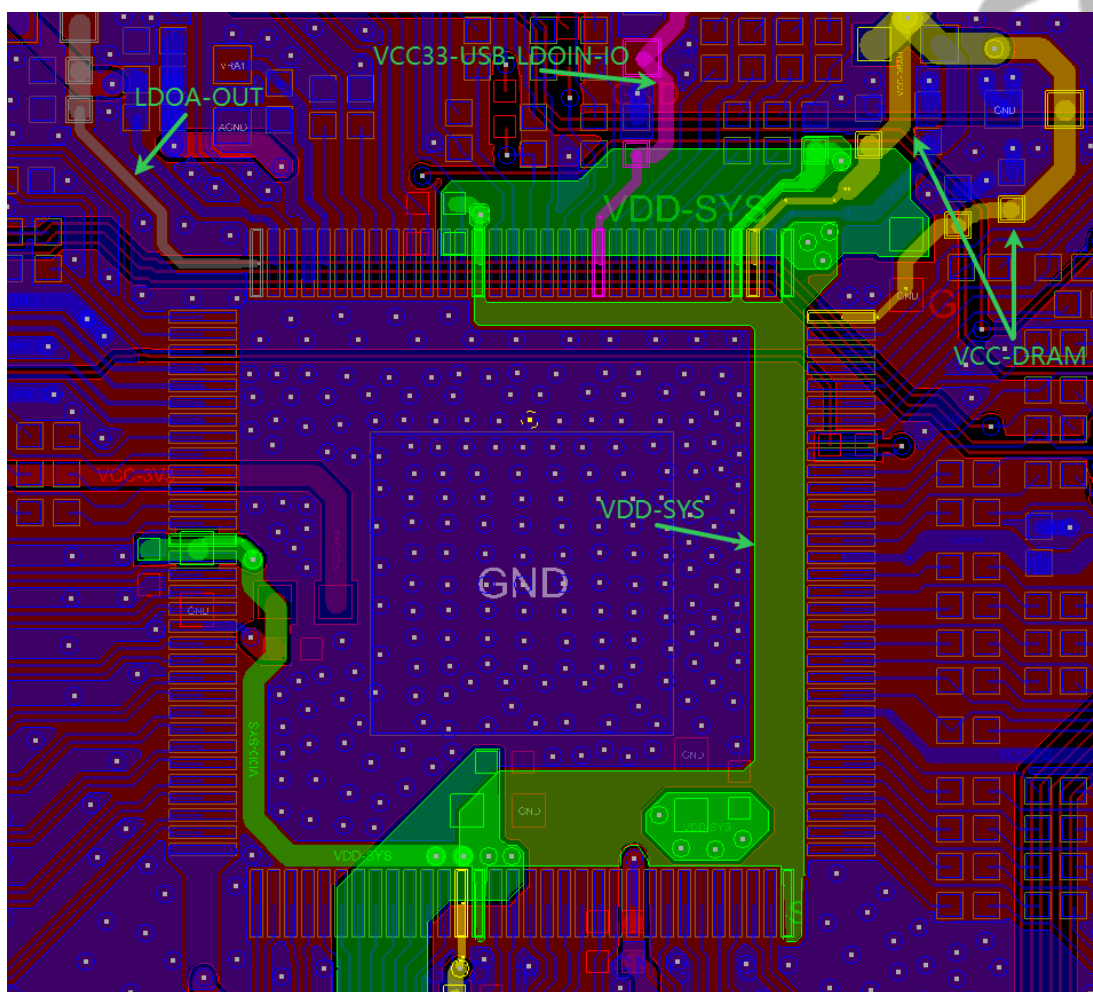
SOC 端电源建议 Layout 采用以下原则：

- SOC 端电源 fanout 建议按照全志模板设计，VDD-SYS/VCC-DRAM 二路大电流电源以铺电源平面实现。SYS 布线最窄处要求走线宽度不小于 40mil。VCC-DRAM 布线最窄处要求走线宽度不小于 15mil；VDD-SYS/VCC-DRAM DC IR Drop 控制在 1%以内；
- 各路电源电容需靠近 SOC Pin 放置（放在 bottom 层时也靠近对应 PIN 放置），放置距离要求小

于去耦半径。电容单面贴时，小封装 0201/0402 电容放距离电源 Pin 250mil 以内，大封装 0603 电容放置距离 SOC 电源 Pin 450mil 以内。电容 GND pin 附近加过孔。容值由小到大，由近及远靠近 SOC 摆放；

- VCC33-USB-LDOIN-IO、LDOA 用 10mil 线宽走出来之后，有空间立即增加走线宽度。LDOIN 至少增加到 20mil，LDOA 至少保持 10mil；
- LDOA 提供 SOC 数字电路和 DRAM 电路供电，LDOA 尽量减少回路走线长度避免压降和干扰。

图 3-4 SOC 电源 Layout 参考设计

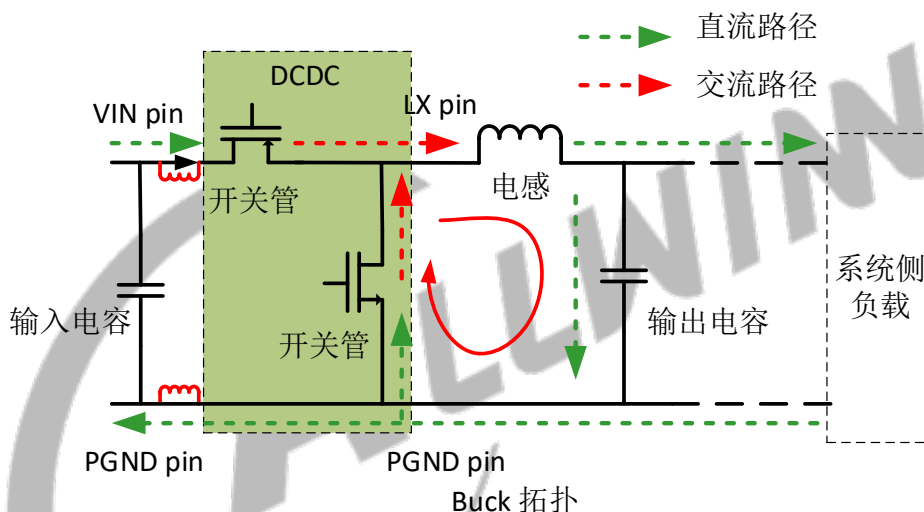


3.4. 分立电源 Layout 设计

电源建议 Layout 采用以下原则:

- DCDC、LDO 及电感、电容等主要器件建议放在同一层;
- 输入滤波电容尽量靠近电源输入 Pin, 如有过孔, 过孔不少于 3 个;
- DCDC 输出电容与电感布局位置需保证回路面积最短, 减小回路电感, 减少纹波测试引入电感 LX 信号的干扰;

图 3-5 BUCK 拓扑



- 电感如与 DCDC 相接, 保证电容位置的前提下, 尽量靠近 DCDC 的 LX pin, 线径满足电流要求;
- DCDC 的输入最好有一个电源平面;
- 电压反馈线, 输出电压经过电容滤波后, 紧挨电容取点, 用 4~10mil 的线引入 DCDC 即可;
- 反馈线在 TOP 面与 LX 的平行走线尽量短, 最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号。分压电阻的地与 DCDC 的地尽可能的近;
- DCDC 电感下方禁止走线和铺地层;
- 反馈线避开 CLK 等时钟敏感信号, 远离敏感信号过孔, 沿其电源平面一起走到负载。

3.5. SPI NAND/NOR Layout 设计

SPI NAND/NOR 建议 Layout 采用以下原则：

- NAND/NOR 应靠近主控摆放，去耦电容均靠近 NAND/NOR 电源管脚摆放；
- VCC-SPI 线宽不小于 10mil；电源线上如有过孔，则换层处过孔数量不少于 2 个，避免过孔限流影响供电；
- SPI-CLK 信号串接电阻靠近主控摆放，串阻与主控连接走线距离 $\leq 300\text{mil}$ ；
- NAND/NOR 与主控走线间走线 $\leq 2000\text{mil}$ ，信号走线路径上尽量少打过孔；
- 线间距 ≥ 2 倍线宽；
- SPI-MISO/SPI-MOSI/SPI-WP/SPI-HOLD 参考 SPI-CLK 做等长，控制 $\leq 300\text{mil}$ ；
- 走线尽量避开高频信号，务必保证走线参考平面完整。
- CLK 信号做包地处理，包地通过过孔与 GND 平面连接，如果不能包地则保持线间距 ≥ 3 倍线宽；
- 其他 SPI/DBI 接口 Layout 规则可参考此规则。

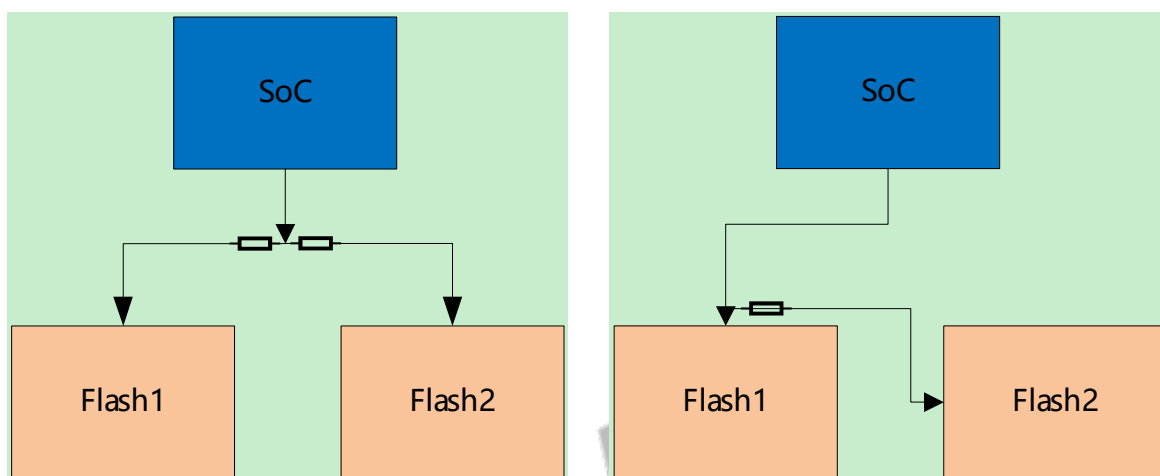
3.6. EMMC Layout 设计

- EMMC 与主控间走线长度 $\leq 2000\text{mil}$ ；线间距 $\geq 2W$ ；D0~D3、CMD 相对 CLK 等长控制 $\pm 300\text{mil}$ 以内；且 D0~D3 上使用过孔的数量尽量相同；
- 除 Reset 外，尽量保证所有信号线参考平面完整；
- 电源走线线宽不小于 12mil；
- CLK 和 DATA 信号尽量包地处理，包地通过过孔与 GND 平面连接。如果不能包地，则保持线间距 ≥ 3 倍线宽，所有信号避开高频信号；
- SPI NOR/SPI NAND/EMMC 双 Layout 时，走线采用菊花链方式，将 EMMC 或读写速率较高的器

件作为走线的终点,尽量减少分叉线长度。如果期望 EMMC 运行在较高频率,则建议只使用 EMMC,保证主控 IO 与 EMMC 点对点连接;

- EMMC NC/RFU 等保留引脚都悬空,不可为了走线方便将这些信号与电源、地、或其他 EMMC 信号连接在一起。

图 3-6 Flash 双 Layout 设计参考



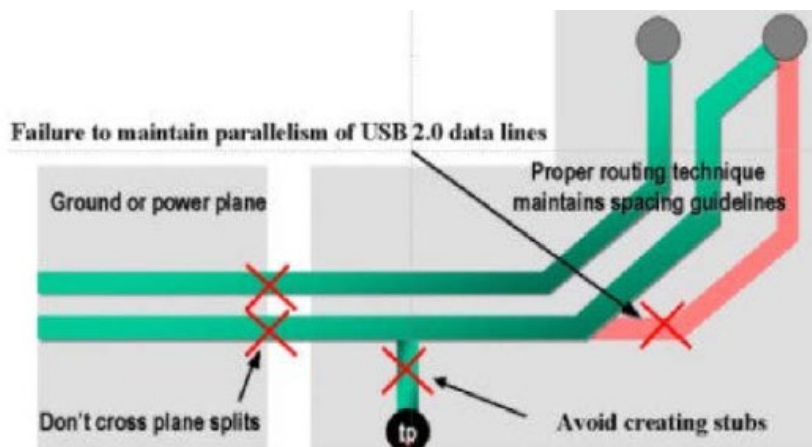
3.7. USB Layout 设计

USB 建议 Layout 采用以下原则:

- USB-5V 按照电流要求走线;
- USB-DM/USB-DP 信号差分走线,等宽等间距,差分阻抗为 90ohm,保证走线参考层不跨分割;
- USB-DM/USB-DP 建议与其它信号的间距大于 10 mil,避免走线走在器件下面或者与其他信号交叉;
- USB-DM/USB-DP 走线在有空间的情况下,走线两边包地并打地过孔;
- USB-DM/USB-DP 走线拐角的角度需保证大于等于 135 度;保证 USB 走线的长度控制在 4000mil 以内,走线的过孔不超过 2 个;
- TVS 器件需要靠近 USB 座子摆放;

- USB 座子金属外壳接地管脚 TOP 面建议全铺接地。

图 3-7 USB 差分走线



3.8. 音频 Layout 设计

SOC 端音频部分建议 Layout 采用以下原则：

- AVCC/VCC-RTC-PLL/VRA1/AGND 接地电容、电阻依次靠近主控摆放；
- PCB 走线 AVCC 线宽 ≥ 10 mil；VRA1 线宽 ≥ 10 mil；线长 ≤ 300 mil，远离高速干扰信号；
- AGND 走线至少 20mil 线宽，空间允许情况下增加一片覆铜，若耳机座远离 SOC，建议 AGND 分别在 SOC 端和耳机座端放置 0 ohm 电阻到地，连接到 GND 平面的过孔 ≥ 2 个。

LINEOUT 建议 Layout 采用以下原则：

- LINEOUTLN、LINEOUTRN 对地 1uF 电容靠近 SOC 放置；
- LINEOUTLN、LINEOUTRN 信号，分别单根包地并打地过孔，走线和过孔远离高速信号和时钟信号；
- ESD 器件必须靠近耳机座子端、喇叭座子端摆放。

3.9. LCD Layout 设计

RGB 建议 Layout 采用以下原则：

- R\G\B、行场同步、DE 等信号参考时钟做等长处理；
- 时钟信号包地，串电阻靠近主控；

MIPI 建议 Layout 采用以下原则：

- DATA 线做 100Ω阻抗控制，按差分规则走线，两两包地；
- 差分时钟包地处理；
- DATA 线参考时钟做等长处理，过孔数量≤2；

LVDS 建议 Layout 采用以下原则：

- DATA 和时钟做等长处理，两两包地，空间受限时组内 DATA 线距≥15mil；

3.10. HDMI Layout 设计

HDMI 建议 Layout 采用以下原则：

- 阻抗要求：差分 100ohm。
- 等长需求：差分对内长度差 10mil 内，差分对之间的长度差 400mil 内，总长度小于 3000mil；
- ESD 器件靠近 HDMI 插座，ESD 器件到 HDMI 连接器的距离小于等于 500mil。合理布局天线馈线的匹配电容电阻，使馈线平滑，最短，无分支，无过
- 差分线包地，包地线宽度 10-15mil，包地线每隔 300mil 打过孔到主 GND 层。包地线与差分线间距 3H（H 为差分线到参考平面的距离）。

3.11. WIFI 和天线 Layout 设计

WIFI 建议 Layout 采用以下原则：

- 模组尽量靠近天线或天线接口，模组下方尽量不要走线，模组下方的 GND 全部打过孔；
- 远离电源、DDR、LCD 电路、摄像头、马达等易产生干扰的模块；
- 天线馈线控制 50ohm，为了增大线宽减少损耗，通常馈线相邻层挖空，隔层参考参考平面需要是完整地，同层地距离天线馈线距离保持一致，两边多打地过孔；
- 射频线需要圆滑不能换层，并进行包地处理，两边均匀的打地过孔，射频线需要远离时钟线的干扰；
- 合理布局天线馈线的匹配电容电阻，使馈线平滑，最短，无分支，无过孔，少拐角；
- 如使用 PCB 走线作天线，请确保天线走线附近区域完全净空，净空区大于 50mm²，天线本体至少距周围的金属 1cm 以上；
- WIFI On Board 设计时请与 WIFI 厂商联系获得官方 Layout 指南。

4. 热设计

4.1. 热工作条件

热设计的最主要目的是确保电子设备中元器件的工作温度低于其最大的许可温度。

元器件的最大许可温度根据可靠性要求及失效率确定。对于半导体器件和集成电路，主要是控制结温 T_j ，热设计要保证 $T_j \leq 0.9 \cdot T_{jmax}$ ，其中 T_{jmax} 是器件的最大许可结温。

对于 H136 而言，其 $T_{jmax} = 125^\circ\text{C}$ ，设计应保证 T_j 应小于 112°C 。

H136 的封装热阻参数如表所示。

表 4-1 H136 热特性参数

参数	符号	最小值	典型值	最大值	单位
结（即芯片）到空气环境的热阻	θ_{JA}	—	23.8	—	$^\circ\text{C}/\text{W}$
结（即芯片）到 PCB 的热阻	θ_{JB}	—	18.44	—	$^\circ\text{C}/\text{W}$
结（即芯片）到封装外壳的热阻	θ_{JC}	—	4	—	$^\circ\text{C}/\text{W}$



说明

热阻基于 JEDEC JESD51-2 标准给出，条件为：自然对流，no airflow。

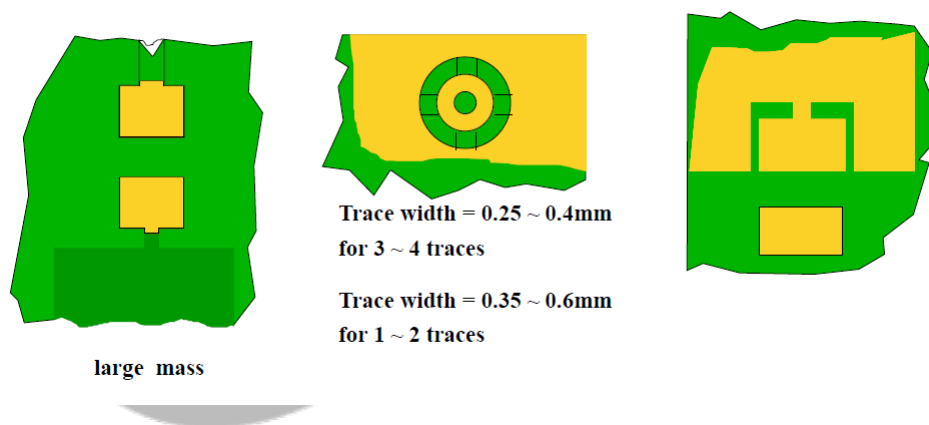
由于实际系统设计及温度不同于 JEDEC JESD51 标准不同，仿真结果仅供参考，请以实际应用情况下的测试结果为准。

4.2. 散热设计参考

- 大功耗器件尽量靠近 PCB 板上的大面积地层铜箔，借助铜箔散热；
- 热敏感器件，远离大功耗器件；

- 对模块内部不能够吹到风的 PCB 板，在布置元器件时，元器件与元器件之间，元器件与结构件之间应保持一定距离，以利空气流动，增强对流散热。
- 在 PCB 上布置各种元器件时，应将功率大、发热量大的元器件放在 PCB 边沿和顶部(重力 top 面)，以利于散热；
- 对于 eLQFP 封装 IC，则要在 IC 正下方的 ePAD 焊盘中，打阵列式的热过孔，通过这些散热过孔与内层和底层的大面积铜平面连接，但要注意过孔直径满足产线量产的要求，不能因孔径过大造成露锡而导致虚焊。
- 要保证印制线的载流容量，印制线的宽度必须适于电流的传导，不能引起超过允许的温升和压降。
- 较大的焊盘及大面积铜皮对管脚的散热十分有利，但在过波峰焊或回流焊时由于铜皮散热太快，容易造成焊接不良，必须进行隔热设计，如 GND 花接等，常见的隔热设计方法如图所示。

图 4-1 焊盘的隔热设计



4.3. 功耗管理参考建议

- 提高电源转换效率，对于小型化的产品或者对热设计要求较高的产品，电路设计时推荐采用 DCDC 代替 LDO 供电，尽量少用高压差的 LDO；
- 软件优化场景功耗，不使用的内部模块或者外设，可以通过软件关闭相应模块的供电；
- 实时监控芯片内部温度 Sensor，限定芯片最高工作温度，保护芯片。

5. EMC 设计

5.1. ESD 设计

原理图 ESD 设计建议参考如下：

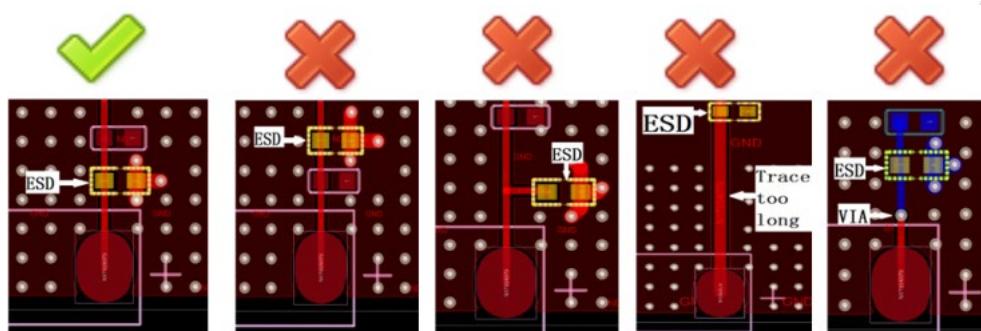
- 系统关键 PIN 如复位信号为敏感信号，易受干扰，抗 ESD 能力较弱，方案应用时对地电容靠近该 PIN 脚放置；
- 系统挂死与 IO 的抗 ESD 能力有关，提高各接口输入 PIN 的 ESD 能力有助于提高系统 ESD，各接口均要根据接口类型在电源和信号上预留合适的 ESD 保护器件；
- Reset 信号建议增加 1nF 电容接地，电容靠近主控摆放；电容接地端需用过孔加强连接；Reset 走线需要全程用 GND 走线保护；
- 对于模组上的 reset 信号，需在模组上靠近芯片管脚的位置增加 1~100nF 电容接地；
- 关键敏感电源采用 LC 滤波设计。

PCB ESD 设计建议参考如下：

- PCB 层叠设计必须保证比较完整的 GND 平面，所有的 ESD 泄放路径直接通过过孔连接到这个完整的 GND 平面；其他层尽可能多的铺 GND；DDR 走线区域尽量多铺 GND，并缩短 GND 路径；
- POWER 平面要比 GND 平面内缩不少于 3H（H 指 POWER 平面相对 GND 平面的高度）；
- 在 PCB 四周增加地保护环，注意做 $\geq 0.5\text{mm}$ 的开环处理，否则会因闭环引入天线效应；
- 关键信号（RESET/Clock 等）与板边距离不小于 5mm，同时必须与走线层的板边 GND 铜皮距离不小于 10mil，同时避免与外部接口信号或经过 IO 附近的走线相邻并行走线；如果不可避免，相邻并行的走线长度不超过 100mil；IO 保护地下方尽量不要走线，在必须走线的情况下建议走内层；

- CPU/晶振/RESET 等 ESD 敏感的关键器件，离外部金属接口的距离不小于 20mm，如果小于 20mm，建议预留金属屏蔽罩，并且距离其他板边不小于 5mm；
- 必须保证外部连接器金属外壳接地良好，在板边直接通过过孔连接 GND 平面，每个 GND 焊盘与 GND 平面之间的连接过孔不少于 3 个；
- 外部接口信号必须连接外部 ESD 器件并靠连接器放置，进行 ESD 保护；ESD 器件接地端直接通过过孔连接到 GND 平面，而且过孔数量不少于 3 个；从外部接口进来，必须最先看到 ESD 器件；ESD 器件的信号端与外部信号端必须尽可能短，尽可能宽，建议直接搭接在信号走线上。

图 5-1 ESD 器件摆放位置



软件 ESD 设计建议参考如下：

- 把不用的 IO 口设置为低电平；
- 加看门狗，对保护的目标状态位进行检测。

结构 ESD 设计建议参考如下：

- 建议在 PCB 板双面四周均匀留出多个不小于 25mm² 的 GND 裸露铜皮（此铜皮直接通过过孔与 GND 平面相连），并通过导电棉与金属平面相连接；
- 把端口的地与金属壳相连接而加大 ESD 的泄放空间。
- 如果结构允许，建议增加屏蔽罩，对关键电路进行屏蔽，同时必须保证屏蔽罩的各边良好接地；

(避免屏蔽罩电荷积累，对内部信号放电)；

- 螺丝钉要避免伸入机构成为天线；
- 塑胶内层喷导电漆屏蔽。

5.2. EMI 设计

产品设计设计当初，应了解硬件系统有哪些时钟信号，对这些信号加以防护，以提高产品 EMI 性能，减少后续 DEBUG 成本。

H136 各模块主时钟频率如表所示。

表 5-1 H136 各接口时钟频率

接口	时钟/信号	频率	是否支持展频
TWI	TWI-SCK	100KHz、400 KHz	支持
SPI	SPI-CLK	100MHz(max)	支持
SDIO	SDC-CLK	150MHz(max)	支持
USB	DP/DM	1.5MHz、12MHz、480MHz	不支持
LVDS	LVDS-CKP/N	62MHz、148MHz	支持

EMI 设计建议参考如下：

- 各接口按照各模块原理图和 PCB 设计要求进行。
- 多层板设计时，硬件系统上高速时钟线建议走内层；且较高速的单端的时钟线上均要预留 RC 滤波电路，抑制高频分量，对于各模块时钟线进行包地处理。
- 差分对信号进行按照差分对要求走线，若无空间，需要满足 3W 原则。

- 排线座子合理布局，排线下方尽量不要有元器件和 PCB 走线。
- 若受结构限制，排线必须拉得很长，则建议排线座子信号线采用两两包地方式，排线必要时要用带屏蔽线。
- PCB 背面预留一些空白地位置，使用导电泡棉与机壳金属接触，改善地回路。
- 喇叭线采用双绞线。
- LVDS 时钟线预留电容，靠近 SOC 端放置，根据 EMI 情况调整参数；
- 两层 PCB 设计，保证 LVDS、HDMI 信号对应顶层/底层地平面完整，尽量不要走电源和 PWM 等易造成干扰的信号；
- LVDS、风扇、马达接口的电源和 PWM 信号预留磁珠和电容，并靠近接口放置；
- LVDS 接口支持展频，如未开放调试接口，请联系我们 FAE。

著作权声明

版权所有©2025 珠海全志科技股份有限公司。保留一切权利。

本文档及内容受著作权法保护，其著作权由珠海全志科技股份有限公司（“全志”）拥有并保留一切权利。

本文档是全志的原创作品和版权财产，未经全志书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本文档内容的部分或全部，且不得以任何形式传播。

商标声明

、、、（不完全列举）均为珠海全志科技股份有限公司的商标或者注册商标。在本文档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与珠海全志科技股份有限公司（“全志”）之间签署的商业合同和条款的约束。本文档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本文档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超频，超温使用）造成的不利后果，全志概不负责。

本文档作为使用指导仅供参考。由于产品版本升级或其他原因，本文档内容有可能修改，如有变更，恕不另行通知。全志尽全力在本文档中提供准确的信息，但并不确保内容完全没有错误，因使用本文档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，全志概不负责。本文档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本文档未以明示或暗示或其他方式授予全志的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。全志不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。全志不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。