



R528 硬件设计指南

版本号：1.1

发布时间：2022-03-25

版本历史

| 版本 | 日期 | 责任人 | 版本描述 |
|-----|------------|---------|---|
| 1.0 | 2021-11-15 | AWA0827 | 创建文档。 |
| 1.1 | 2022-03-25 | AW1200 | <ol style="list-style-type: none">1. 增加 PD 口使用说明。2. 增加 LINEIN/FMIN 使用说明。3. 增加 HPOUT 输出 pop 说明。4. 增加 WIFI IO 口使用说明。 |



目录

| | |
|--------------------------|----|
| 版本历史..... | 1 |
| 目录..... | 2 |
| 图片目录..... | 4 |
| 表格目录..... | 5 |
| 1 前言..... | 6 |
| 1.1 文档简介..... | 6 |
| 1.2 目标读者..... | 6 |
| 1.3 适用范围..... | 6 |
| 1.4 文档约定..... | 6 |
| 1.4.1 标志说明..... | 6 |
| 1.4.2 地址与数据描述方法约定..... | 6 |
| 1.4.3 数值单位约定..... | 6 |
| 2 R528 IC 系列..... | 7 |
| 3 原理图设计..... | 8 |
| 3.1 硬件系统框图..... | 8 |
| 3.1.1 硬件系统框图..... | 8 |
| 3.1.2 硬件系统基本工作原理..... | 8 |
| 3.2 CPU 小系统..... | 9 |
| 3.2.1 时钟系统信号 PIN 说明..... | 9 |
| 3.2.2 小系统配置说明..... | 9 |
| 3.2.3 主晶振电路..... | 10 |
| 3.2.4 32.768K 时钟电路..... | 10 |
| 3.2.5 复位电路设计..... | 10 |
| 3.3 电源系统设计..... | 11 |
| 3.3.1 SOC 端电源质量要求..... | 11 |
| 3.3.2 SOC 端电源电容设计..... | 12 |
| 3.3.3 电源供电系统设计-插电方案..... | 12 |
| 3.3.4 上电时序设计..... | 14 |
| 3.3.5 下电时序设计..... | 15 |
| 3.4 DRAM 电路设计..... | 16 |
| 3.5 Flash 电路设计..... | 16 |
| 3.6 GPIO 电路设计..... | 17 |
| 3.7 USB 电路设计..... | 18 |
| 3.8 Card 电路设计..... | 18 |
| 3.9 音频电路设计..... | 19 |
| 3.10 ADC 电路设计..... | 21 |
| 3.11 LCD 电路接口..... | 21 |
| 3.12 CSI 电路接口..... | 24 |
| 3.13 WIFI/BT 电路接口..... | 24 |
| 3.14 GMAC 电路接口..... | 24 |
| 3.15 其他..... | 25 |

| | |
|----------------------------------|----|
| 4 PCB 设计..... | 26 |
| 4.1 叠层设计..... | 26 |
| 4.2 SOC fanout..... | 26 |
| 4.3 小系统 Layout 设计建议..... | 26 |
| 4.3.1 时钟系统 Layout 设计..... | 26 |
| 4.3.2 复位和系统配置 Pin Layout 设计..... | 27 |
| 4.3.3 SOC 电源 Layout 设计..... | 27 |
| 4.4 分立电源 Layout 设计..... | 28 |
| 4.5 SPI NAND/NOR Layout 设计..... | 29 |
| 4.6 EMMC Layout 设计..... | 29 |
| 4.7 SDIO Layout 设计..... | 29 |
| 4.8 USB Layout 设计..... | 30 |
| 4.9 音频 Layout 设计..... | 30 |
| 4.10 LCD Layout 设计..... | 31 |
| 4.11 CSI Layout 设计..... | 31 |
| 4.12 WIFI 和天线 Layout 设计..... | 31 |
| 4.13 GMAC Layout 设计..... | 32 |
| 5 热设计..... | 33 |
| 5.1 热工作条件..... | 33 |
| 5.2 散热设计参考..... | 33 |
| 5.2.1 布局布线的热设计原则..... | 33 |
| 5.2.2 散热器选择原则..... | 34 |
| 5.2.3 导热介质选择原则..... | 34 |
| 5.2.4 器件安装的原则..... | 35 |
| 5.3 功耗管理参考建议..... | 35 |
| 6 EMC 设计..... | 36 |
| 6.1 ESD 设计..... | 36 |
| 6.2 EMI 设计..... | 37 |

图片目录

| | | |
|--------|-----------------------------|----|
| 图 3-1 | R528 系统硬件框图..... | 8 |
| 图 3-2 | 24M 主时钟电路..... | 10 |
| 图 3-3 | 32K 时钟电路..... | 10 |
| 图 3-4 | 复位电路参考设计..... | 11 |
| 图 3-5 | CPU、SYS 和 DRAM 电源电容设计..... | 12 |
| 图 3-6 | R528 的电源系统..... | 13 |
| 图 3-7 | VDD-CPU 电源供电参考..... | 13 |
| 图 3-8 | VDD-SYS 电源供电参考..... | 14 |
| 图 9 | 3.3V 电源参考设计..... | 14 |
| 图 3-10 | 内部 LDO 参考设计..... | 14 |
| 图 3-11 | R528 上电时序..... | 15 |
| 图 3-12 | R528 下电时序..... | 16 |
| 图 3-13 | DRAM 电路参考设计..... | 16 |
| 图 3-14 | SPI NOR/NAND&eMMC 参考设计..... | 17 |
| 图 3-15 | Micro USB 推荐电路..... | 18 |
| 图 3-16 | USB HOST 推荐电路..... | 18 |
| 图 3-17 | Card 电路参考设计..... | 19 |
| 图 3-18 | SOC 音频部分电路..... | 19 |
| 图 3-19 | MIC AEC 参考电路..... | 20 |
| 图 3-20 | LINEIN 参考电路..... | 20 |
| 图 3-21 | HeadPhone 参考设计..... | 21 |
| 图 3-22 | PA 参考电路..... | 21 |
| 图 3-23 | 按键参考电路..... | 21 |
| 图 3-24 | DEBUG 电路参考设计..... | 25 |
| 图 4-1 | 四层板厚叠层设计参考..... | 26 |
| 图 4-2 | fanout 示例..... | 26 |
| 图 4-3 | 时钟走线 layout 参考..... | 27 |
| 图 4-4 | SOC 电源 Layout 参考设计..... | 28 |
| 图 4-5 | BUCK 拓扑..... | 28 |
| 图 4-6 | Flash 双 Layout 设计参考..... | 29 |
| 图 4-7 | USB 差分走线..... | 30 |
| 图 4-8 | AEC 电路 PCB 布局..... | 31 |
| 图 4-9 | 单网口禁铜参考..... | 32 |
| 图 4-10 | 双网口禁铜参考..... | 32 |
| 图 5-1 | 焊盘的隔热设计..... | 34 |
| 图 6-1 | ESD 器件摆放位置..... | 36 |

表格目录

| | | |
|--------|-------------------------|----|
| 表 2-1 | R528 IC 系列..... | 7 |
| 表 3-1 | R528 硬件系统组成..... | 9 |
| 表 3-2 | R528 时钟系统信号 PIN 说明..... | 9 |
| 表 3-3 | 系统配置 pin 说明..... | 9 |
| 表 3-4 | R528 电源规格..... | 11 |
| 表 3-5 | GPIO 电源域..... | 17 |
| 表 3-6 | GPIO 内部上下拉电阻..... | 18 |
| 表 3-7 | RGB 屏接口..... | 21 |
| 表 3-8 | MIPI 屏接口..... | 22 |
| 表 3-9 | LVDS 屏接口..... | 23 |
| 表 3-10 | SPI 屏接口..... | 23 |
| 表 3-11 | DBI 接口与 SPI1 复用关系..... | 23 |
| 表 3-12 | CSI 接口..... | 24 |
| 表 5-1 | R528 热特性参数..... | 33 |
| 表 5-2 | R528 热特性参数..... | 34 |
| 表 6-1 | R528 各接口时钟频率..... | 37 |

1 前言

1.1 文档简介

本文档主要介绍 R528 芯片在应用方案设计中的原理图和 PCB 设计指南和注意事项，指导客户进行方案硬件设计，保证硬件设计质量。

1.2 目标读者

硬件开发工程师
 软件开发工程师
 技术支持工程师



1.3 适用范围

适用于 R528 硬件平台

1.4 文档约定

1.4.1 标志说明

本文档采用各种醒目的标志来表示在操作过程中应该特别注意的地方，这些标志的含义如下：

| 标识 | 说明 |
|---|---------------------------------------|
|  注意 | 提醒操作中应注意的事项。不当的操作可能会损坏器件，影响可靠性、降低性能等。 |
|  说明 | 为准确理解文中指令、正确实施操作而提供的补充或强调信息。 |

1.4.2 地址与数据描述方法约定

本文档在描述地址、数据时遵循如下约定：

| 符号 | 例子 | 说明 |
|----|---------------------|---|
| 0x | 0x0200, 0x79 | 地址或数据以 16 进制表示。 |
| 0b | 0b010, 0b00 000 111 | 数据采用二进制表示(寄存器描述除外)。 |
| X | 00X, XX1 | 数据描述中, X 代表 0 或 1。 例如, 00X 代表 000 或 001; XX1 代表 001, 011, 101 或 111。 |

1.4.3 数值单位约定

本文档在描述数据容量（如 NAND 容量）时，单位词头代表的是 1024 的倍数；描述频率、数据速率等时则代表的是 1000 的倍数。具体如下：

| 类型 | 符号 | 对应数值 |
|-----------------|-----|---------------|
| 数据容量（如 NAND 容量） | 1 K | 1024 |
| | 1 M | 1 048 576 |
| | 1 G | 1 073 741 824 |
| 频率，数据速率等 | 1 k | 1000 |
| | 1 M | 1 000 000 |
| | 1 G | 1 000 000 000 |

2 528 IC 系列

表 2-1 R528 IC 系列

| Contents | R528-S2 | R528-S3 |
|---------------|--|--------------|
| SDRAM | 64MB DDR2 | 128MB DDR3 |
| CPU | ARM A7*2 | ARM A7*2 |
| Package | BGA226 12*12 | BGA226 12*12 |
| Ball N11 | NC Ball | DZQ |
| PCB FootPrint | BGA226 12*14.5 For PCB Pin to Pin Design | |



3 原理图设计

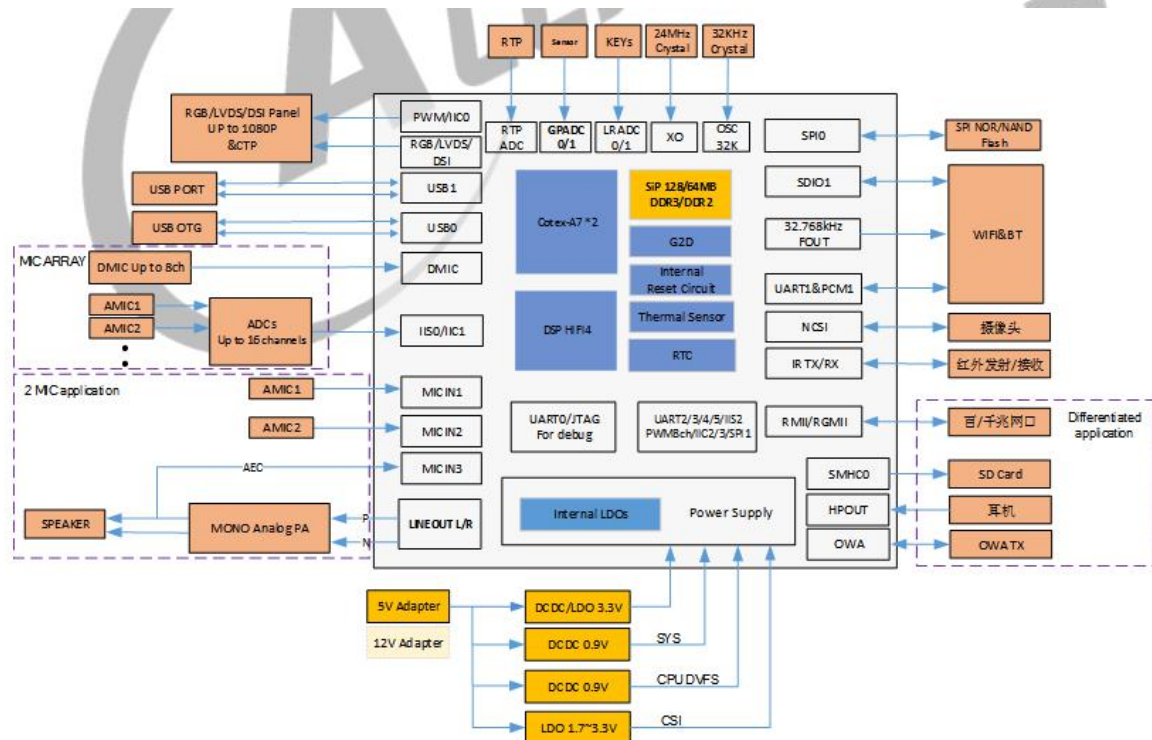
3.1 硬件系统框图

3.1.1 硬件系统框图

R528 是一颗专为“音视频解码”而打造的全新高集成度 SoC，主要应用于智能物联和专用语音交互处理解决方案。

- 集成 ARM A7 内核，高达 1.2GHz 主频，硬件支持 64 位浮点的高精度前端、后端数字信号处理算力，提供生态配套成熟、完善的用于系统、应用和网络连接开发的高效算力；
- 集成 64MB/128MB 的 DDR2/DDR3，为音视频解码、大容量存储、扫码以及网络连接提供充裕的高容量、高带宽的内存支持；
- 拥有丰富的音频接口 IIS/PCM、DMIC、HPOUT、MICIN、FMIN、立体声 LINEIN 以及通用通讯接口 IIC、UART、SDIO、SPI；同时支持 U 盘、SD 卡、IR-TX/RX；
- 内置 LDO、TPADC、GPADC、LEDC、24M/32.768K FOUT，可搭配全志 WIFI 套片，简化系统方案设计，降低 BOM 成本。

图 3-1 R528 系统硬件框图



3.1.2 硬件系统基本工作原理

R528 硬件系统基本工作流程如下：

- 硬件系统正常上电，主控复位之后，CPU 开始执行 BROM 固化代码，对系统资源和关键外设进行配置及初始化，包括电源，时钟，总线，复位，存储接口等。
- 根据配置，在 BROM 阶段将系统初始化信息（串口、DRAM 等）从存储介质读取到系统 SRAM，进行芯片及系统的进一步详细配置和初始化工作；执行完 Boot0 程序后进入 U-boot 阶段。
- 从外部存储介质中读取下一阶段需要的软件代码，启动操作系统，并对系统资源和外设进行管理。
- 操作系统启动之后，根据产品不同需求加载相关启动，比如 USB、音频、WIFI、显示、蓝牙等模块，最终完成开机启动，进入普通操作界面。
- 系统支持 watchdog 应用监视系统的运行，当程序跑飞或者发生死循环时，watchdog 模块会发出一个复位信号，使 SOC 复位，软件系统重新启动。

表 3-1 R528 硬件系统组成

| 系统 | 说明 |
|---------|--|
| CPU 小系统 | 时钟, 复位, 中断, 系统配置 |
| 存储系统 | DRAM, SPI NAND/SPI NOR/EMMC/SD CARD |
| 音频系统 | MIC IN、LINEIN、FMIN、IIS/PCM/TDM、DMIC、HPOUT、LINEOUT |
| 输入输出子系统 | RGB/LVDS/DSI、SD CARD、RGMII、USB OTG/HOST、TWI、UART、PWM、GPADC、TPADC、LRADC、CSI、CLK-FANOUT、IR TX/RX 等 |
| 电源系统 | DCDC、LDO |
| 无线 | SDIO WIFI + PCM BT |
| 其他 | 功放、LED |

3.2 CPU 小系统

R528 CPU 小系统包括时钟系统, 系统配置 PIN、复位系统和 Debug 部分。

3.2.1 时钟系统信号 PIN 说明

R528 硬件系统包含 DCX0 24M/RTC 32.768K 两个时钟, 对应时钟信号说明如表所示。

表 3-2 R528 时钟系统信号 PIN 说明

| 信号名 | 信号描述 | 应用说明 |
|------------|-----------|----------------------------|
| DXIN | DCX0 晶振输入 | DCX0 24M 晶振电路, 频率误差为 20PPM |
| DXOUT | DCX0 晶振输出 | |
| REFCLK-OUT | 主时钟扇出 | 可提供 24M 时钟给 WIFI 模块 |
| X32KIN | 32K 晶振输入 | 32.768K 晶振电路, 频率误差为 20PPM |
| X32KOUT | 32K 晶振输出 | |

说明

外部 WIFI 模块需要用到的 32.768K 时钟可以从主控 CLK-FANOUT 引出。

3.2.2 小系统配置说明

R528 小系统配置 PIN 说明如表所示。

表 3-3 系统配置 pin 说明

| 信号名 | 信号说明 | 应用说明 |
|---------------|--------|--|
| RESET | 复位 PIN | 1. CPU 复位 PIN 2. Watchdog 输出 PIN |
| BOOT-SEL[1:0] | 启动顺序选择 | 11(默认): SMHC0->eMMC2->SPI Nor->SPI Nand 10: SMHC0->SPI NAND->other media 01: SMHC0->SPI NOR->other media 00: SPI NOR->SPI NAND 与 PC5、PC4 复用, 内部集成上拉电阻, Pin Floating 时为 1 |

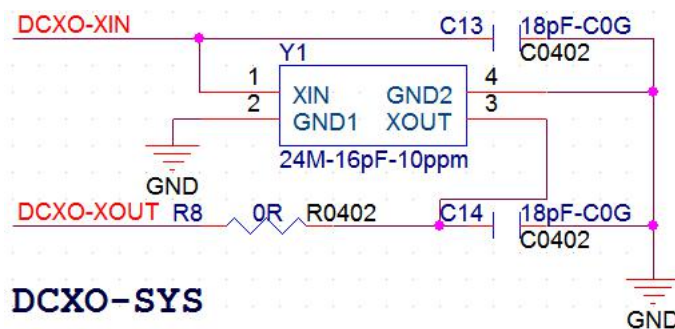
说明

- GPADC/TPADC 模块信号接按键时要接 1nF 去抖动电容, 请勿删除或者更改为其他容值。
- RESET 信号上接下地电容默认为 1nF, 用于滤波和增强 ESD 防护能力, 如需修改其他容值请联系 FAE。
- 推荐使用默认启动顺序。若 eMMC 作为存储介质, 不能选择非默认启动顺序。其他存储介质若不使用默认启动顺序, 请联系 FAE。

3.2.3 主晶振电路

- R528 DCX0 模块只支持 24M 主时钟。
- DCX0 时钟模块可以通过 REFCLK-OUT PIN 扇出与主时钟同频率的 CLK 信号给 WiFi 模组使用，使用 24M Fanout 请联系 FAE 确认使用环境。
- 晶振选型参考如下：
 - 当需要 DCX0 扇出时钟给 WIFI 使用时，晶振选型频偏 $\leq 10\text{ppm}$ ，晶体其他规格要求以 WIFI 需求为准；
 - 当不需要 DCX0 扇出时钟给 WIFI 使用时，晶振选型频偏 $\leq 20\text{ppm}$ 。
- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+板级杂散电容总值等于晶振规格要求的负载电容大小。
- 串接电阻需要预留位置，便于调试振荡幅度处理 EMI 问题。

图 3-2 24M 主时钟电路



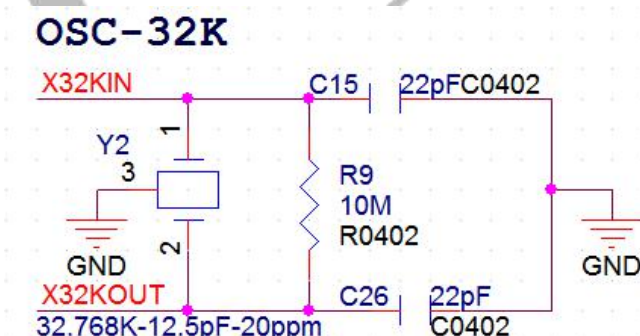
注意

晶振参数不得随意更改，需保证晶体自身负载电容、外挂匹配电容、PCB 走线负载电容三者匹配。

3.2.4 32.768K 时钟电路

- 在需要通过 CLK-FANOUT 扇出 32K 时钟给 WIFI 模组使用的场景下，外挂 32.768K 晶振或使用 24M 小数分频得到 32.768K。使用 24M 分频得到 32.768K 时钟，需测量 32.768K 时钟信号质量满足外设要求，若外设对 32.768K 时钟性能要求较高，内部 24M 分频无法满足，就必须外挂 32.768K 晶体。
- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+板级杂散电容总值等于晶振规格要求的负载电容大小。
- X32KIN/X32KOUT 之间并接的电阻，必须保留。

图 3-3 32K 时钟电路



注意

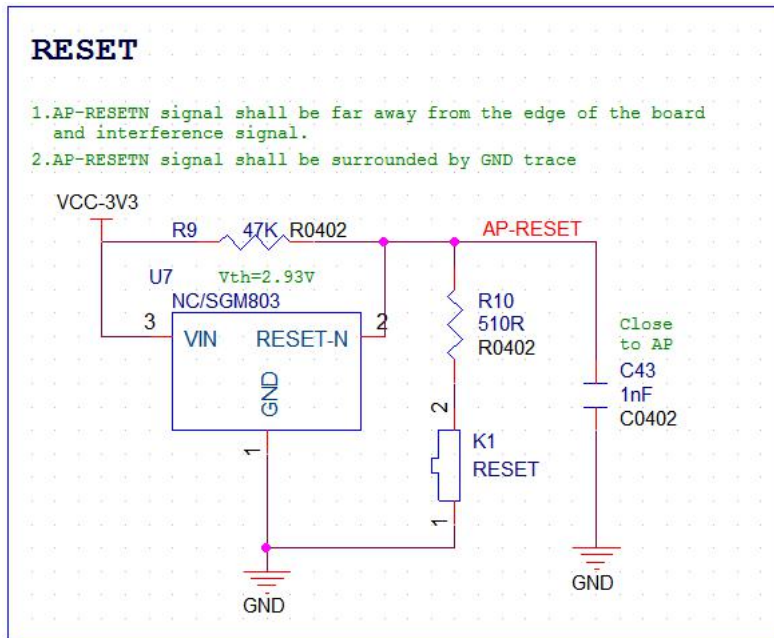
晶振参数不得随意更改，需保证晶体自身负载电容、外挂匹配电容、PCB 走线负载电容三者匹配。

3.2.5 复位电路设计

R528 可以选择使用外部复位 IC 提供复位信号，也可以使用内部复位源。

- 内部上电复位触发门檻：VDD-SYS 爬升至约 0.4V；
- 内部下电复位触发门檻：VCC-IO 跌落至 3.0V/2.9V/2.8V/2.7V/2.6V/2.5V(软件可配)，SDK 默认掉电检测阈值为 2.9V，请根据实际产品形态做配置，同时做好各掉电场景下的测试。详见 R528 用户手册；
- 使用外部复位 IC 复位，时长不得低于 64ms；
- RESET Pin 放置 1nF 电容。

图 3-4 复位电路参考设计



3.3 电源系统设计

3.3.1 SOC 端电源质量要求

表 3-4 R528 电源规格

| Soc 电源 | 电源规格 | | |
|----------|--------------|--------|--------|
| | 电平 | 纹波 | 噪声 |
| AVCC | 1.8V | < 1.5% | < 2.5% |
| HPVCC | 1.8V | < 1.5% | < 2.5% |
| VCC-PC | 1.8/3.3V | < 5% | < 10% |
| VCC-PD | 1.8/3.3V | < 5% | < 10% |
| VCC-PE | 1.8/2.8/3.3V | < 5% | < 10% |
| VCC-PF | 1.8/3.3V | < 5% | < 10% |
| VCC-PG | 1.8/3.3V | < 5% | < 10% |
| VCC-IO | 3.3V | < 5% | < 10% |
| VCC-RTC | 1.8V | < 1.5% | < 2.5% |
| VCC-PLL | 1.8V | < 1.5% | < 2.5% |
| VCC-LVDS | 1.8V | < 3% | < 5% |
| VCC-DRAM | 1.5V | < 5% | < 10% |
| VDD-SYS | 0.9V | < 5% | < 10% |
| VDD-CPU | 0.9V~1V | < 5% | < 10% |

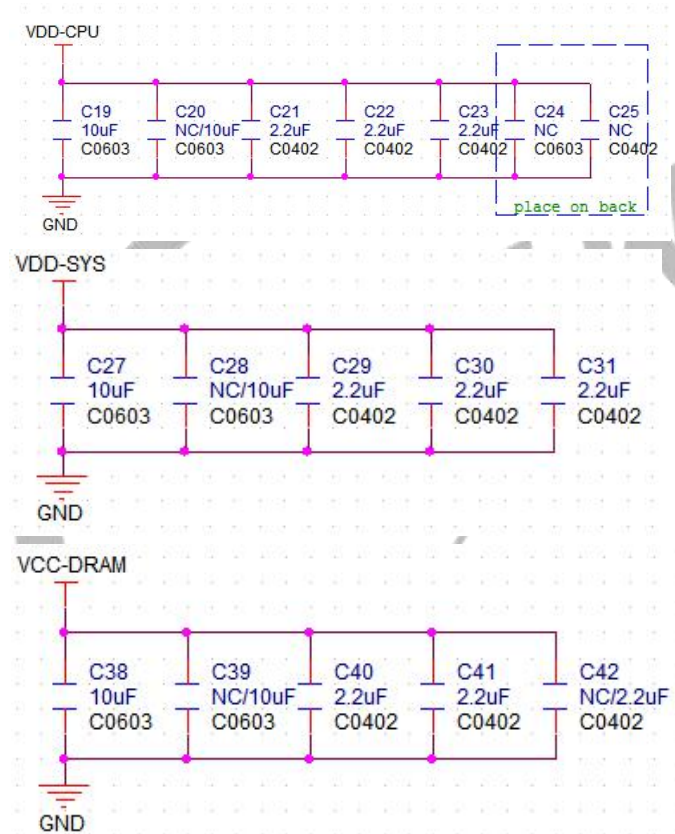
注意：IO 口电源精度、纹波和噪声需同时满足外设的要求。

3.3.2 SOC 端电源电容设计

R528 SOC 端各电源建议容值如下：

- VDD-CPU 电源 pin 至少要有 1 个 10uF 的电容，3 个 2.2uF 电容，预留 1 个 10uF 和 2 个 2.2uF 电容，靠近引脚放置。
- VDD-SYS 电源 pin 至少要有 1 个 10uF 的电容，3 个 2.2uF 电容，预留 1 个 10uF 电容，靠近引脚放置；
- VCC-DRAM 电源 pin 至少要有 1 个 10uF 电容，2 个 2.2uF 电容，预留 1 个 10uF 和 1 个 2.2uF 电容，靠近引脚放置；
- VCC-IO/VCC-PC/VCC-PD/VCC-PE/VCC-PF/VCC-PG/VCC-LVDS/VDD18-DRAM/VCC-PLL/VCC-RTC/VCC-1V8 电源 pin 外挂 100nF 电容，靠近引脚放置；
- AVCC 电源与 AGND 之间至少 1 个 2.2uF 电容，预留 1 个 100nF 电容，靠近引脚放置；VRA1 与 AGND 之间至少 1 个 10uF 电容，靠近引脚放置。参照音频电路设计章节。
- HPVCC 电源与 GND 之间至少 1 个 10uF 电容，靠近引脚放置。参照音频电路设计章节。
- Soc 的滤波电容靠近对应 pin 脚放置。优先将贴片的电容靠近 Soc 电源 ball 放置，之后再放置 NC 的电容。

图 3-5 CPU、SYS 和 DRAM 电源电容设计

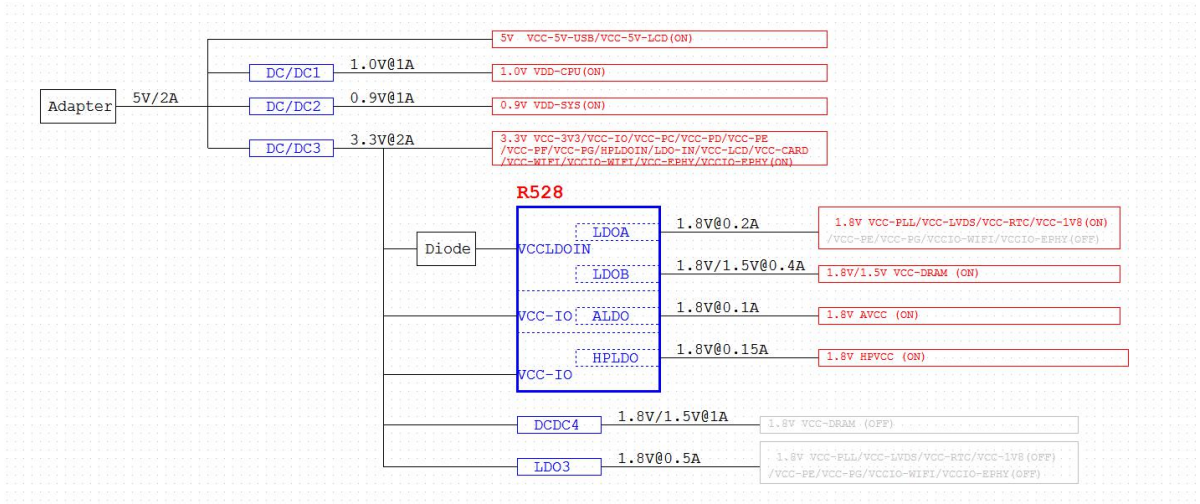


3.3.3 电源供电系统设计-插电方案

R528 插电方案-精简的电源供电系统，主要由外部 DCDC1/2/3、内部 LDOA/B 组成(内部 ALDO 和 HPLDO 在封装内连接到 AVCC 和 HPVCC，没有对外输出的电源引脚)。如对 Soc 功耗/发热敏感，LDOA/B 可更换为外部 DCDC 或 LDO 电源，VCC-PC/PD/PF/PF 可选为 1.8V 或 3.3V 供电，VCC-PE 可选为 1.8V/2.8V/3.3V 供电，VCC-IO 只支持 3.3V 供电。

若产品对快速插拔场景有明确要求，请在输入电源及 DCDC3 (3.3V) 电源处预留泄放电阻如 0603 封装 1K 阻值来加快系统放电。

图 3-6 R528 的电源系统

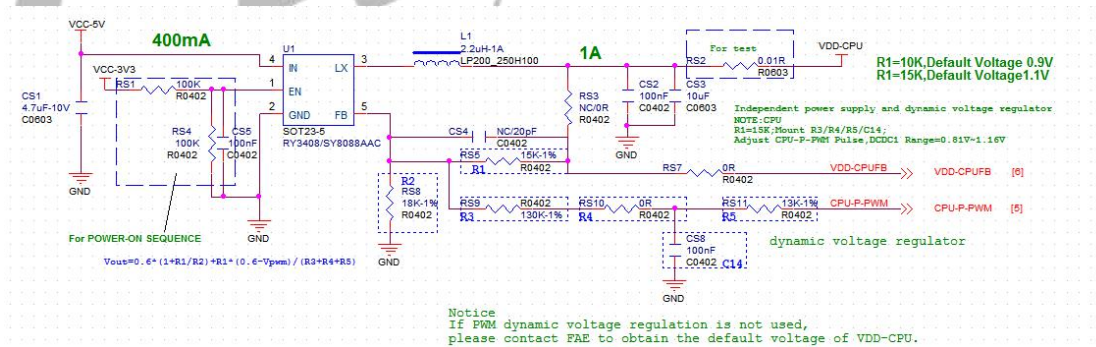


为降低功耗，CPU 支持动态调压功能，CPU 必须采用独立供电，参考电路如下。

因 CPU 对电压敏感，为保证板卡之间一致性，CPU 调压电路使用的电阻全部更换为 1%精度，电阻和电容值严格按照电路设计，此参考电路只适应 FB 参考电压为 0.6V 的 DCDC。

- (1) 硬件电路电压可调范围为 0.81V-1.16V，实际使用范围为 0.9V-1V；
- (2) CPU-P-PWM 为 H 时电压最低 0.81V；
- (3) CPU-P-PWM 为 L 时电压最高 1.16V；
- (4) CPU-P-PWM 为不同占空比时对应 0.81V-1.16V 中间电压；
- (5) 开机时，无 PWM 输出，默认电压 1.1V；
- (6) RS10 预留 OR 可进行开发时微调电压使用。量产确认阻值后可以删除；
- (7) RS3 NC，预留为无主控 VDD-CPUFB 时用于调试电源电路，量产时可删除；
- (8) 上电时序通过 DCDC EN PIN RC 器件延时；
- (9) VDD-CPUFB 和 CPU-P-PWM 信号远离板边及干扰信号，做包地处理。

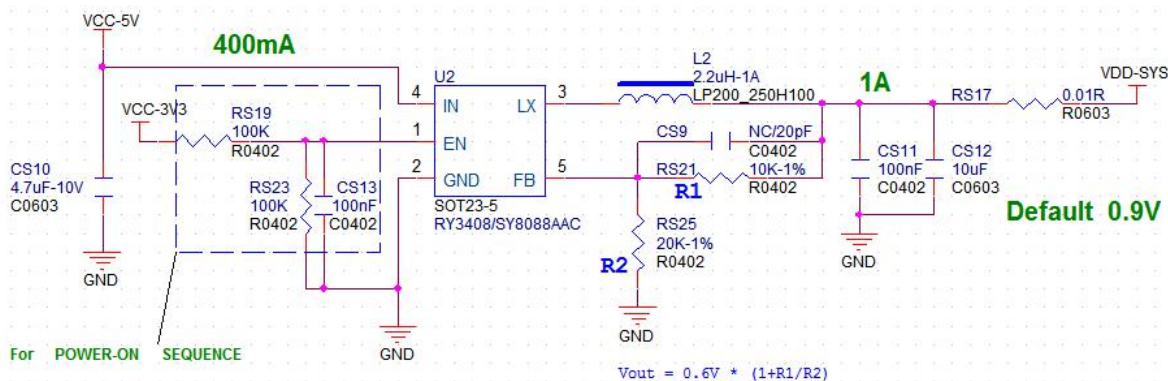
图 3-7 VDD-CPU 电源供电参考



VDD-SYS 电源设计，VDD-SYS 不支持动态调压，正常工作时保持 0.9V 不变。

- (1) 上电时序通过 DCDC EN PIN RC 器件延时；

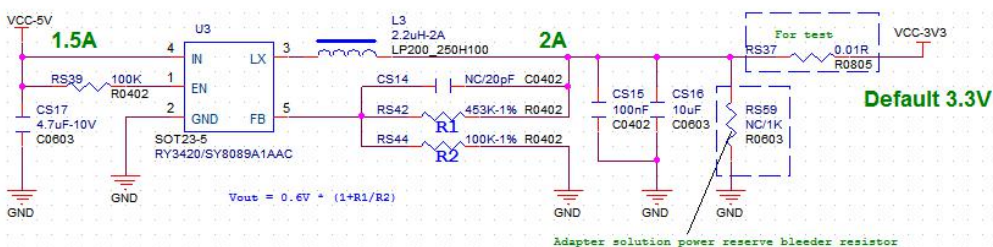
图 3-8 VDD-SYS 电源供电参考



DCDC3 3.3V 给内部 LDOA/B 和其他 3.3V 电源供电，如 WIFI/Flash/3.3V IO/CARD/LCD 等；

若产品对快速插拔场景有明确要求，请在输入电源及 DCDC3（3.3V）电源处预留泄放电阻如 0603 封装 1K 阻值来加快系统放电。

图 9 3.3V 电源参考设计

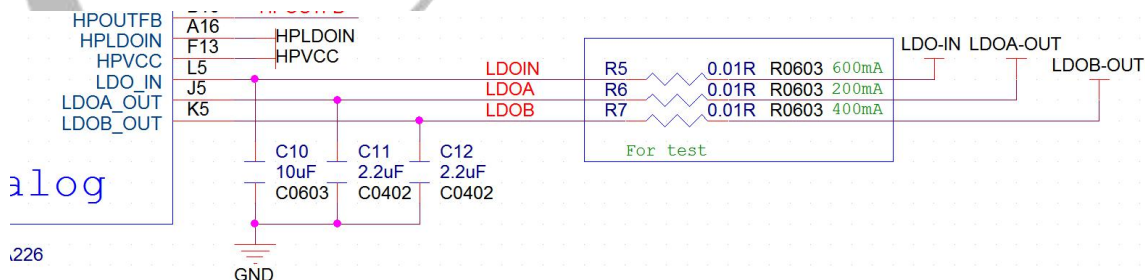


为降低内部 LDO 发热，3.3V 串接二极管后再给 LDO-IN 输入，来降低内部 LDO 的输入电压。二极管选择 1A 规格的普通二极管，不建议选择压降较小的肖特基二极管。二极管封装尽可能选择大封装，有利于二极管散热，或并联两个二极管分流，分摊功耗。

如只使用其中一个 LDO，另一个 LDO 的输出靠近 SOC 放置 1uF 电容；如果均不使用内部 LDO，则 LDOIN、LDOA-OUT、LDOB-OUT 悬空即可。

消费级产品工作温度最高 70℃，允许使用内部 LDOB 给 DRAM 供电。超过此温度需使用外部 DCDC 给 DRAM 供电；

图 3-10 内部 LDO 参考设计



电源参数请参照参考原理图，电源设计有任何疑问和任何改动，请联系 FAE。

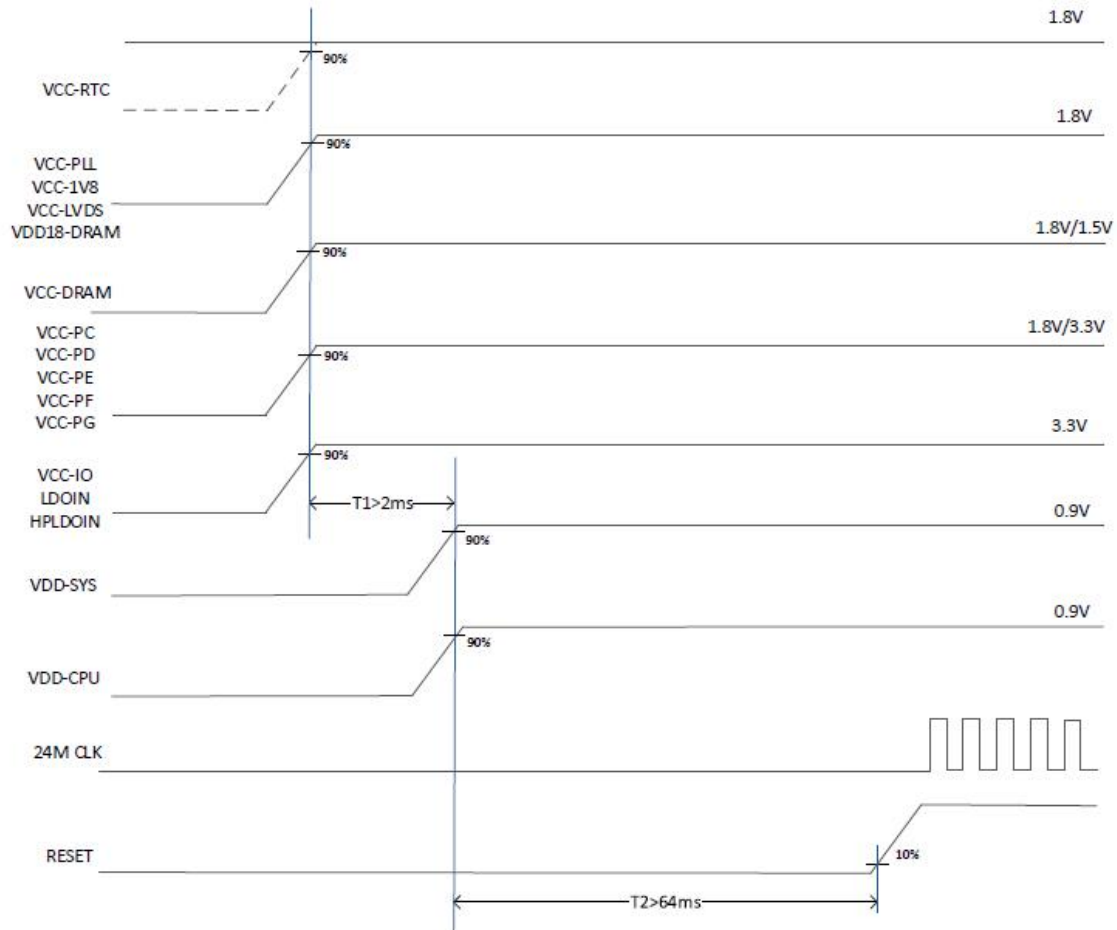
3.3.4 上电时序设计

R528 上电时序如图所示，时序描述如下：

- 锂电池供电时，关机后如需保持计时/闹钟开机功能，VCC-RTC 需要维持供电；
- 适配器供电时，VCC-RTC 上电时序不晚于其他路供电；

- VDD-CPU 和 VDD-SYS 上电时序晚于 VCC-IO 上电至少 2ms；
- 除 VCC-DRAM 在 boot 启动时配置 LDOB 电压，其他供电必须在复位信号释放前 64ms 达到稳定电压；
- 24M CLK 在 RESET 释放后，4ms 内达到稳定状态。

图 3-11 R528 上电时序

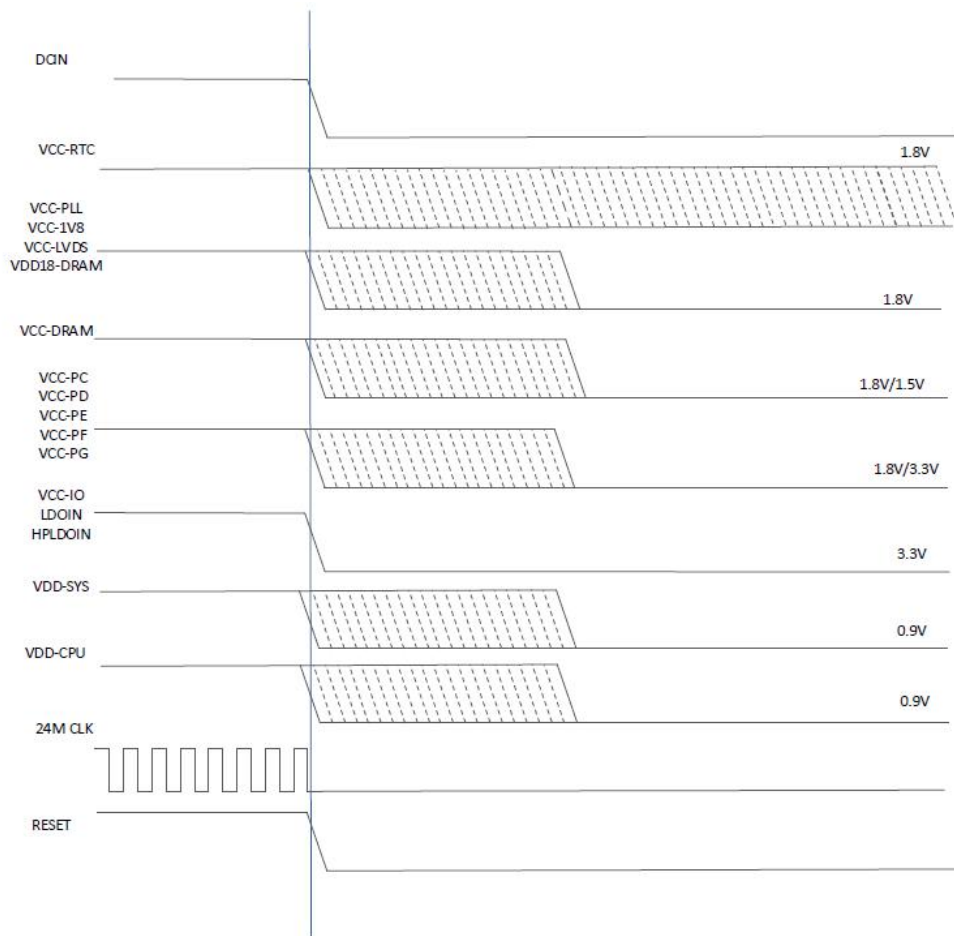


3.3.5 下电时序设计

R528 下电时序如图所示，时序描述如下：

- R528 内部集成掉电复位功能，通过检测 VCC-IO 电压触发复位，可软件使能掉电复位功能和配置门槛电压，详见 R528 用户手册描述；
- 掉电检测电路的供电是 VCC-RTC，VCC-RTC 电压发生偏移会造成掉电检测阈值发生偏移，使用掉电检测功能请同时关注 VCC-RTC 电压；
- 为保证掉电后及时拉低复位，下电时序要求 VCC-IO 掉电不得晚于其他供电，以保证在其他供电未掉下前及时拉住复位，使芯片进入复位状态，各 IO 进入复位状态防止掉电过程误翻转。
- 复位信号拉低后，24M CLK 停止振荡。

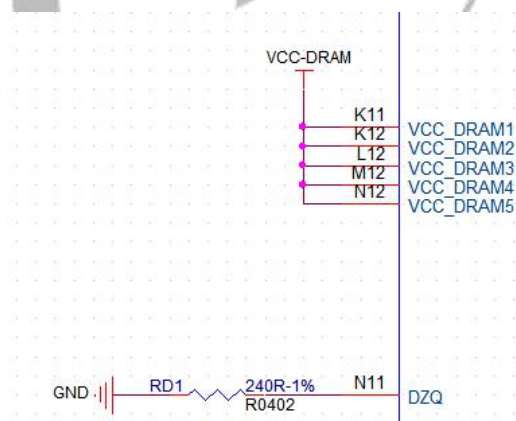
图 3-12 R528 下电时序



3.4 DRAM 电路设计

R528-S3 内置 DDR3，外部电路简单，只需在 DZQ pin 下拉 1%精度 240 欧姆电阻；R528-S2 内置 DDR2，DZQ pin 下拉 1%精度 240 欧姆电阻可以 NC。

图 3-13 DRAM 电路参考设计



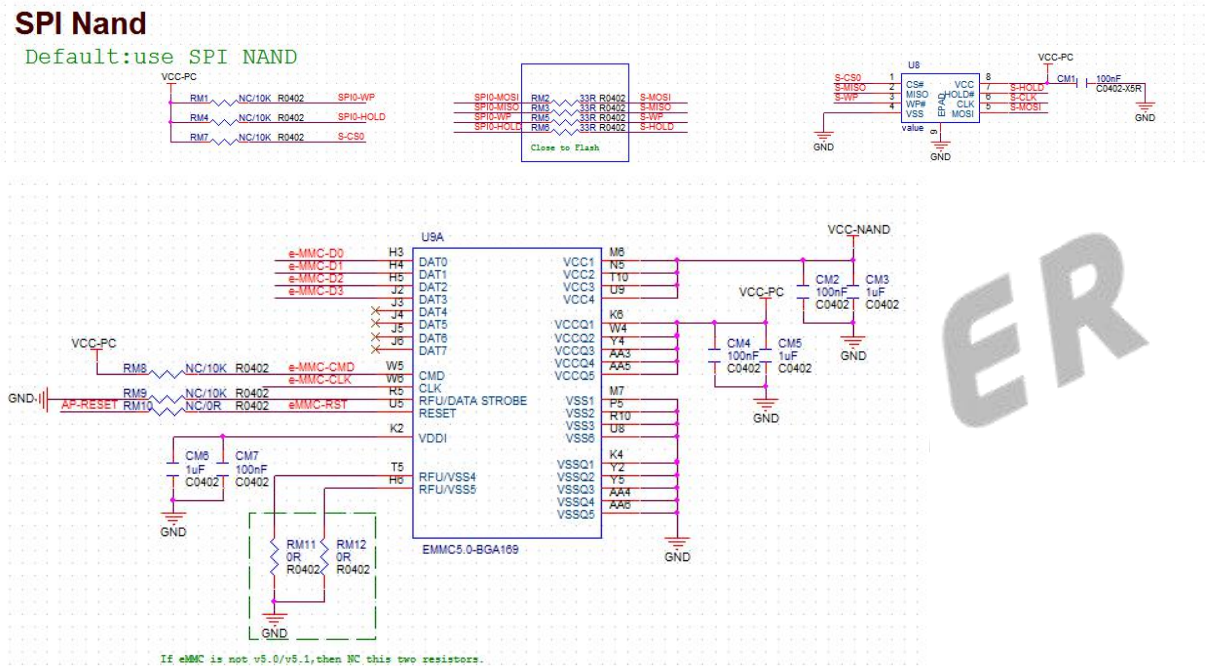
3.5 Flash 电路设计

支持 SPI Nand/Nor、eMMC，设计说明如下：

- SPI Flash 和 eMMC 需要使用 PC IO，R528 PC IO 电压可支持 1.8V/3.3V；

- VCC-PC 电压与 Flash IO 电压匹配；
- 预防 SPI Nand 器件存在 Overshoot 和 Undershoot 问题，在 SPI0 Data 和 CLK 信号线串接 33 欧姆电阻。SPI-MISO、SPI-MOSI、SPI-WP、SPI-HOLD 端接电阻靠近 device 放置；SPI-CLK 端接电阻靠近 SOC 放置。
- R528 SPI0-CS/WP/HOLD Pin 内部集成 15K 上拉电阻，外部 10K 上拉电阻可以 NC；
- R528 只支持 eMMC 4bit 模式，eMMC-CMD 内部集成 15K 上拉电阻，外部 10K 上拉电阻可以 NC；SOC 没有出 eMMC RST pin，eMMC device 的 RESET pin 可以连接 SOC Reset 或者 floating ；
- Nand/Nor/eMMC 选型参考 R528 Flash 支持列表；
- PC4、PC5 复用了 BOOT-SEL 功能，详见 2.2.2 小系统配置 PIN 说明。

图 3-14 SPI NOR/NAND&eMMC 参考设计



3.6 GPIO 电路设计

R528 有 PB/PC/PD/PE/PF/PG 6 组 GPIO, GPIO 逻辑电平与供电电压有关。

- 未使用的 GPIO 优先建议接地或者 Floating，软件设定为 disabled 状态；
- IO 上拉电阻的上拉电压选择 IO 所在电源域。
- PC/PF 口有 Flash 及 SD Card 功能，Soc 启动时会 Try 各类介质，会发送时钟与命令信号等。原理图设计时不可将声光电使能或控制信号 IO 放置在 PC/PF 口，以免外设不受控，如 LED 闪亮一下或功放有 pop 声等。
- 涉及到能被感知的声光电使能或控制信号以及 CPU 调压等信号不要放置在 PD0~PD19，避免上电毛刺对产品造成影响。

(1) 当 PD0~19 只作为 LVDS 屏或 DSI 屏使用时（全部 IO 接屏或者部分 IO 接屏，剩余 IO 悬空），可以按照默认上电时序设计，即 VCC-PD 可比 VCC-LVDS 提前上电。

(2) 当 PD 口的差分对作为普通 GPIO 使用时，若在 N pin 加上拉电阻，那么对应的 P pin 在上电瞬间会有 1V 毛刺（反之亦然，漏电导致）。在作为 LED 等声光外设的使能或控制信号时必须注意。如有此类设计，请联系全志 FAE。

表 3-5 GPIO 电源域

| GPIO 分组 | 控制器电源域 | IO 电源域 | IO 电压 |
|---------|---------|--------|-----------|
| PB | VDD-SYS | VCC-IO | 3.3V |
| PC | VDD-SYS | VCC-PC | 3.3V/1.8V |
| PD | VDD-SYS | VCC-PD | 3.3V/1.8V |

| GPIO 分组 | 控制器电源域 | IO 电源域 | IO 电压 |
|---------|---------|--------|----------------|
| PE | VDD-SYS | VCC-PE | 3.3V/2.8V/1.8V |
| PF | VDD-SYS | VCC-PF | 3.3V/1.8V |
| PG | VDD-SYS | VCC-PG | 3.3V/1.8V |

表 3-6 GPIO 内部上下拉电阻

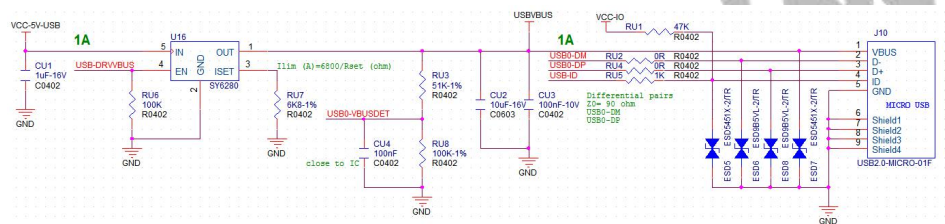
| GPIO 分组 | 上下拉电阻阻值 | 误差 |
|-----------------|---------|------|
| PC3-PC7/PF3/PF6 | 15K | ±20% |
| PG0-PG5 | 33K | ±20% |
| 其他 | 100K | ±20% |

3.7 USB 电路设计

R528 USB0 接口具有 OTG 功能，在产品功能定义上需要注意区别。

- 若使用 Micro USB 供电，同时系统存在其他 5V 输入源如 DC5V 适配器或系统 12V 转 5V，需要注意防倒灌，在 VBUS 上放置防倒灌 IC 或二极管；同时建议在 VBUS 上放置稳压管和 TVS 保护器件；
- USB-ID 信号为 OTG 检测信号，上拉电压选择 USB-ID Pin 所在电源域；
- USB-ID 信号到 SOC 端的 GPIO 串接 1K~1.5K 电阻提升 ESD 性能；
- D+/D-信号为高速信号线，并接的 TVS 要求低容值，否则影响数据传输，以小于 4pF 为宜；串接预留 0R 电阻。

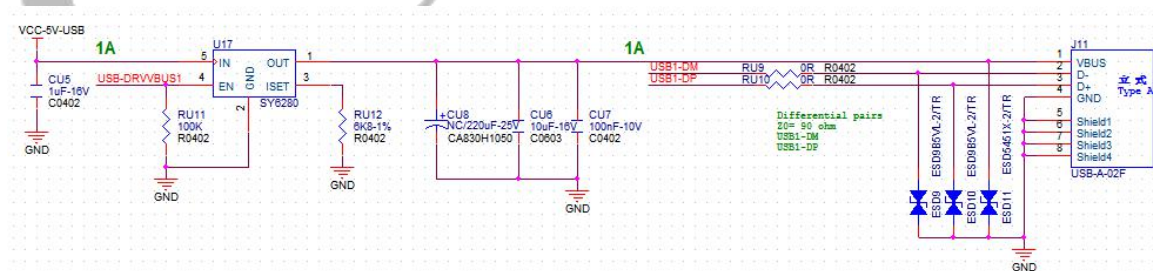
图 3-15 Micro USB 推荐电路



R528 USB1 接口具有 HOST 功能，在产品功能定义上需要注意区别。

- 建议在 VBUS 上放置稳压管和 TVS 保护器件；
- D+/D-信号线为高速信号线，并接的 TVS 要求低容值，否则影响数据传输，以小于 4pF 为宜；串接预留 0R 电阻。

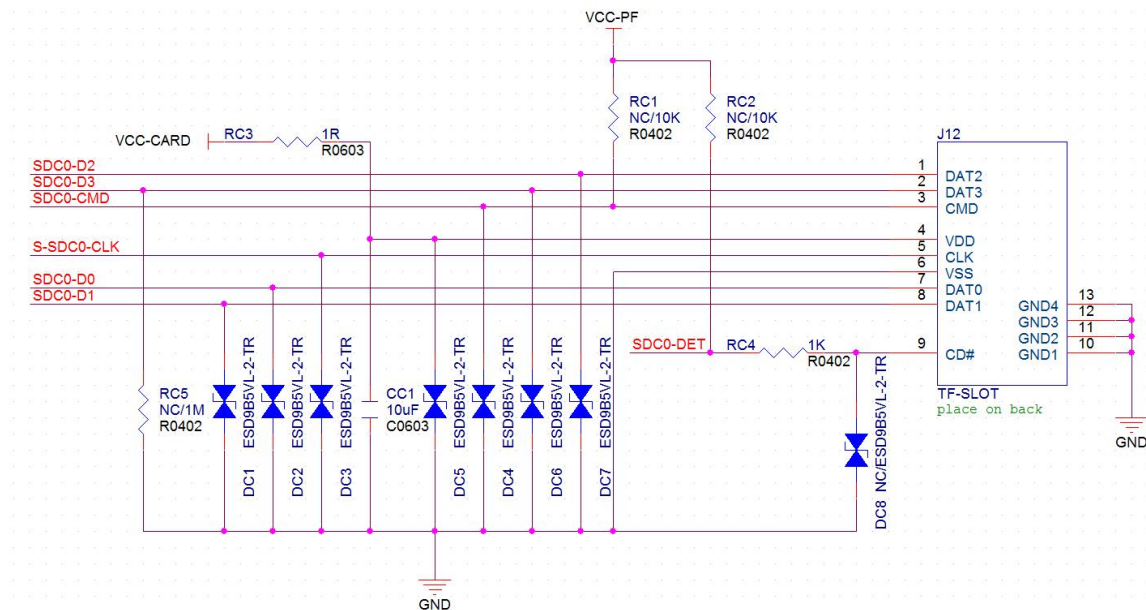
图 3-16 USB HOST 推荐电路



3.8 Card 电路设计

- SDC0-CLK 串接 33R 电阻，靠近 SoC 摆放；
- SDC0-CMD 和 SDC0-DET Pin 芯片内部集成 15K 上拉电阻，外部 10K 上拉默认 NC；
- SDC0-DET 串接 1K 电阻，减缓信号下冲和提高 IO ESD 能力；
- 靠近 SD 卡座，每个信号 Pin 放置 ESD 器件。
- SD 卡座电源 VDD 串联 1R 电阻，防止卡插入时，瞬间大电流烧卡。

图 3-17 Card 电路参考设计



3.9 音频电路设计

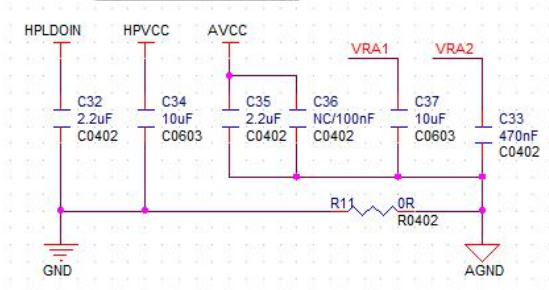
R528 丰富的音频接口：

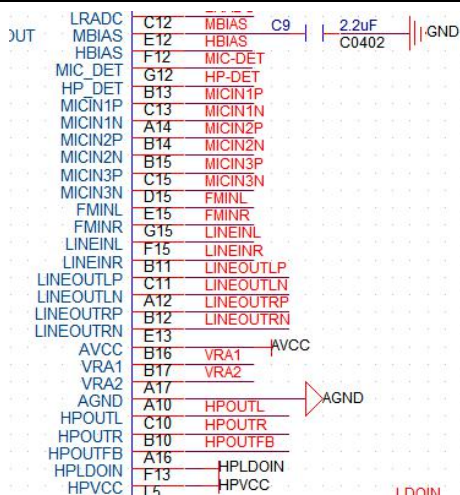
- 3 个 ADC，支持 3 个差分 MIC 输入，支持立体声 LINEINL/R、FMINL/R 输入；
- 2 个 DAC，支持立体声 HPOUTL/R 输出、立体声 LINEOUT 差分输出 (LINEOUTLP/N 和 LINEOUTRP/N)；
- 支持 3 套 I2S/PCM 接口，支持 TDM 模式；
- 支持 OWA 输入输出，兼容 SPDIF 协议；
- 支持 DMIC 8 声道输入。

音频设计建议如下：

- AVCC 对地电容为 2.2 μ F；VRA1 对地电容为 10 μ F；VRA2 对地电容为 470nF；MBIAS 对地电容为 2.2 μ F；
- AVCC/VRA1/VRA2 的 AGND 通过 OR 电阻单点到 GND；
- MIC1-3 建议组合成 2MIC+1AEC 电路；
- 支持 3 套 I2S 接口，其中 PG 口的 I2S 接口固定接 BT 的 PCM 接口，支持蓝牙语音功能，使用时注意 SOC 端 DATA IN/OUT 反接，即 I2S-DIN 接 BT-PCM-OUT， I2S-DOUT 接 BT-PCM-DIN。

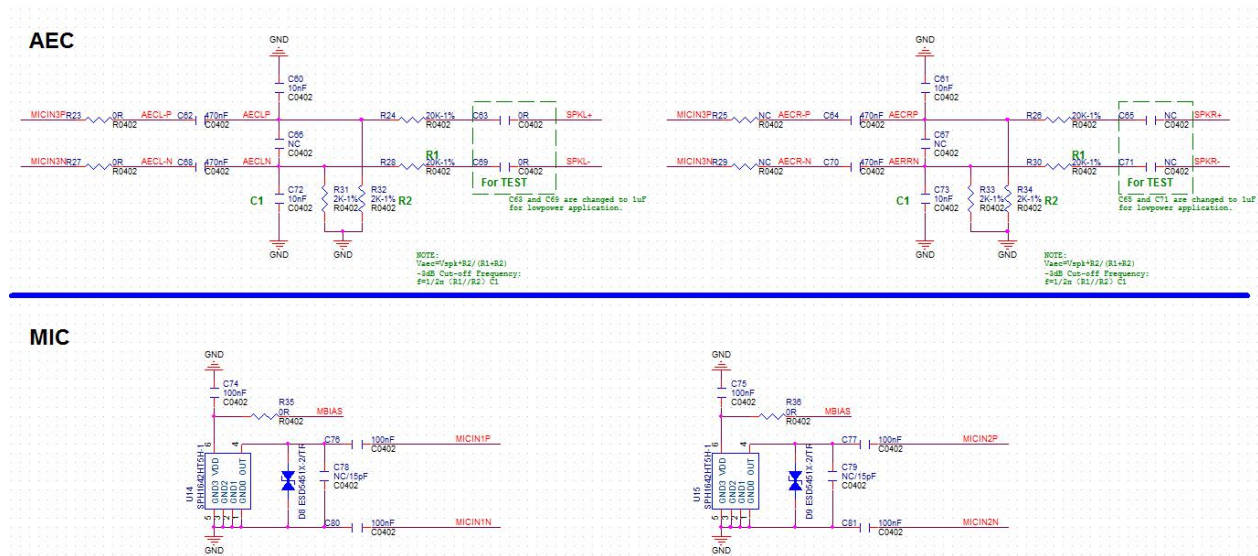
图 3-18 SOC 音频部分电路





MIC 和 AEC 参考设计如图所示。AEC 回路电阻电容参数与功放输出幅度和算法公司要求有关，参数以实际开发环境为准。

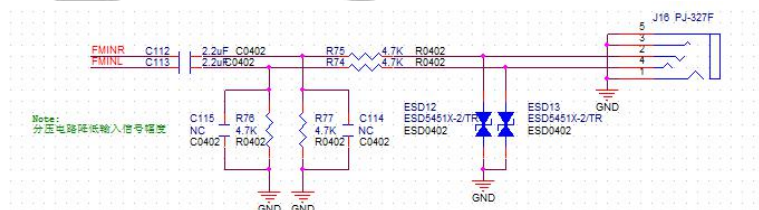
图 3-19 MIC AEC 参考电路



R528 只有 3 路 ADC 与 2 路 DAC，如果设计存在多个音频输入/输出，则需结合场景来设计。

特别注意，当芯片结温超过 90℃，使用 LINEIN 与 FMIN 会导致 T_{sensor} 检测温度相比实际温度低，此场景下若需要使用 LINEIN 与 FMIN，请与全志 FAE 联系确认使用方案。

图 3-20 LINEIN 参考电路



HPOUTL/R 靠近耳机座串联 100uF 或 220uF 电解电容。耳机属于交驱，会存在 pop 音，可通过软件打开 Ramp 电路来减小 pop 音。使用耳机前需评估 pop 音能否满足产品要求。如有疑问，请联系 FAE。

HP-DET 串联 1K 电阻提高 ESD 性能，上拉 1M 电阻到 HP-DET 所在 IO 电源域；HPOUTFB 在靠近座子端串联 100nF 电容到 GND，如果是 2 层板，建议 AGND 在靠近 Soc 端单点接地和在靠近耳机端单点接地，4 层板及以上，则 AGND 在 Soc 端单点接地。对于不使用 HPOUT 的方案则 AGND 在 Soc 端单点接地。

| PIN 脚 | LCD I/O | Parallel RGB | | | Serial RGB |
|-------|------------|--------------|--------|--------|------------|
| | | RGB565 | RGB666 | RGB888 | |
| PD0 | LCD0_D2 | - | B0 | B2 | - |
| PD1 | LCD0_D3 | B0 | B1 | B3 | D0 |
| PD2 | LCD0_D4 | B1 | B2 | B4 | D1 |
| PD3 | LCD0_D5 | B2 | B3 | B5 | D2 |
| PD4 | LCD0_D6 | B3 | B4 | B6 | D3 |
| PD5 | LCD0_D7 | B4 | B5 | B7 | D4 |
| PD6 | LCD0_D10 | G0 | G0 | G2 | D5 |
| PD7 | LCD0_D11 | G1 | G1 | G3 | D6 |
| PD8 | LCD0_D12 | G2 | G2 | G4 | D7 |
| PD9 | LCD0_D13 | G3 | G3 | G5 | - |
| PD10 | LCD0_D14 | G4 | G4 | G6 | - |
| PD11 | LCD0_D15 | G5 | G5 | G7 | - |
| PD12 | LCD0_D18 | - | R0 | R2 | - |
| PD13 | LCD0_D19 | R0 | R1 | R3 | - |
| PD14 | LCD0_D20 | R1 | R2 | R4 | - |
| PD15 | LCD0_D21 | R2 | R3 | R5 | - |
| PD16 | LCD0_D22 | R3 | R4 | R6 | - |
| PD17 | LCD0_D23 | R4 | R5 | R7 | - |
| PD18 | LCD0_CLK | DCLK | DCLK | DCLK | DCLK |
| PD19 | LCD0_DE | DE | DE | DE | DE |
| PD20 | LCD0_HSYNC | HSYNC | HSYNC | HSYNC | HSYNC |
| PD21 | LCD0_VSYNC | VSYNC | VSYNC | VSYNC | VSYNC |
| PB2 | LCD0_D0 | - | - | B0 | - |
| PB3 | LCD0_D1 | - | - | B1 | - |
| PB4 | LCD0_D8 | - | - | G0 | - |
| PB5 | LCD0_D9 | - | - | G1 | - |
| PB6 | LCD0_D16 | - | - | R0 | - |
| PB7 | LCD0_D17 | - | - | R1 | - |

表 3-8 MIPI 屏接口

| PIN 脚 | MIPI DSI 接口 | 说明 |
|-------|-------------|------------|
| PD0 | DSI-D0P | MIPI LANE0 |
| PD1 | DSI-D0N | |
| PD2 | DSI-D1P | MIPI LANE1 |
| PD3 | DSI-D1N | |
| PD4 | DSI-CKP | MIPI 差分时钟 |
| PD5 | DSI-CKN | |
| PD6 | DSI-D2P | MIPI LANE2 |
| PD7 | DSI-D2N | |
| PD8 | DSI-D3P | MIPI LANE3 |
| PD9 | DSI-D3N | |

说明

- 若使用 1 组 MIPI DSI，PD 口其余 IO 可作为普通 IO 使用（GPIO FUNCTION 需配置为 IO 功能），其电源域为 VCC-PD。

- 若 MIPI DSI 4 lane 未全用上，可以将其他 data 作为普通 IO 使用（GPIO Function 需配置为 IO 功能），其电源域为 VCC-PD。
- 涉及到能被感知的声光使能或控制信号以及 CPU 调压等信号不要放在 PD 口。避免上电毛刺对产品造成影响。

表 3-9 LVDS 屏接口

| PIN 脚 | MIPI DSI 接口 | 说明 |
|-------|-------------|--------------|
| PD0 | LVDS0-VOP | 0 通道差分 DATA0 |
| PD1 | LVDS0-VON | |
| PD2 | LVDS0-V1P | 0 通道差分 DATA1 |
| PD3 | LVDS0-V1N | |
| PD4 | LVDS0-V2P | 0 通道差分 DATA2 |
| PD5 | LVDS0-V2N | |
| PD6 | LVDS0-CKP | 0 通道差分 CLOCK |
| PD7 | LVDS0-CKN | |
| PD8 | LVDS0-V3P | 0 通道差分 DATA3 |
| PD9 | LVDS0-V3N | |
| PD10 | LVDS1-VOP | 1 通道差分 DATA0 |
| PD11 | LVDS1-VON | |
| PD12 | LVDS1-V1P | 1 通道差分 DATA1 |
| PD13 | LVDS1-V1N | |
| PD14 | LVDS1-V2P | 1 通道差分 DATA2 |
| PD15 | LVDS1-V2N | |
| PD16 | LVDS1-CKP | 1 通道差分 CLOCK |
| PD17 | LVDS1-CKN | |
| PD18 | LVDS1-V3P | 1 通道差分 DATA3 |
| PD19 | LVDS1-V3N | |

说明

- 若只使用 1 组 LVDS，另外一组可作为普通 IO 使用（GPIO FUNCTION 需配置为 IO 功能），其电源域为 VCC-PD。
- 若使用的某组 LVDS 并未把 4lane 全用上，可以将其他 data 作为普通 IO 使用（GPIO FUNCTION 需配置为 IO 功能），其电源域为 VCC-PD。
- 涉及到能被感知的声光使能或控制信号以及 CPU 调压等信号不要放在 PD 口。避免上电毛刺对产品造成影响。

SPI 屏支持以下几种模式：

表 3-10 SPI 屏接口

| 3 线 1 Data | 3 线 2 Data | 4 线 1 Data | 4 线 2 Data | 2 Data Lane |
|------------|------------|------------|------------|-------------|
| DBI-CSX | DBI-CSX | DBI-CSX | DBI-CSX | DBI-CSX |
| / | / | DBI-DCX | DBI-DCX | / |
| DBI-SCLK | DBI-SCLK | DBI-SCLK | DBI-SCLK | DBI-SCLK |
| DBI-SDA | DBI-SDO | DBI-SDA | DBI-SDO | DBI-SDA |
| / | DBI-SDI | / | DBI-SDI | WRX |
| DBI-TE | DBI-TE | DBI-TE | DBI-TE | DBI-TE |

表 3-11 DBI 接口与 SPI1 复用关系

| DBI | SPI |
|---------|---------|
| DBI-CSX | SPI1-CS |

| DBI | SPI |
|-----------------------|-----------|
| DBI-SCLK | SPI1-CLK |
| DBI-SDO/SDA | SPI1-MOSI |
| DBI-SDI (WRX) /TE/DCX | SPI1-MISO |
| DBI-DCX/WRX | SPI1-HOLD |
| DBI-TE | SPI1-WP |

3.12 CSI 电路接口

表 3-12 CSI 接口

| PIN 脚 | CSI 接口 | 说明 |
|-------|-------------|------------------------|
| PE0 | NCSI0-HSYNC | 摄像头行同步 |
| PE1 | NCSI0-VSYNC | 摄像头场同步 |
| PE2 | NCSI0-PCLK | 摄像头像素时钟 |
| PE3 | NCSI0-MCLK | 摄像头主时钟 |
| PE4 | NCSI0-D0 | Parallel CSI Data Bit0 |
| PE5 | NCSI0-D1 | Parallel CSI Data Bit1 |
| PE6 | NCSI0-D2 | Parallel CSI Data Bit2 |
| PE7 | NCSI0-D3 | Parallel CSI Data Bit3 |
| PE8 | NCSI0-D4 | Parallel CSI Data Bit4 |
| PE9 | NCSI0-D5 | Parallel CSI Data Bit5 |
| PE10 | NCSI0-D6 | Parallel CSI Data Bit6 |
| PE11 | NCSI0-D7 | Parallel CSI Data Bit7 |
| PE12 | TWI2-SCK | 摄像头 IIC 时钟 |
| PE13 | TWI2-SDA | 摄像头 IIC 数据 |

说明

IIC 接口不指定 TWI2，视平台方案和驱动配置而定。

3.13 WIFI/BT 电路接口

WIFI 部分设计请参照相关 WIFI 原厂设计资料。

设计要点如下：

- WIFI 端 SDIO/UART/PCM/其他控制 IO 电平要与 PG 口电平保持一致；例如标案设计 WIFI-REG-ON (WIFI-DIS) 信号在 VCC-PE 电源域，设计时要特别注意与 VCC-PG 电平保持一致。
 - (1) 如果 PG 口有多余的 IO，例如不需要使用 BT PCM 功能，可将 WIFI-REG-ON (WIFI-DIS) 挪至 PG 口。
 - (2) 如果 PE 口电源域与 PG 口电源域不一致，那么 WIFI-REG-ON (WIFI-DIS) 必须增加电平转换电路。
- SDIO_CLK 串接 33R 电阻靠近 Soc 放置，并在外设端预留滤波电容位，降低 CLK 上的辐射干扰；
- SoC 端 UART TX/RX/CTS/RTS 信号必须与模组端信号交叉连接；
- SoC 端 PCM IN/OUT 信号必须与模组端信号交叉连接。

3.14 GMAC 电路接口

RMII/RGMII 电路设计请参照相关 PHY 设计资料。

设计要点如下：

- GMAC 复用于 PE/PG 口，支持 RMII/RGMII 硬件接口，有单独的 VCC-PE/PG 可灵活调整工作电压以适应于不同 PHY 芯片工作模式与电压模式。
- R528 可 Fanout 25MHz 时钟信号给外部 PHY 芯片使用，节省外部 25MHz 晶振。
- 以太网差分线上串接排阻的阻值不能太大，建议预留 0 欧，有利于改善雷击测试。
- RGMII-TXCK 建议预留 RC，便于 EMI 抑制调试，靠 SOC 端摆放。
- RGMII-RXCK 建议预留 RC，便于 EMI 抑制调试，靠 PHY 芯片端摆放。



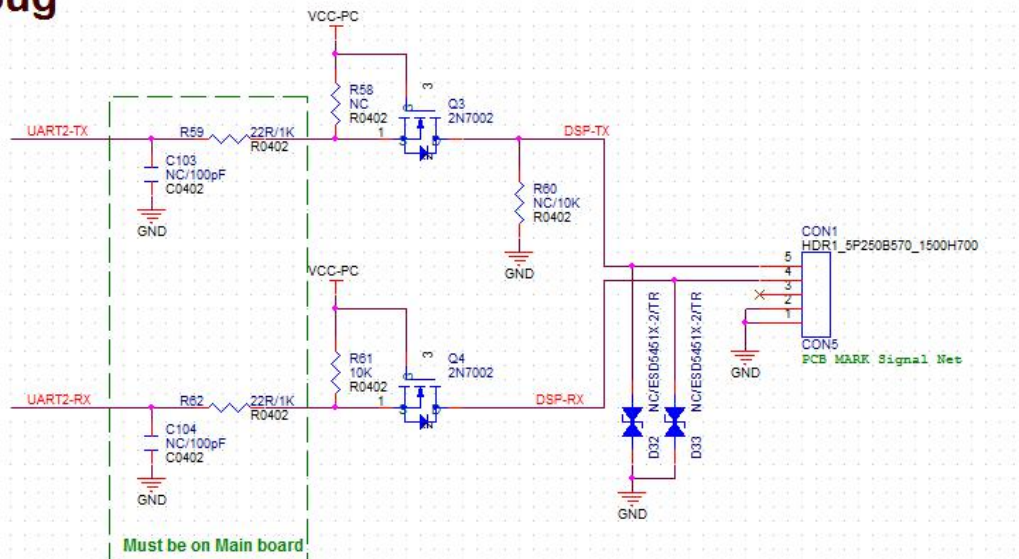
- 开发者设计时请留意，千兆 PHY 芯片 RTL8211F-CG/RTL8211FD-CG 的 TX 对应连接到 R528 的 TX，RX 对应连接到 R528 的 RX。有少部分开发者遵循了 UART 的连接方式，将 TX 连接到 RX，RX 连接到 TX，造成原理设计错误。
- 双网口 RTL8363NB-VB 设计电路请联系 PHY 芯片原厂获取设计资料，原理图与 PCB 同步全志 FAE 审核。

3.15 其他

- I2C/TWI 最大支持 400Kbit/s 的传输速率，总线上加上拉电阻，推荐值为 2.0K~4.7K，上拉电源为对应 GPIO 电源域，各设备地址不得有冲突；
- GPIO 分配时，请确保电平相匹配，上拉的电压域必须为此 GPIO 的电源域，以防外设向 SOC 漏电情况发生；
- 串口调试电路 TX/RX 信号要加防倒灌电/隔离保护电路，避免漏电至 VCC-3V3 进而导致上电时序异常而无法开机。优先选择 MOS 管隔离方案，加工生产时为节约成本，MOS 管和 ESD 电路可 NC，但板级至少要串接 1K 电阻。
- UART 与外部模块连接时，需考虑 IO 电平匹配，同时根据实际产品形态需求决定是否贴片 ESD 器件。

图 3-24 DEBUG 电路参考设计

UART Debug



未涉及模块请查阅 datasheet，或联系全志 FAE。

4 PCB 设计

4.1 叠层设计

产品对 EMI 与 ESD 有较高要求时，请选择 4 层板设计。我司推荐叠层设计如下图所示。

图 4-1 四层板厚叠层设计参考

| Total layers: | | 4 | | | | | | | | |
|-----------------------|-------------------|--------------------|---------------|-----------------|------------------------|-----------------|-----------------|--------------|------------------|--------|
| Board thickness: | | 0.8~1.6 mm +/- 10% | | | | | | | | |
| PCB material: | | Typical FR4 | | | | | | | | |
| Surface finish: | | ENIG(化学镀金) | | | | | | | | |
| Stackup Control Table | | | | | | | | | | |
| Layer | Stackup Structure | Thickness (mil) | SM | DK(with Sim Z0) | Impedance Requirements | | | | Layer definition | |
| | solder mask | 0.5 | | 3.4-3.8 | | | | | | |
| 1 | TOP | 1.6 | 0.3oz+plating | | Impedance spec (Ohms) | Reference layer | Widthspace(mil) | Sim Z0(Ohms) | Signal | Signal |
| | | | | | 50±10% | 2 | 4.5 | 51.34 | | |
| | | | | | 85±10% | 2 | 5.5 | 86.56 | | |
| | | | | | 90±10% | 2 | 4.45 | 91.29 | | |
| | | | | | 100±10% | 2 | 4.8 | 100.77 | | |
| 2 | prepreg | 2.5-3.2 | | 3.5-4.5 | | | | | GND | GND |
| | GND | 1.2 | 1.0oz | | | | | | | |
| 3 | core | 20-50 | | 3.8-4.5 | | | | | Signal | Power |
| | PWR | 1.2 | 1.0oz | | | | | | | |
| | prepreg | 2.5-3.2 | | 3.5-4.5 | | | | | | |
| 4 | BOTTOM | 1.6 | 0.3oz+plating | | Impedance spec (Ohms) | Reference layer | Widthspace(mil) | Sim Z0(Ohms) | Power/GND | Signal |
| | | | | | 50±10% | 3 | 4.5 | 51.34 | | |
| | | | | | 85±10% | 3 | 5.5 | 86.56 | | |
| | | | | | 90±10% | 3 | 4.45 | 91.29 | | |
| | | | | | 100±10% | 3 | 4.8 | 100.77 | | |
| | solder mask | 0.5 | SM | 3.4-3.8 | | | | | | |
| | Board thickness: | 31-63 | | | | | | | | |

备注：
 1、板厂调整线宽不得超过原始设计的15%，建议在10%以内。举例：原设计4mil的线宽，实际生产线宽不能超过4.6mil。
 2、I列阻抗计算结果基于2.9mil的PP厚度，供参考。

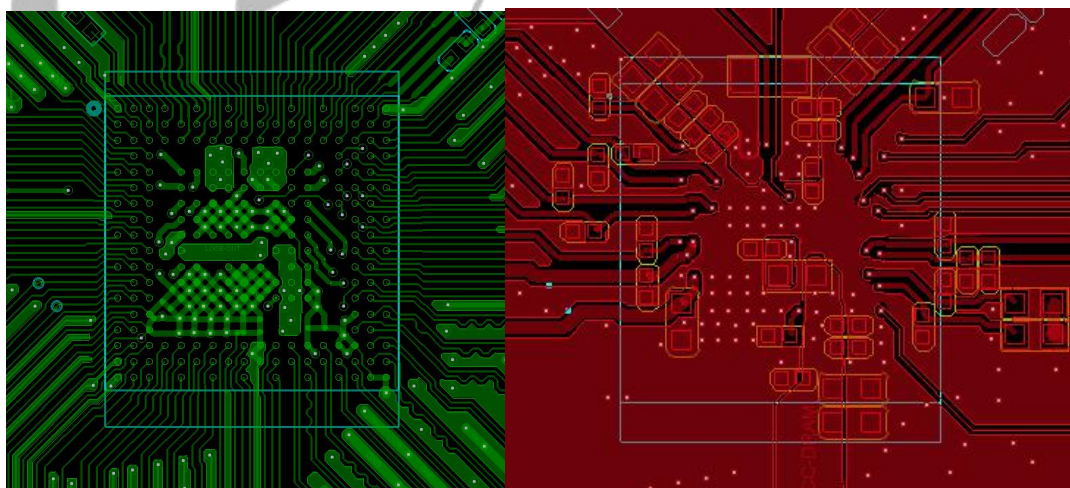
4.2 SOC fanout

R528 封装为 BGA, 0.65mm ball pitch, 0.35mm ballsize, PCB 设计时走线需要采用 4mil 线宽。

Fanout 建议如下：

- 大部分信号 PIN，可以从顶层直接拉出走线（线宽 4 mil，线距 ≥ 4 mil）。
- Power PIN，用 12/16mil 过孔从底层覆铜出线，注意留出尽量多的覆铜通道，保证电源通路的完整和散热要求；

图 4-2 fanout 示例



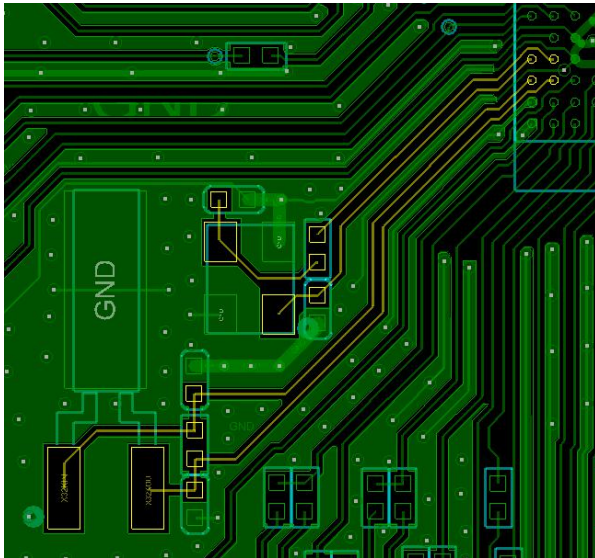
4.3 小系统 Layout 设计建议

4.3.1 时钟系统 Layout 设计

R528 DCX0 时钟和 32.768K 时钟建议 Layout 采用以下原则：

- 晶振尽量靠近 IC 摆放，使 DCX0-XOUT/DCX0-XIN、X32KOUT/X32KIN 走线长度小于 900mil，减少 PCB 走线寄生电容，保证晶振频偏精度；
- 晶体必须和 SOC 放置同一面。避免换层过孔，增加杂散电容而引起频率偏移；
- 晶振的匹配电容必须靠近晶振管脚摆放；
- 晶振及其走线区域的外围和相邻层，用 GND 屏蔽保护，禁止其它走线；
- 晶体下方不允许走线，内层或另一面无法避开时不能与时钟线平行走线
- AP-CK-24M-OUT 和 CLKFOUT 时钟给 WIFI 模组使用，走线同层和相邻层必须包地屏蔽。远离大电流和高速率走线。AP-CK-24M-OUT 走线建议不换层。

图 4-3 时钟走线 layout 参考



4.3.2 复位和系统配置 Pin Layout 设计

复位和系统配置 PIN 建议 Layout 采用以下原则：

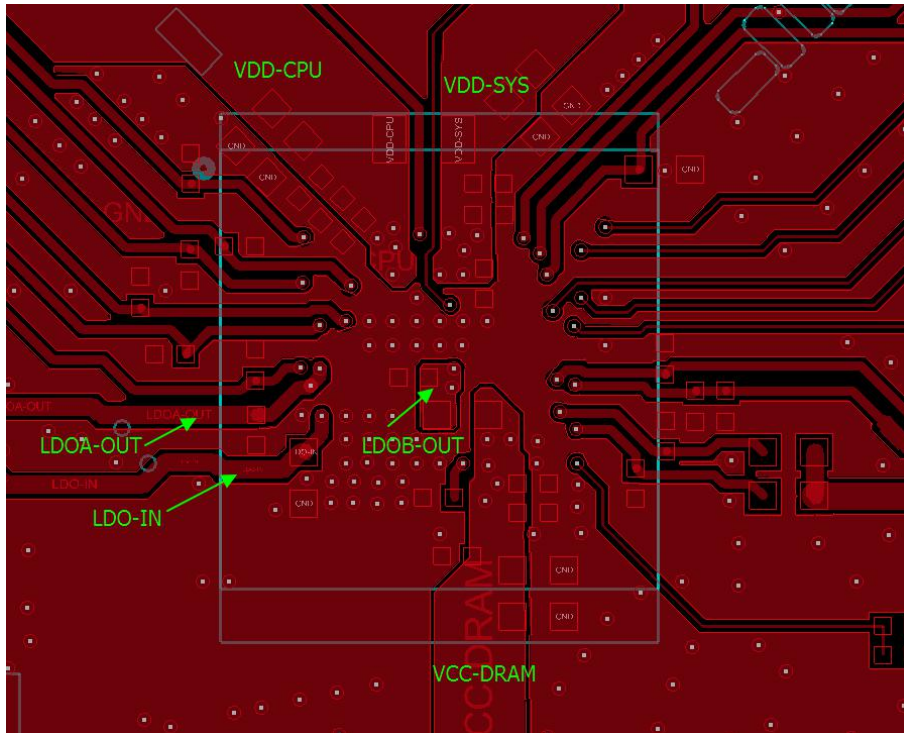
- 当 SoC 复位信号上拉至 VCC-I/O 电源域时，上拉电阻靠近 SoC，复位信号两边包地，对地 1nF 电容靠近 SOC 放置，提高 ESD 性能；
- SoC 复位信号由外部复位 IC 提供时，PCB 需要包地走线、避开接口信号，对地 1nF 电容靠近 SOC 放置，提高 ESD 性能；

4.3.3 SOC 电源 Layout 设计

SOC 端电源建议 Layout 采用以下原则：

- SOC 端电源 fanout 建议按照全志模板设计，VDD-CPU/VDD-SYS/VCC-DRAM 三路大电流电源以铺电源平面实现。VDD-CPU/SYS 布线最窄处要求走线宽度不小于 40mil。VCC-DRAM 布线最窄处要求走线宽度不小于 30mil；VDD-CPU/VDD-SYS/VCC-DRAM DC IR Drop 控制在 1%以内；
- 各路电源电容需靠近 SOC Pin 放置（放在 bottom 层时也靠近对应 PIN 放置），放置距离要求小于去耦半径。容值由小到大，由近及远靠近 Soc 摆放；
- LDOIN、LDOA、LDOB 用 10mil 线宽走出来之后，有空间立即增加走线宽度。LDOIN 至少增加到 20mil，LDOA 至少保持 10mil，LDOB 至少增加到 15mil；
- LDOA 和 LDOB 提供 SoC 数字电路和 DRAM 电路供电，LDOA 和 LDOB 尽量减少回路走线长度避免压降和干扰。

图 4-4 SOC 电源 Layout 参考设计

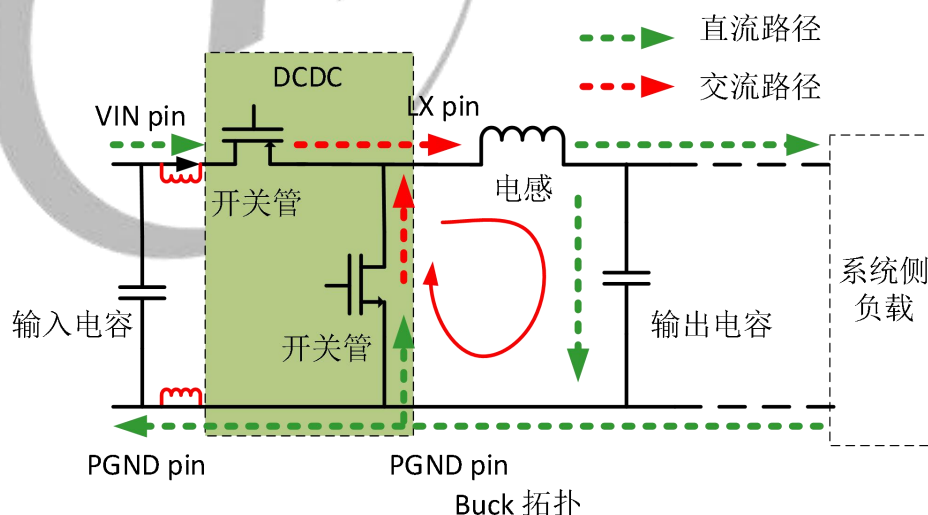


4.4 分立电源 Layout 设计

电源建议 Layout 采用以下原则：

- DCDC、LDO 及电感、电容等主要器件建议放在同一层；
- 输入滤波电容尽量靠近电源输入 Pin，如有过孔，过孔不少于 3 个；
- DCDC 输出电容与电感布局位置需保证回路面积最短，减小回路电感，减少纹波测试引入电感 LX 信号的干扰；

图 4-5 BUCK 拓扑



- 电感与 DCDC 相接，保证电容位置的前提下，尽量靠近 DCDC 的 LX pin，线径满足电流要求；
- DCDC 的输入最好有一个电源平面；
- 电压反馈线，输出电压经过电容滤波后，紧挨电容取点，用 4~10mil 的线引入 DCDC 即可；
- 反馈线在 TOP 面与 LX 的平行走线尽量短，最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号。分压电阻的地尽可能靠近 DCDC 的地；

- DCDC 电感下方禁止走线和铺地层；
- VDD-CPUFB 采用远端反馈，反馈线避开 CLK 等时钟敏感信号，远离敏感信号过孔，沿其电源平面一起走到负载。

4.5 SPI NAND/NOR Layout 设计

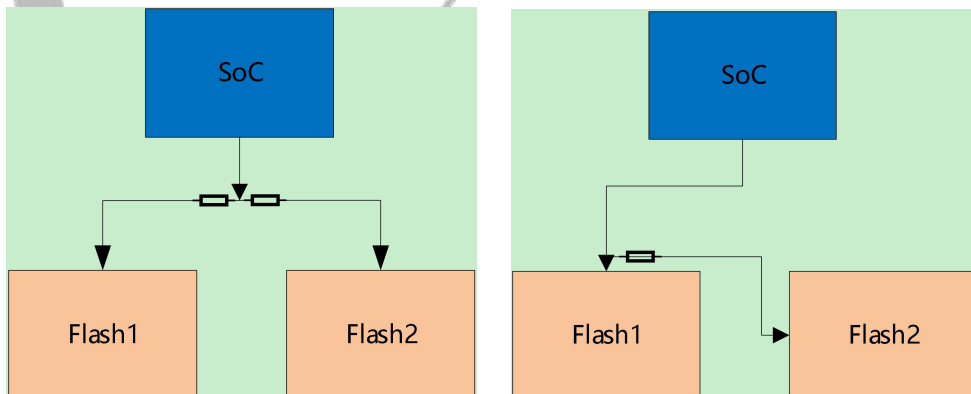
SPI NAND/NOR 建议 Layout 采用以下原则：

- NAND/NOR 应靠近主控摆放，去耦电容均靠近 NAND/NOR 电源管脚摆放；
- VCC-SPI 线宽不小于 12mil；电源线上如有过孔，则换层处过孔数量不少于 2 个，避免过孔限流影响供电；
- SPI-CLK 信号串接电阻靠近主控摆放，串阻与主控连接走线距离 $\leq 300\text{mil}$ ；
- NAND/NOR 与主控间走线长度 $\leq 2000\text{mil}$ ，信号走线路径上尽量少打过孔；
- 线间距 ≥ 2 倍线宽；
- SPI-MISO/SPI-MOSI/SPI-WP/SPI-HOLD 参考 SPI-CLK 做等长，控制 $\leq 300\text{mil}$ ；
- 走线尽量避开高频信号，务必保证走线参考平面完整。
- CLK 信号包地处理，包地通过过孔与 GND 平面连接，如果不能包地则保持线间距 ≥ 3 倍线宽；
- 其他 SPI/DBI 接口 Layout 可参考此规则。

4.6 EMMC Layout 设计

- EMMC 与主控间走线长度 $\leq 2000\text{mil}$ ；线间距 $\geq 2W$ ；D0~D3、CMD 相对 CLK 等长控制 300mil 以内且 D0~D3 上使用过孔的数量尽量相同；
- 除 Reset 外，尽量保证所有信号线参考平面完整；
- 电源走线线宽不小于 12mil；
- CLK 和 DATA 信号尽量包地处理，包地通过过孔与 GND 平面连接。如果不能包地，则保持线间距 ≥ 3 倍线宽，所有信号避开高频信号；
- SPI NOR/SPI NAND/EMMC 双 Layout 时，走线采用菊花链方式，将 EMMC 或读写速率较高的器件作为走线的终点，尽量减少分叉线长度。如果期望 EMMC 运行在较高频率，则建议只使用 EMMC，保证主控 IO 与 EMMC 点对点连接；
- EMMC NC/RFU 等保留引脚都悬空，不可为了走线方便将这些信号与电源、地、或其他 EMMC 信号连接在一起。

图 4-6 Flash 双 Layout 设计参考



4.7 SDIO Layout 设计

SDIO 建议 Layout 采用以下原则：

- CLK 串接电阻靠近主控摆放，串阻与主控 CLK 连接走线距离 $\leq 300\text{mil}$ ；
- 信号线做等宽控制，线间距不小于 2 倍线宽，D0~D3 相对 CLK 等长控制 $< 500\text{mil}$ ；
- 走线尽量避开高频信号，信号线走线参考平面完整。两层板设计时，DATA 信号线两两包地；

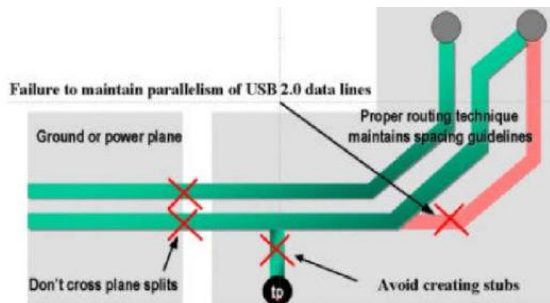
- CLK 做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 ≥ 3 倍线宽。

4.8 USB Layout 设计

USB 建议 Layout 采用以下原则：

- USB-5V 按照电流要求走线；
- USB-DM/USB-DP 信号差分走线，等宽等间距，差分阻抗为 90ohm，保证走线参考层不跨分割；
- USB-DM/USB-DP 建议与其它信号的间距大于 10 mil，避免走线走在器件下面或者与其他信号交叉；
- USB-DM/USB-DP 走线在有空间的情况下，走线两边包地并沿途打地过孔；
- USB-DM/USB-DP 走线拐角的角度需保证大于等于 135 度；保证 USB 走线的长度控制在 4000mil 以内，走线的过孔不超过 2 个；
- TVS 器件需要靠近 USB 座子摆放；
- USB 座子金属外壳接地管脚 TOP 面建议全铺接地。

图 4-7 USB 差分走线



4.9 音频 Layout 设计

SOC 端音频部分建议 Layout 采用以下原则：

- AVCC/HPVCC/VRA1/VRA2/AGND 接地电容、电阻依次靠近主控摆放；
- PCB 走线 AVCC 线宽 ≥ 10 mil；VRA1、VRA2 线宽 ≥ 10 mil；线长 ≤ 300 mil，远离高速干扰信号；
- AGND 走线至少 20mil 线宽，空间允许情况下增加一片覆铜，若耳机座远离 SOC，建议 AGND 分别在 SOC 端和耳机座端放置 0 ohm 电阻到地，连接到 GND 平面的过孔 ≥ 2 个。

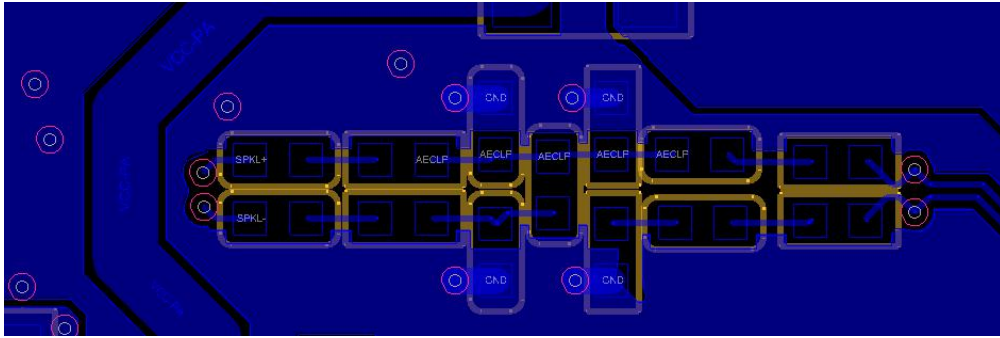
HPOUT 建议 Layout 采用以下原则：

- 耳机 GND 与 HPOUTFB 信号间的隔直电容靠近耳机座子端放置；
- HPOUTL/HPOUTR/HPOUTFB 信号并行走线。建议 HPOUTFB 信号走中间，HPOUTL/HPOUTR 信号走两边，线宽 10mil，整组包地并打地过孔，走线和过孔远离高速信号和时钟信号。

MIC 建议 Layout 采用以下原则：

- MIC 外围器件位置按照原理图要求摆放；
- MICxP/MICxN，类差分走线，线距 4mil，包地，穿层时保证包地的完整；
- MIC 走线及摆放位置远离 (≥ 200 mil) RF、PA、开关电源；
- 建议 MBIAS 与 MICxP/MICxN 并行走线，线宽 10mil；
- ESD 器件必须靠近 MIC 摆放，从 MIC 引出来的走线必须先经过 ESD 器件，再连接其他器件；
- MIC 作为 AEC 回路时，AEC 电路靠近功放布局并按照原理图顺序整齐摆放。

图 4-8 AEC 电路 PCB 布局



LINEIN/FMIN 建议 Layout 采用以下原则：

- 每对 L、R 信号分别包地，线宽 4mil；走线及过孔远离高速信号及时钟信号。

LINEOUT 建议 Layout 采用以下原则：

- LINEOUTL/R P/N 信号包地，建议线宽 7mil，走线及过孔远离高速信号及时钟信号。

4.10 LCD Layout 设计

RGB 建议 Layout 采用以下原则：

- RGB、行场同步、DE 等信号参考时钟做等长处理；
- 时钟信号包地，串电阻靠近主控；
- MIPI、LVDS 建议 Layout 采用以下原则：
 - DATA 线做 100Ω 阻抗控制，按差分规则走线，两两包地；
 - 差分时钟包地处理；
 - LVDS 差分约束：1080P 差分对内等长≤10mil，差分对之间控制等长≤180mil；720P 差分对内等长≤20mil，差分对之间控制等长≤450mil，过孔数量≤2；
 - MIPI 差分约束：差分对内等长≤10mil，差分对之间控制等长≤160mil，过孔数量≤2。

4.11 CSI Layout 设计

CSI 建议 Layout 采用以下原则：

- PCLK 的对地电容靠近主控，串联电阻靠近模组；
- MCLK 的对地电容靠近模组，串联电阻靠近主控；
- Vsync、Hsync、Data 串联电阻靠近模组；
- PCLK/MCLK 信号包地处理，如空间受限，需保持该信号线在间距≤15mil 空间内无其他走线，尽量与 DATA 线拉开距离；
- DATA、HSYNC、VSYNC 参考 PCLK 做 500mil 的组内等长，PCLK 尽量不要因为追求等长而走蛇形线。

4.12 WIFI 和天线 Layout 设计

WIFI 建议 Layout 采用以下原则：

- 模组尽量靠近天线或天线接口。模组下方尽量不要走线，模组下方的 GND 全部打过孔。远离电源、LCD 电路、摄像头、马达、HPOUT 等易产生干扰的模块；
- 天线馈线控制 50ohm，为了增大线宽减少损耗，通常馈线相邻层挖空，隔层参考，参考平面需要是完整地，同层地距离天线馈线距离保持一致，两边多打地过孔；
- 射频线需要圆滑不能换层，并进行包地处理，两边均匀的打地过孔，射频线需要远离时钟线的干扰；
- 合理布局天线馈线的匹配电容电阻，使馈线平滑，最短，无分支，无过孔，少拐角；

- 如使用 PCB 走线作天线，请确保天线走线附近区域完全净空，净空区大于 50mm²，天线本体至少距周围的金属 1cm 以上；
- WIFI On Board 设计时请与 WIFI 厂商联系获得官方 Layout 指南。

4.13 GMAC Layout 设计

GMAC 建议 Layout 采用以下原则：

- 保证以太网变压器的底部不要走线并禁铜，防止地上的干扰耦合到变压器或走线影响信号质量。

图 4-9 单网口禁铜参考

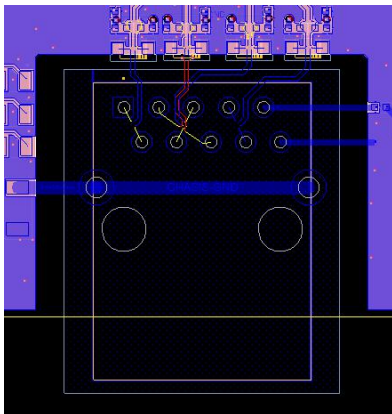
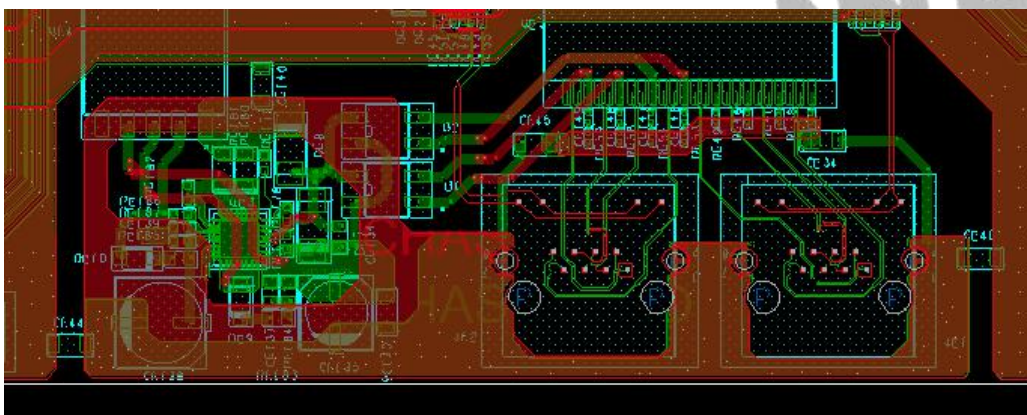


图 4-10 双网口禁铜参考



- 板上其他信号，尽量远离初、次级信号，以及匹配电阻/共模电容，距离不小于 50mils。防止在雷击时串扰到附近的走线或器件上，导致器件损坏
- GMAC Layout 设计时请与 EPHY 厂商联系获得官方 Layout 指南。

5 热设计

5.1 热工作条件

- 热设计的最主要目的是确保电子设备中元器件的工作温度低于其最大的许可温度。
- 元器件的最大许可温度根据可靠性要求及失效率确定。对于半导体器件和集成电路，主要是控制结温 T_j ，热设计要保证 $T_j \leq 0.9 \cdot T_{jmax}$ ，其中 T_{jmax} 是器件的最大许可结温。
- 对于 R528 而言，其 $T_{jmax} = 125^\circ\text{C}$ ，设计应保证 T_j 应小于 112°C 。

R528 的封装热阻参数如表所示。

表 5-1 R528 热特性参数

| 参数 | 符号 | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------|---------------|-----|-------|-----|---------------------------|
| 结（即芯片）到空气环境的热阻 | θ_{JA} | — | 26.56 | — | $^\circ\text{C}/\text{W}$ |
| 结（即芯片）到 PCB 的热阻 | θ_{JB} | — | 11.68 | — | $^\circ\text{C}/\text{W}$ |
| 结（即芯片）到封装外壳的热阻 | θ_{JC} | — | 4.53 | — | $^\circ\text{C}/\text{W}$ |



说明

热阻基于 JEDEC JESD51-2 标准给出，条件为：自然对流，no airflow。

由于实际系统设计及温度不同于 JEDEC JESD51 标准不同，仿真结果仅供参考，请以实际应用情况下的测试结果为准。

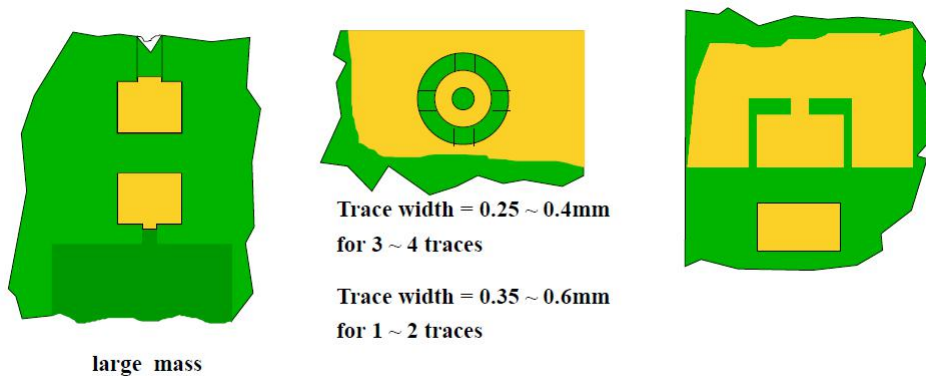
5.2 散热设计参考

5.2.1 布局布线的热设计原则

- 大功耗器件尽量靠近 PCB 板上的大面积地层铜箔，借助铜箔散热；有些 BGA 芯片的中间部分焊球是专门设计来散热的，因此一定要接到地层上；
- PCB 板上功耗大的器件，放在出风口附近；热敏感器件，放在进风口附近；不要将发热器件相互靠得太近，更不要将高的元器件挡在功耗大的器件前面；对于功率密度高的器件，建议不要靠压在 PCB 的铜箔上散热，而要立起来，用散热器散热，功耗大的器件立起来自然散热时，建议将面积大的散热面与空气流动方向平行；
- PCB 板上的元器件加散热器时，要注意使散热器的肋片方向与气流方向平行，对于确实无法保证这点的，可以使用对气流方向不敏感的指型散热器；
- 对模块内部不能够吹到风的 PCB 板，在布局元器件时，元器件与元器件之间，元器件与结构件之间应保持一定距离，以便空气流动，增强对流换热。
- 在 PCB 上布置各种元器件时，应将功率大、发热量大的元器件放在 PCB 边沿和顶部（重力 top 面），以利于散热；
- 应将不耐热的元件（如电解电容）放在靠近进风口的位置，而将本身发热而又耐热的元件（如电阻，变压器等）放在靠近出风口的位置；
- 在 PCB 上布置各种元器件时，应将功率大、发热量大的元器件放在出风口的位置；
- 对热敏感元件，在结构上应采用“热屏蔽”方法解决：
 - 尽可能将热通路直接连接到热沉；
 - 减少高温与低温元器件之间的辐射耦合，加热屏蔽板，形成热区和冷区；
 - 尽量降低空气的温度梯度；
 - 将高温元器件安装在内表面高黑度，外表面低黑度的机壳中。
- 对于 BGA 封装 IC，则要在 IC 正下方铺尽量多的铜平面，并通过散热过孔与内层和底层的大面积铜平面连接。
- 要保证印制线的载流容量，印制线的宽度必须适于电流的传导，不能引起超过允许的温升和压降。

- 较大的焊盘及大面积铜皮对管脚的散热十分有利，但在过波峰焊或回流焊时由于铜皮散热太快，容易造成焊接不良，必须进行隔热设计，如 GND 花接等，常见的隔热设计方法如图所示。

图 5-1 焊盘的隔热设计



5.2.2 散热器选择原则

- 选择合适的散热器，不仅与散热器的大小有关，而且和地域、环境、温度（季节）、通风条件及安装密度，模块工作电流大小等因素有关。
- 接触面：要求发热件与散热器要有良好接触，尽可能降低接触热阻，所以最好有大的接触面，接触面还需要有较高的光洁度，为了弥补因接触面的粗糙而导致的贴合不良，可以在中间涂抹导热脂，可以有效降低接触热阻；
- 导热材料：铜、铝都有较好的导热性能，铜的导热系数虽然优于铝，但铜有密度太高、价格贵的缺点，所以实际应用中铝材是应用最多；
- 固定方式：这个也是比较重要的一环，如果不能把发热件与散热片良好接触，也是无法有效把热量传导到散热器上的，应用中有直接用螺丝钉紧固的，也有用弹簧片压固的，可以根据需要选择设计；
- 形状：包括页片与基材的形状尺寸，要有尽可能加大散热表面积，这样散热片的热量才能快速与周围空气对流，比如说增加页片数目，在页片上做波浪纹都是好办法；基材要厚一些比较好，长而薄的散热片效率很差，在远端基本上是不起作用的了自然对流：发热器件或者散热片的热量可以是依靠；
- 自然对流散热：在使用功率器件时最重要的是如何使其产生的热量有效地散发出去，以获得高可靠性。散热的最一般方法是把器件安装在散热器上，散热板将热量辐射到周围的空气中去，以及通过自然对流来散发热量。

5.2.3 导热介质选择原则

为了解决功率器件与散热器间的电气绝缘问题，功率器件与散热器间应加导热绝缘材料，考虑到性价比，在散热条件不是很恶劣，如功率器件损耗较小或功率器件处于有利的通风位置时，可选用通用的导热绝缘材料 SP400，其它条件下可选用散热性能较好的 SP900S，只有在特殊情况下，才允许选用 SP2000。其性能参数如下表所示：

表 5-2 R528 热特性参数

| 材料 | Sil-pad2000 | Sil-pad900S | Sil-pad400 | 陶瓷基片 |
|-----------------------------|--------------|--------------|--------------|--------------|
| 材料厚度(mm) | 0.25 ± 0.025 | 0.23 ± 0.025 | 0.23 ± 0.025 | 0.63 ± 0.025 |
| 导热系数 W/m.k | 3.5 | 1.6 | 0.9 | 27 |
| 单位面积热阻 °Ccm ² /W | 1.29 | 2.6 | 4.6 | 1.2 |
| 使用温度 °C | -60~180°C | -60~180°C | -60~180°C | -60~180°C |
| 材料构成 | 硅橡胶 / 玻璃纤维 | 硅橡胶 / 玻璃纤维 | 硅橡胶 / 聚脂薄膜 | 陶瓷 + 三氧化二铝 |
| 实测热阻值 | <0.4 | <0.6 | <0.9 | <0.35 |

说明

实测热阻值是在采用 T0-247 封装，在紧固压力为 12Kg.cm 下测得。

5.2.4 器件安装的原则

- 元器件的安装应尽量减少元器件壳与散热器表面间的热阻，即接触热阻；
- 为尽量减小传导热阻，应采用短通路，即尽可能避免采用导热板或散热块把元器件的热量引到散热器表面，而元器件直接贴在散热器表面则是最经济、最可靠、最有效的散热措施；
- 为了改善器件与散热器接触面的状况，应在接触面涂导热介质，常用的导热介质有导热脂、导热胶、导热硅油、热绝缘胶等；
- 对器件须与散热器绝缘的情况，采用的绝缘材料应同时具有良好的导热性能，且能够承受一定的压力而不被刺穿；
- 把器件装配在散热器上时，应控制安装压力或力矩进行装配，压力不足会使接触热阻增加，压力过大会损坏器件；
- 将大功率混合微型电路芯片安装在比芯片面积大的散热片上；
- 对于多层印制线路板，应利用电镀通孔来减少通过线路板的传导热电阻。这些小孔就是热通路或称热道；
- 当利用接触界面导热时，采用下列措施使接触热阻减到最小。
 - 尽可能增大接触面积；
 - 确保接触表面平滑；
 - 利用软材料接触；
 - 扭紧所有螺栓以加大接触压力(注意不应残留过大应力)；
 - 利用合理的紧固件设计来保证接触压力均匀。

5.3 功耗管理参考建议

- 提高电源转换效率，对于小型化的产品或者对热设计要求较高的产品，电路设计时推荐采用 DCDC 代替 LDO 供电，尽量少用高压差的 LDO；
- 软件优化场景功耗，不使用的内部模块或者外设，可以通过软件关闭相应模块的供电；
- 软件根据应用场景和 VF 表实时选择合适的 CPU 工作电压，以降低芯片功耗；
- 实时监控芯片内部温度 Sensor，限定芯片最高工作温度，保护芯片。

6 EMC 设计

6.1 ESD 设计

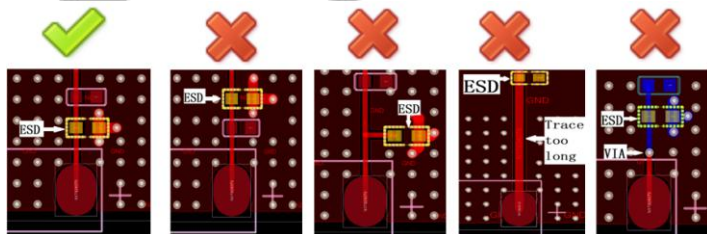
原理图 ESD 设计建议参考如下：

- 系统挂死与 IO 的抗 ESD 能力有关，提高各接口输入 PIN 的 ESD 能力有助于提高系统 ESD，如 USB-ID/CARD-DET 检测 PIN 到 SOC 端串接电阻提高 ESD 性能；
- 各接口均要根据接口类型在电源和信号上预留合适的 ESD 保护器件；
- Reset 信号建议增加 1nF 电容接地，电容靠近主控摆放；电容接地端需用过孔加强连接；Reset 走线需要全程用 GND 走线保护；
- 对于模组上的 reset 信号，需在模组上靠近芯片管脚的位置增加 1~100nF 电容接地；
- 关键敏感电源采用 LC 滤波设计。

PCB ESD 设计建议参考如下：

- PCB 层叠设计必须保证比较完整的 GND 平面，所有的 ESD 泄放路径直接通过过孔连接到这个完整的 GND 平面；其他层尽可能多的铺 GND。
- POWER 平面要比 GND 平面内缩不少于 3H（H 指 POWER 平面相对 GND 平面的高度）。
- 在 PCB 四周增加地保护环。
- 关键信号（RESET/Clock 等）与板边距离不小于 5mm，同时必须与走线层的板边 GND 铜皮距离不小于 10mils。
- CPU/晶振等 ESD 敏感的关键器件，离外部金属接口的距离不小于 20mm，如果小于 20mm，建议预留金属屏蔽罩，并且距离其他板边不小于 5mm。
- 关键信号（RESET/Clock 等）尽量避免与外部接口信号或经过 IO 附近的走线相邻并行走线；如果不可避免，相邻并行的走线长度不超过 100mils；IO 保护地下方尽量不要走线，在必须走线的情况下建议走内层。
- 无论外部接口信号还是内部信号，走线必须避免多余的桩线。
- 必须保证外部连接器金属外壳接地良好，在板边直接通过过孔连接 GND 平面，每个 GND 焊盘与 GND 平面之间的连接过孔不少于 3 个。
- 对于部分 ESD 整改难度较大的 IO，可将 IO GND 独立出来，与主 GND 用磁珠连接以防止静电能量进入主 GND（需在信号质量可接受的范围内）。
- 外部接口信号必须连接 ESD 器件，进行 ESD 保护。如下图所示，外部接口信号 ESD 器件尽可能靠近外部连接器，与连接器间避免过孔；ESD 器件接地端直接通过过孔连接到 GND 平面，而且过孔数量不少于 3 个；从外部接口进来，必须最先经过 ESD 器件；ESD 器件的信号端与外部信号端必须尽可能短，尽可能宽，建议直接搭接在信号走线上。

图 6-1 ESD 器件摆放位置



软件 ESD 设计建议参考如下：

- 把不用的 IO 口设置为低电平；
- 加看门狗，对保护的目标状态位进行检测。

结构 ESD 设计建议参考如下：

- 建议在 PCB 板双面四周均匀留出多个不小于 25mm² 的 GND 裸露铜皮（此铜皮直接通过过孔与 GND 平面相连），并通过导电棉与金属平面相连接；
- 把端口的地与金属壳相连接而加大 ESD 的泄放空间。

- 如果结构允许，建议增加屏蔽罩，对关键电路进行屏蔽，同时必须保证屏蔽罩的各边良好接地；（避免屏蔽罩电荷积累，对内部信号放电）；
- 螺丝钉要避免伸入机构成为天线；
- 塑胶内层喷导电漆屏蔽。

6.2 EMI 设计

产品设计初期，应了解硬件系统有哪些时钟信号，对这些信号加以防护，以提高产品 EMI 性能，减少后续 DEBUG 成本。

R528 各模块主时钟频率如表所示。

表 6-1 R528 各接口时钟频率

| 接口 | 时钟 | 时钟频率 | 是否支持展频 |
|------|----------|----------------------|--------|
| TWI | TWI-SCK | 100K~400 KHz | 支持 |
| IIS | IIS-MCLK | 24.576MHz、22.5792MHz | 支持 |
| SDIO | SDC-CLK | 50MHz、100MHz、150MHz | 支持 |
| SPI | SPI-CLK | 50MHz、100MHz | 支持 |
| USB | DP/DM | 12Mbps、480Mbps | 不支持 |

EMI 设计建议参考如下：

- 各接口按照模块原理图和 PCB 设计要求进行。
- 多层板设计时，硬件系统上高速时钟线建议走内层；且较高速的单端的时钟线上均要预留 RC 滤波电路，抑制高频分量，对于各模块时钟线进行包地处理。
- 差分对信号进行按照差分对要求走线，若无空间，需要满足 3W 原则。
- 排线座子合理布局，排线下方尽量不要有元器件和 PCB 走线；
- 若受结构限制，排线必须拉得很长，则建议排线座子信号线采用两两包地方式，排线必要时要采用带屏蔽线。
- PCB 背面预留一些空白地位置，使用导电泡棉与机壳金属接触，改善地回路；
- 喇叭线采用双绞线。

著作权声明

版权所有©2020 珠海全志科技股份有限公司。保留一切权利。

本文档及内容受著作权法保护，其著作权由珠海全志科技股份有限公司（“全志”）拥有并保留一切权利。

本文档是全志的原创作品和版权财产，未经全志书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本文档内容的部分或全部，且不得以任何形式传播。

商标声明

、、、（不完全列举）均为珠海全志科技股份有限公司的商标或者注册商标。在本文档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与珠海全志科技股份有限公司（“全志”）之间签署的商业合同和条款的约束。本文档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本文档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超频，超温使用）造成的不利后果，全志概不负责。

本文档作为使用指导仅供参考。由于产品版本升级或其他原因，本档内容有可能修改，如有变更，恕不另行通知。全志尽全力在本文档中提供准确的信息，但并不确保内容完全没有错误，因使用本档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，全志概不负责。本档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本档未以明示或暗示或其他方式授予全志的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。全志不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。全志不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。

