

Netforward

SF2507V/SF2507EV 高性能以太网交换芯片 数据手册

文档版本 1.4
发布日期 2022-06-24

版权所有 © 深圳市楠菲微电子有限公司。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式或任何方式传播。

商标声明

Netforward、**楠菲微电子**和其他楠菲标志均为深圳市楠菲微电子有限公司的商标。楠菲所有产品的标志均为深圳市楠菲微电子有限公司商标或注册商标。未经楠菲书面授权或允许，任何单位和个人不可使用这些标志。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受深圳市楠菲微电子有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，楠菲公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市楠菲微电子有限公司

地址：深圳市南山区高新北六道 25 号 2 楼

电话：0755-26409812

网址：<http://www.netforward-tech.com>

邮箱：support@netforward-tech.com

修订记录

修订记录累积了本文档每次修订的具体信息。

序号	版本	修改日期	修改说明
1	V1.0	2021/06/30	第一次正式版本发布。
2	V1.1	2021/07/20	1、第 5.21 章节，增加双色 LED 描述。 2、第 6.5.2 章节，修订 SPI 读写时序图。
3	V1.2	2022/03/30	1、更新表 9-6 表头描述，“PHY Mode”修正为“MAC Mode”。 2、更新表 9-9 的 Pin Name。 3、更新 9.1.3 和 9.2.3 章节的描述：修正“5.21 章节”为“6.21 章节”。 4、更新表 9-26 中 Pin 76 的 Pin Name。 5、更新表 9-21 和表 9-9 中 Pin 85 的描述：增加 100Base-FX Los 信号功能复用描述。 6、更新图 6-3 描述：“单色 LED 应用示意图”修正为“双色 LED 应用示意图”。 7、新增时钟接口描述，在第 10.5 章节。 8、更新 11.2 章节中 RGMII/MII/RMII 时序图和时序表。 9、修正第 6.21 章节 LED 接口模式 0000 和 0001 功能描述。 10、修正第 10.1，第 7.1.2，第 7.7.2.2，第 9.2.1，第 9.2.5.1 等章节笔误； 11、修正封装信息中 pin 间距 e，删除最大和最小值。 12、增加 GMAC 驱动电流描述，在第 10.3 章节。 13、更新 I2C 参数表，增加 400KHz 时参数描述，在第 11.1.2 章节。 14、更新 7.2.2 章节访问外部 EEPROM 时序说明，不支持数据校验。 15、更新 9.1.4/9.1.5/9.1.6/9.2.4/9.2.5/9.2.6 章节表格中 IO 类型。 16、新增 SPI mode0 和 mode3 访问描述，在第 7.5.1 章节。 17、更新 11.1.6 章节 SMI Slave 接口访问时序，新增下降沿采样时序描述。 18、更新第 6.23 章节框图笔误。 19、更新 10.4 章节上电复位时序，删除 t7 要求。 20、更新热阻参数。 21、新增表 6-6 LED 工作模式：1110，LINK 状态指示。 22、增加商业级型号 SF2507VBC、SF2507EVBC
4	V1.3	2022/04/24	1、更新 10.2 章节，DVDDL、AVDDL 供电电压。 2、9.1.8、9.2.9 章节，新增 DVDDIO_2、DVDDIO_1 数字电源描述。 3、删除第 14 章节，两个宽温型号。
5	V1.4	2022/06/24	1、修订 6.21 章节，增加 LED 引脚模式配置基于 port_n LED 组配置说明。 2、修订 9.1.2.2、9.2.2.2 章节，RMII 模式下 46 和 62 引脚的类型为“O”。

目录

修订记录.....	2
目录.....	3
1 概述.....	10
2 芯片综述.....	12
3 芯片特性.....	13
4 应用实例.....	16
4.1 无外部管理应用场景.....	16
4.2 有外部管理应用场景.....	16
4.3 内嵌 SOC 管理应用场景（SF2507EV 特有）.....	17
5 芯片框图.....	18
6 芯片功能描述.....	19
6.1 RMA.....	19
6.2 VLAN.....	20
6.2.1 Tag-based VLAN.....	20
6.2.2 Enhanced VLAN.....	21
6.2.3 Protocol-based VLAN.....	21
6.2.4 Port-based VLAN.....	22
6.2.5 VLAN Filtering.....	22
6.2.6 Egress tag.....	23
6.2.7 FID/MSTI.....	23
6.3 SVLAN.....	23
6.3.1 S-VLAN.....	24
6.3.2 上行策略.....	24
6.3.3 下行策略.....	24
6.4 L2.....	24
6.4.1 Learning and Forward.....	24
6.4.2 IVL and SVL.....	25
6.4.3 Age and Flush.....	25
6.5 CPU PORT.....	25
6.5.1 CPU tag.....	25
6.5.2 CPU tag aware port.....	27
6.5.3 CPU TRAP PORT.....	27
6.5.4 CPU tag 在报文中的位置.....	28
6.6 STORM CONTROL.....	28
6.7 PORT SECURITY.....	28
6.8 MIRRORING.....	28
6.9 IGMP/MLD SNOOPING.....	28

6.10 IEEE 802.1X	29
6.10.1 Port-based 接入控制	29
6.10.2 MAC-based 接入控制	29
6.10.3 Guest VLAN	29
6.11 SPANNING TREE	29
6.12 LINK AGGREGATION	30
6.13 PORT ISOLATION	30
6.14 LDP	30
6.15 OAM	31
6.16 ACL	31
6.17 QOS	31
6.17.1 入端口限速	31
6.17.2 内部优先级	31
6.17.3 队列调度	32
6.17.4 出队列限速	32
6.17.5 出端口限速	32
6.17.6 重标记	32
6.18 SHARE METER	32
6.19 流控	33
6.19.1 IEEE 802.3x 全双工流控	33
6.19.2 半双工流控	33
6.20 RESET	33
6.20.1 硬件复位	33
6.20.2 软件复位	33
6.21 LED	33
6.22 外部中断	35
6.23 内嵌 SOC (SF2507EV 特有)	35
6.24 MIB	38
7 芯片接口功能描述	42
7.1 MDI/100BASE-FX 接口	42
7.1.1 电口发送功能	42
7.1.2 电口接收功能	43
7.1.3 自协商功能	43
7.1.4 线序交叉检查和自动修正功能	43
7.1.5 极性修正功能	43
7.1.6 100Base-FX 百兆光口	43
7.2 I2C MASTER 接口	43
7.2.1 访问外部 EEPROM 概述	43
7.2.2 访问外部 EEPROM 时序说明	44
7.3 I2C SLAVE 接口	46
7.3.1 通过 I2C 接口访问内部寄存器概述	46
7.3.2 通过 I2C 接口访问内部寄存器时序说明	46
7.4 SPI MASTER 接口	47
7.5 SPI SLAVE 接口	48

7.5.1 通过 SPI 接口访问内部寄存器概述.....	48
7.5.2 通过 SPI 接口访问内部寄存器时序说明.....	49
7.6 SMI MASTER 接口 (SF2507EV 特有)	49
7.7 SMI SLAVE 接口.....	50
7.7.1 通过 SMI 接口访问内部寄存器概述.....	50
7.7.2 通过 SMI 接口访问内部寄存器时序说明.....	50
7.8 RGMII/RMII/MII 接口	51
7.8.1 MII MAC/PHY 接口.....	52
7.8.2 RMII MAC/PHY 接口	53
7.8.3 RGMII 接口.....	54
8 引脚定义	55
8.1 SF2507V 引脚说明.....	56
8.1.1 SF2507V 引脚分布图.....	56
8.1.2 SF2507V 引脚列表.....	57
8.2 SF2507EV 引脚说明.....	60
8.2.1 SF2507EV 引脚分布图.....	60
8.2.2 SF2507EV 引脚列表.....	61
9 引脚信号描述.....	64
9.1 SF2507V 引脚信号描述.....	64
9.1.1 电口/100Base-FX 光口 Pin	64
9.1.2 RGMII/RMII/MII Pin.....	66
9.1.3 LED Pin.....	71
9.1.4 Strapping Pin.....	72
9.1.5 管理接口 Pin.....	74
9.1.6 Test Pin	75
9.1.7 其他功能 Pin.....	75
9.1.8 电源和地接口 Pin.....	75
9.2 SF2507EV 引脚信号描述.....	76
9.2.1 电口/100Base-FX 光口 Pin	76
9.2.2 RGMII/RMII/MII Pin.....	77
9.2.3 LED Pin.....	83
9.2.4 Strapping Pin.....	84
9.2.5 管理接口 Pin.....	86
9.2.6 JTAG Pin.....	87
9.2.7 Test Pin	88
9.2.8 其他功能 Pin.....	88
9.2.9 电源和地接口 Pin.....	89
10 电气特性	90
10.1 极限使用场景.....	90
10.2 推荐使用场景.....	90
10.3 DC 特性	90
10.4 上电和复位.....	91

10.5 系统时钟.....	92
10.5.1 晶体参数.....	92
10.5.2 晶振参数.....	92
11 时序特性	93
11.1 管理接口.....	93
11.1.1 I2C Master 接口时序特性.....	93
11.1.2 I2C Slave 接口时序特性.....	94
11.1.3 SPI Master 接口时序特性.....	95
11.1.4 SPI Slave 接口时序特性.....	95
11.1.5 SMI Master 接口时序特性.....	96
11.1.6 SMI Slave 接口时序特性.....	96
11.1.7 UART 接口.....	98
11.2 RGMII/RMII/MII 接口	98
11.2.1 MII 接口 MAC 模式时序特性.....	98
11.2.2 MII 接口 PHY 模式时序特性.....	99
11.2.3 RMII 接口 MAC 模式时序特性.....	100
11.2.4 RMII 接口 PHY 模式时序特性.....	101
11.2.5 RGMII 接口时序特性.....	102
12 热参数特性.....	104
13 封装信息	105
14 订购信息	107

表 6-1 RMA 地址定义	19
表 6-2 4K VLAN table 表项定义.....	20
表 6-3 8 Bytes mode CPU TAG Frame.....	25
表 6-4 4 Bytes mode CPU TAG Frame.....	26
表 6-5 CPU tag 字段描述.....	26
表 6-6 LED 工作模式.....	34
表 7-1 MDI Pin 映射表	43
表 7-2 SPI 指令表	47
表 7-3 GMAC1 Pin 复用表.....	51
表 7-4 GMAC2 Pin 复用表.....	51
表 8-1 SF2507V 引脚 Pin 表.....	57
表 8-2 SF2507EV 引脚 Pin.....	61
表 9-1 电口 Pin 表.....	64
表 9-2 100Base-FX 接口 Pin 表.....	65
表 9-3 RGMII/RMII/MII 接口 Pin 表.....	66
表 9-4 GMAC1/GMAC2 MII (MAC Mode) 接口 Pin 表.....	66
表 9-5 GMAC1/GMAC2 MII (PHY Mode) 接口 Pin 表.....	67
表 9-6 GMAC1/GMAC2 RMII (MAC Mode) 接口 Pin 表.....	68
表 9-7 GMAC1/GMAC2 RMII (PHY Mode) 接口 Pin 表.....	69
表 9-8 GMAC1/GMAC2 RGMII 接口 Pin 表.....	70
表 9-9 LED 接口 Pin 表.....	71
表 9-10 Strapping 接口 Pin 表.....	72
表 9-11 SPI Slave 接口 Pin 表.....	74
表 9-12 I2C Master/Slave 接口 Pin 表.....	74
表 9-13 SMI Slave 接口 Pin 表.....	74
表 9-14 Test 接口 Pin 表.....	75
表 9-15 其他功能接口 Pin 表.....	75
表 9-16 电源和地接口 Pin 表.....	75
表 9-17 电口 Pin 表.....	76
表 9-18 100Base-FX 接口 Pin 表.....	77
表 9-19 RGMII/RMII/MII 接口 Pin 表.....	77
表 9-20 GMAC1/GMAC2 MII (MAC Mode) 接口 Pin 表.....	78
表 9-21 GMAC1/GMAC2 MII (PHY Mode) 接口 Pin 表.....	79
表 9-22 GMAC1/GMAC2 RMII (MAC Mode) 接口 Pin 表.....	80
表 9-23 GMAC1/GMAC2 RMII (PHY Mode) 接口 Pin 表.....	81
表 9-24 GMAC1/GMAC2 RGMII 接口 Pin 表.....	82
表 9-25 LED 接口 Pin 表.....	83
表 9-26 Strapping 接口 Pin 表.....	84
表 9-27 SPI Master/Slave 接口 Pin 表.....	86
表 9-28 I2C Master/Slave 接口 Pin 表.....	86
表 9-29 SMI Slave 接口 Pin 表.....	87
表 9-30 SMI Master 接口 Pin 表.....	87
表 9-31 UART 接口 Pin 表.....	87
表 9-32 SOC JTAG 接口 Pin 表.....	87

表 9-33 TEST 接口 Pin 表	88
表 9-34 其他功能接口 Pin 表	88
表 9-35 电源和地接口 Pin 表	89
表 10-1 极限使用场景	90
表 10-2 推荐使用场景	90
表 10-3 DC 特性表	90
表 10-4 芯片上电复位参数说明	91
表 10-5 25MHz 晶体参数表	92
表 10-6 25MHz 晶振参数表	92
表 11-1 I2C Master 时序参数表	93
表 11-2 I2C Slave 时序参数表	94
表 11-3 SPI Master 时序参数表	95
表 11-4 SPI Slave 时序参数表	96
表 11-5 SMI Master 时序参数表	96
表 11-6 SMI Slave 时序参数表	97
表 11-7 MII MAC 模式输出时序参数表	98
表 11-8 MII MAC 模式输入时序参数表	98
表 11-9 MII PHY 模式输出时序参数表	99
表 11-10 MII PHY 输入时序参数表	99
表 11-11 RMII MAC 模式输出时序参数表	100
表 11-12 RMII MAC 模式输入时序参数表	100
表 11-13 RMII PHY 输出时序参数表	101
表 11-14 RMII PHY 时序参数表	101
表 11-15 RGMII 输出时序参数表	102
表 11-16 RGMII RX 时序参数表	103
表 12-1 Assembly Description	104
表 12-2 Thermal Specifications	104
表 13-1 LQFP-128 封装信息	105
表 14-1 订购信息	107

图 4-1 无外部管理情况下使用集成 PHY 的 5 个 PORT 端口	16
图 4-2 外部管理通过 GMAC1/GMAC2 进行数据通信	17
图 4-3 内部 SOC 通过内部 APB 总线对交换芯片进行管理	17
图 5-1 芯片框图	18
图 6-1 芯片解析报文帧类型的处理流程	22
图 6-2 单色 LED 应用示意图	35
图 6-3 双色 LED 应用示意图	35
图 6-4 SOC 地址映射空间	36
图 6-5 SF2507EV SOC 系统上电配置流程	38
图 7-1 芯片内 MDI 功能框图	42
图 7-2 EEPROM 配置加载流程	46
图 7-3 MII MAC 模式下接口连接图 (100Mbps)	52
图 7-4 MII PHY 模式下接口连接图 (100Mbps)	52
图 7-5 RMII MAC 模式下接口连接图 (100Mbps)	53
图 7-6 RMII PHY 模式下接口连接图 (100Mbps)	53
图 7-7 RGMII 模式下接口连接图 (1000Mbps)	54
图 8-1 SF2507V LQFP-128 EPAD 引脚分布图 (TopView)	56
图 8-2 SF2507EV LQFP-128 EPAD 引脚分布 (TopView)	60
图 10-1 芯片上电复位时序图	91
图 11-1 I2C Master 接口时序	93
图 11-2 I2C Master 上电时序	93
图 11-3 I2C Master 自动加载配置时序	93
图 11-4 I2C Slave 接口时序	94
图 11-5 SPI Master 接口时序	95
图 11-6 SPI Slave 接口时序	96
图 11-7 SMI Master 接口时序	96
图 11-8 SMI Slave 接口时序	97
图 11-9 MII MAC 模式输出时序	98
图 11-11 MII MAC 模式输入时序	98
图 11-12 MII PHY 模式输出时序	99
图 11-13 MII PHY 模式输入时序	99
图 11-14 RMII MAC 模式输出时序	100
图 11-15 RMII MAC 模式输入时序	100
图 11-16 RMII PHY 模式输出时序	101
图 11-17 RMII PHY 模式输入时序	101
图 11-18 RGMII 输出时序 (RGn_TXCLK_DELAY=0)	102
图 11-19 RGMII 输出时序 (RGn_TXCLK_DELAY=2ns)	102
图 11-20 RGMII 输入时序 (RGn_RXCLK_DELAY=0)	103
图 11-21 RGMII 输入时序 (RGn_RXCLK_DELAY=2ns)	103

1 概述

本文档介绍了 SF2507V/SF2507EV 芯片的硬件相关内容，详细描述了芯片的 PIN 管脚、外部接口、功耗、物理参数等信息。

读者对象

本文档主要适用于以下工程师

- 硬件设计人员
- 软件设计人员

约定

本文档中出现的下列标志所代表的含义如下表所示：

符号	说明
【危险】	本标志所描述情况对人员有潜在危险，可能会导致人员伤亡。
【警告】	本标志所描述情况对人员有潜在中低度危险，可能会导致人员受伤。
【注意】	本标志所描述情况有潜在风险，未正确操作时，可能会导致设备或芯片损坏、数据丢失、设备性能下降或其他不可预知的后果。
〔说明〕	本标志所描述文本是针对正文需要做的附加说明。

表格内容约定

内容	说明
-	表格中无内容。
*	表格中内容需要用户根据需要进行配置。

寄存器访问类型约定

类型	说明	类型	说明
R/W	可读可写	RW/SC	可读可写、写 1 清 0
RO	只读不可写	R/RC	可读、读 1 清 0
WO	只写不可读	RO/SC	只读、写 1 清 0
R/W1C	可读、写 1 清 0	-	-

数值单位约定

数据容量、数据速率、频率等的表达方式说明信息

类型	符号	说明
数据容量（如 RAM 大小）	1K	1024
	1M	1048576
	1G	1073741824
数据速率、频率	1k	1000
	1M	1000000

	1G	1000000000
--	----	------------

地址、数据表达方式说明信息

符号	举例	说明
0x	0x55AA	十六进制表示，数据值或地址值。
0b	0b0100 1111	二进制表示数据值或序列。

2 芯片综述

SF2507V/SF2507EV 是采用 LQFP128-EPAD 封装、支持 5+2 端口 10/100/1000M 高性能以太网交换芯片。SF2507V/SF2507EV 集成 5 个低功耗特性 GigaPHY，可支持 1000Base-T/100Base-TX/10Base-T/100Base-FX。SF2507V/SF2507EV 集成 2 个 GMAC 端口，可支持 RGMII/RMII/MII 协议，这些接口可连到外部 PHY、MAC、MCU 上进行数据通讯。此外 SF2507V/SF2507EV 还集成了高速交换系统功能：交换处理协议、数据包缓存 SRAM、无阻塞交换结构和内部寄存器管理。SF2507V/SF2507EV 的时钟源只需要一个 25MHz 的晶体或者晶振。可以选择通过 EEPROM 来完成内部寄存器初始化配置，也可通过芯片复用管理接口 I2C/SMI/SPI 进行配置管理。

SF2507V/SF2507EV 内置数据包缓存 SRAM 给 5+2 端口共享这块缓存，提升缓存利用率。SF2507V/SF2507EV 集成了 2K 条 entry 表（另外还支持有 64 条 entry 的逃生桶）。每条 entry 可配置为静态或动态，动态 entry 老化时间在 15~800 秒之间可配。内置 16 组 FID 提供独立的 VLAN 学习和共享 VLAN 学习（IVL/SVL）功能。

SF2507V/SF2507EV 所有端口都支持 VID（PVID）灵活配置。使用此功能时，对于 untagged 或 priority tag 报文可分配 PVID 作为它的 VID。

SF2507V/SF2507EV 支持标准的 802.3x 全双工流量控制帧或半双工背压，支持通过检查系统资源（包括包缓冲区和传输队列）的可用性来确定何时调用流控机制，支持广播/多播报文转发或丢弃。对于 IP 多播应用支持 IPv4 IGMPv1/v2/v3 和 IPv6 MLDv1/v2 侦听。

支持灵活流量分类，支持 96 条 ACL 规则进行检查和多种 action 操作选项。每个端口可选择启用或禁用 ACL 规则检查功能。ACL 规则 key 可基于数据包 port 端口、2/3/4 层信息。当匹配 ACL 规则时，采取的操作可配置为 Drop/Permit/Redirect/Mirror、更改 802.1p/Q 标记中的优先级值和速率等策略。速率控制机制有两种模式：bps 和 pps，其中 bps 的粒度是 8kbps，pps 的粒度是 1pps。

基于生成树协议和多生成树协议，支持 16 组生成树实例配置端口状态：禁用、阻塞、学习和转发。为满足安全和管理应用需求，支持 IEEE 802.1x 基于 PORT/MAC 的访问控制。对于那些未通过 IEEE 802.1x 身份验证的端口，SF2507V/SF2507EV 为它们提供基于 PORT/MAC 的 Guest VLAN 功能，以访问有限的网络资源。支持一组端口镜像配置（RX、TX 或 both 镜像）。每个端口支持多个 RFC MIB Counter 计数器，便于调试和问题定位。

为了支持实时性或者多媒体网络应用场景，芯片每个端口提供 8 个优先级队列，每个接收的报文可以进入任一队列。队列的优先级可以基于 PORT、基于 802.1p/Q VLAN、基于 IPv4/IPv6 报头中的 DSCP 字段、基于 ACL 分配的优先级。输入带宽控制功能有助于限制每个端口的流量利用率。所有端口的每个队列都有一个用于平均包速率控制的漏桶。队列调度算法可以采用严格优先级（SP）或加权公平队列（WFQ）或混合算法。

SF2507V/SF2507EV 为基于标签、基于协议和基于端口的 VLAN 操作提供了一个 4K VLAN 表，支持四组基于协议 VLAN 配置。

3 芯片特性

芯片支持的功能如下：

- 支持 5+2 10/100/1000M 端口
- 内嵌 5 个 10/100/1000Base-T PHY，同时也可以复用为 100Base-FX 光口
- 5 个端口可分别配置为电口或光口模式
- 每个端口支持全双工（10/100/1000M）/半双工（10/100M 模式）
- 集成 2 个扩展口（GMAC1/GMAC2）
- 支持 RGMII/RMII/MII 三种接口协议
- RMII/MII 支持 MAC/PHY 模式
- 基于 802.3x 协议，全双工模式下支持流控机制，半双工模式下支持背压
- 支持 10K 长包线速转发
- 内置 1Mbit Packet Buffer，共 4K cell，每个 cell 32Byte；
- 支持配置 RMA（Reserved Multicast Address）转发行为
- 支持 IEEE802.1Q VLAN
- 支持 4K VLAN 和 32 组 Enhanced VLAN
- 支持 Tag-based VLAN，Protocol-based VLAN（4 组模板）和 Port-based VLAN
- 支持 VLAN Filtering 和 VLAN Egress Filtering leaky
- 支持发送报文时基于 VLAN 或基于端口的设置是否保留 Tag
- 支持基于 VLAN 或端口配置 FID
- 支持 IEEE802.1ad Stacking VLAN
- 支持 64 组 S-VLAN
- 支持基于 C-VLAN 和入端口添加 S-VLAN
- 支持基于 DMAC 或 DIP 对 L2/IPv4 组播报文添加 S-VLAN
- 支持基于入端口添加 S-VLAN
- 支持基于 C-Tag 映射到 C-VLAN
- 支持基于 L2 Forward 查找映射到 C-VLAN
- 支持基于 S-VLAN 和出端口映射到 C-VLAN
- 支持基于端口的 STP 生成树状态，支持 IEEE 802.1D/IEEE 802.1w/IEEE 802.1s 协议标准，其中对于 IEEE 802.1s 协议标准，最多支持 16 个 STP 实例
- 支持 DoS 攻击检测保护，支持 11 种不同的检测类型
- 支持 IVL、SVL 和 IVL/SVL 混杂模式的 L2 Learning 和 Forward
- 支持 2K entry L2 hash table 和 64 entry BCAM table。

- 支持基于全局和基于端口限制源 MAC 地址学习数量
- 支持基于端口限制源 MAC 地址学习速率
- 支持单播表项老化
- 支持全局 Flush 和基于端口 Flush 单播表项
- 支持 IGMP/MLD Snooping 功能，支持 IGMPv1/v2/v3 和 MLDv1/v2 协议报文处理，支持配置静态路由器端口，支持学习和老化动态路由器端口
- 支持学习和老化组播动态表项，支持配置组播静态表项，支持根据组播表项查表转发组播数据报文
- 支持 IEEE 802.1x 接入控制协议
- 支持 Port-based 接入控制
- 支持 MAC-based 接入控制
- 支持 Guest VLAN
- 支持最多 2 组 IEEE 802.3ad 的链路聚合组
- 支持 IEEE 802.3ah OAM
- 支持配置 1 组多对一的端口镜像
- 支持 LDP 协议环回检测功能
- 支持分别针对广播报文/组播报文/未知单播报文的风暴控制
- 支持分别指定未知单播报文/未知组播报文/广播报文的泛洪域
- 支持基于端口配置端口隔离
- 支持 96 条 ACL entry
- 支持基于全局使能/禁止 ACL 功能
- 支持基于端口使能/禁止 ACL 功能
- 支持基于端口配置未找到匹配项时的默认行为
- 支持 5 个用户可灵活配置的 entry 匹配 key 类型的模板
- 支持匹配关键字包括 Physical port、L2、L3 和 L4 等报文字段
- 支持 ACTION 包括 copy、redirect、drop、分配 priority、分配 CVLAN、分配 SVLAN、meter、log counter 及 interrupt 等
- 支持 QOS
- 支持基于漏桶（leaky bucket）机制的入端口限速
- 支持基于 IEEE802.1p/Q、入端口、报文的 DSCP 字段、ACL、CVLAN、SVLAN、MAC SA、MAC DA 分配内部优先级
- 每个端口支持 8 个队列
- 支持 Strict Priority、WFQ 等队列调度模式
- 支持基于 share meter 实现的出端口队列限速
- 支持基于漏桶（leaky bucket）机制的出端口限速

- 支持 64 个基于漏桶 (leaky bucket) 机制的 share meter
- 支持最小粒度 8Kbps、1pps
- 支持基于 pps、Kbps 等模式
- 支持 VLAN meter、ACL meter、storm control、出端口队列限速等业务共享 meter

4 应用实例

4.1 无外部管理应用场景

应用场景 1：无外部管理（MCU、CPU 等）情况下使用集成 PHY 的 5 个 PORT 端口

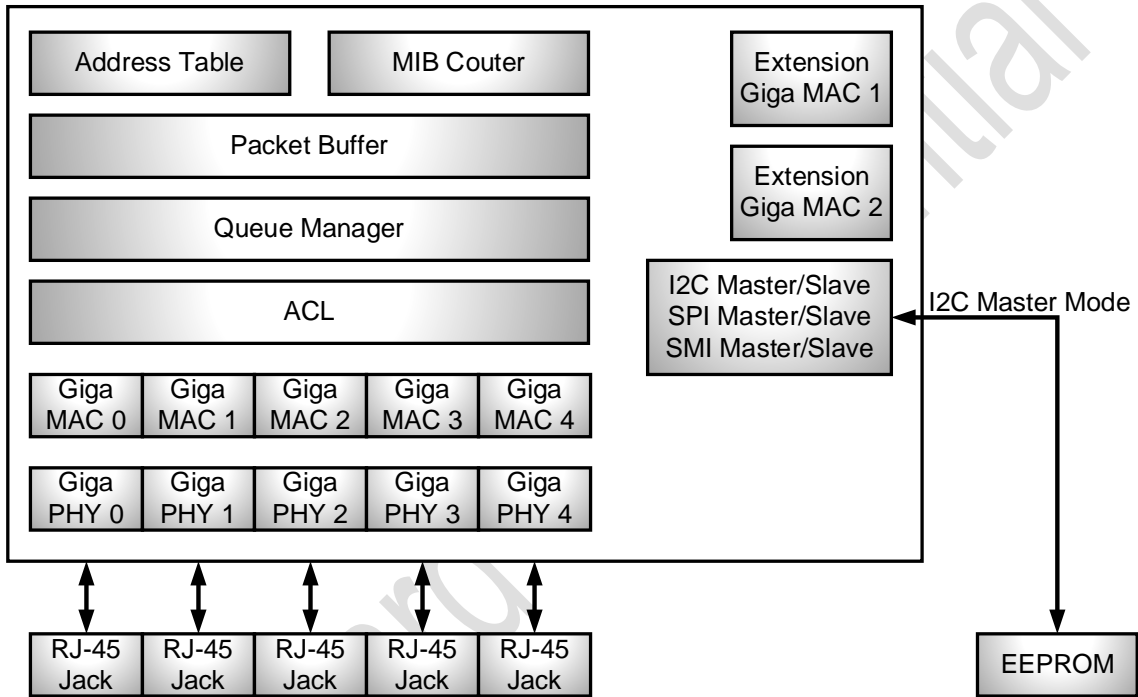


图 4-1 无外部管理情况下使用集成 PHY 的 5 个 PORT 端口

备注：应用场景 1 仅适用于 P0~P4 5 口傻瓜二层交换；

4.2 有外部管理应用场景

应用场景 2：外部 MCU/CPU 等通过 SPI/I2C/SMI Slave 对交换芯片进行管理，Extension Giga-MAC 可以与外部控制器（MCU、CPU、PHY 等）进行数据通信。

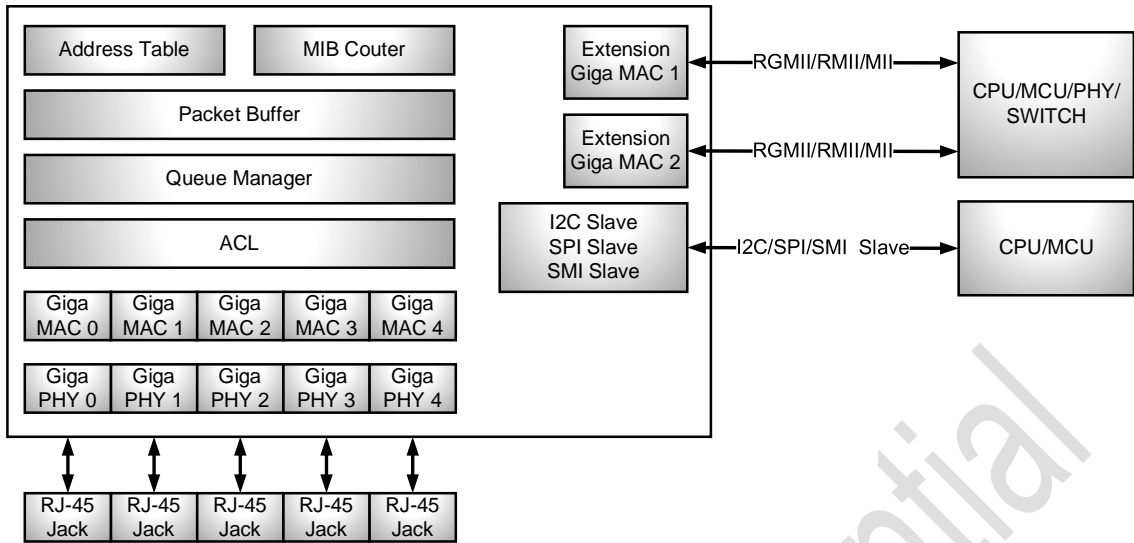


图 4-2 外部管理通过 GMAC1/GMAC2 进行数据通信

4.3 内嵌 SOC 管理应用场景（SF2507EV 特有）

应用场景 3：内部 SOC 通过内部 APB 总线对交换芯片进行管理。

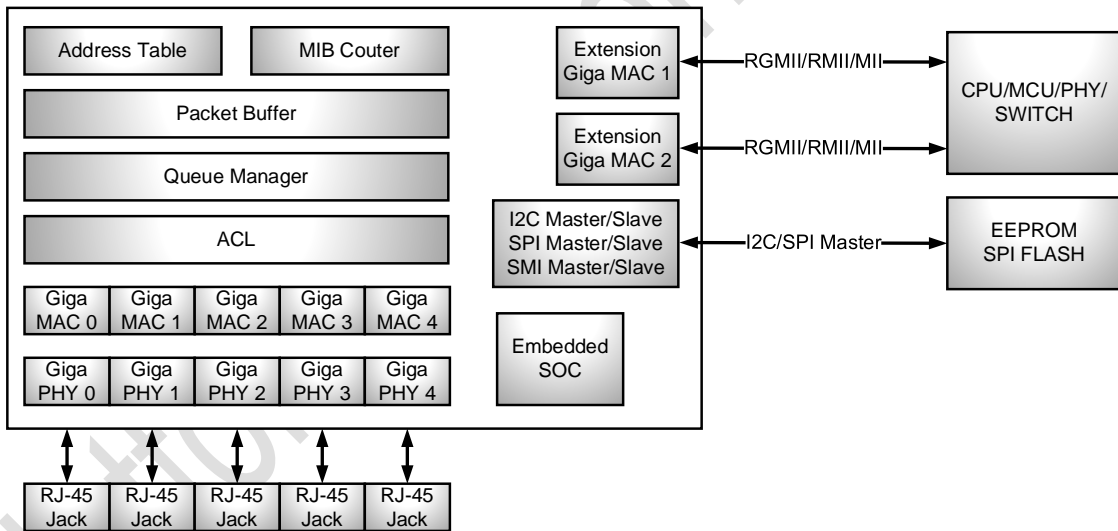


图 4-3 内部 SOC 通过内部 APB 总线对交换芯片进行管理

5 芯片框图

芯片结构框图如下图所示。

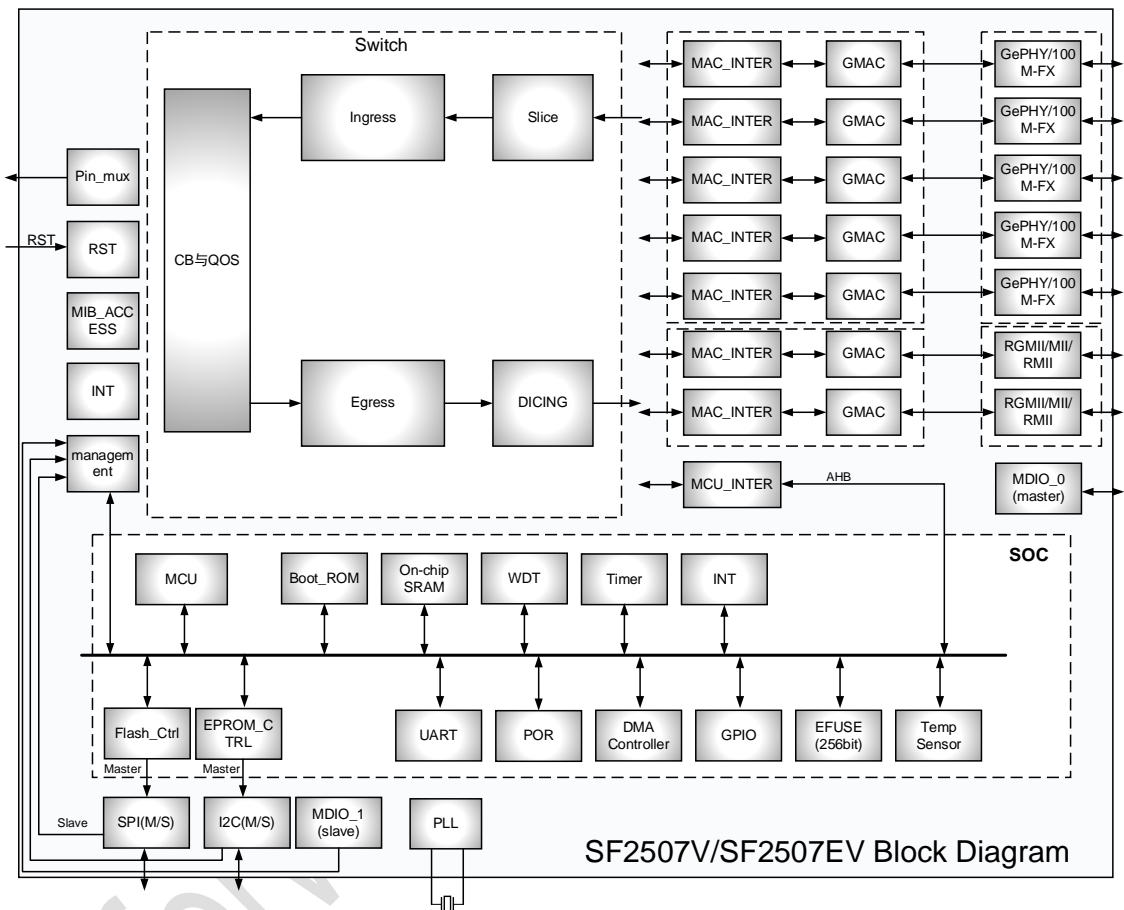


图 5-1 芯片框图

6 芯片功能描述

6.1 RMA

对于 IEEE 802.3 中指定的 reserved group MAC address (01-80-C2-00-00-00 到 01-80-C2-00-00-2F)，本芯片可根据需要配置转发动作。01-80-C2-00-00-01(802.3x Pause)和 01-80-C2-00-00-02 (802.3ad LACP) 默认状态会被丢弃，其它 RMA (Reserved Multicast Address) 默认状态会被转发。本芯片另外还支持单独配置 CDP/CSSTP/LLDP 报文的转发动作。

对于每种 RMA，支持单独配置 bypass 风暴控制、bypass 端口隔离、bypass egress VLAN filtering，以及保持出口报文与原始报文一致。

RMA 地址定义如下：

表 6-1 RMA 地址定义

Protocols Description	Destination MAC Address
Bridge Group Address	01-80-C2-00-00-00
IEEE Std 802.3, 1988 Edition, Full Duplex PAUSE operation	01-80-C2-00-00-01
IEEE Std 802.3ad Slow Protocols-Multicast address	01-80-C2-00-00-02
IEEE Std 802.1X PAE address	01-80-C2-00-00-03
Reserved	01-80-C2-00-00-04
Reserved	01-80-C2-00-00-05
Reserved	01-80-C2-00-00-06
Reserved	01-80-C2-00-00-07
Provider Bridge Group Address	01-80-C2-00-00-08
Reserved	01-80-C2-00-00-09
Reserved	01-80-C2-00-00-0A
Reserved	01-80-C2-00-00-0B
Reserved	01-80-C2-00-00-0C
Provider Bridge GVRP Address	01-80-C2-00-00-0D
IEEE Std. 802.1AB Link Layer Discovery Protocol multicast address	01-80-C2-00-00-0E
Reserved	01-80-C2-00-00-0F
All LANs Bridge Management Group Address	01-80-C2-00-00-10
Load Server Generic Address	01-80-C2-00-00-11
Loadable Device Generic Address	01-80-C2-00-00-12
Reserved	01-80-C2-00-00-13
Reserved	01-80-C2-00-00-14
Reserved	01-80-C2-00-00-15
Reserved	01-80-C2-00-00-16
Reserved	01-80-C2-00-00-17

Generic Address for All Manager Stations	01-80-C2-00-00-18
Reserved	01-80-C2-00-00-19
Generic Address for All Agent Stations	01-80-C2-00-00-1A
Reserved	01-80-C2-00-00-1B
Reserved	01-80-C2-00-00-1C
Reserved	01-80-C2-00-00-1D
Reserved	01-80-C2-00-00-1E
Reserved	01-80-C2-00-00-1F
GMRP Address	01-80-C2-00-00-20
GVRP address	01-80-C2-00-00-2
Undefined GARP address	01-80-C2-00-00-22
Undefined GARP address	01-80-C2-00-00-23
Undefined GARP address	01-80-C2-00-00-24
Undefined GARP address	01-80-C2-00-00-25
Undefined GARP address	01-80-C2-00-00-26
Undefined GARP address	01-80-C2-00-00-27
Undefined GARP address	01-80-C2-00-00-28
Undefined GARP address	01-80-C2-00-00-29
Undefined GARP address	01-80-C2-00-00-2A
Undefined GARP address	01-80-C2-00-00-2B
Undefined GARP address	01-80-C2-00-00-2C
Undefined GARP address	01-80-C2-00-00-2D
Undefined GARP address	01-80-C2-00-00-2E
Undefined GARP address	01-80-C2-00-00-2F
CDP	01-00-0C-CC-CC-CC
CSSTP	01-00-0C-CC-CC-CD
LLDP	Ethertype = 0x88CC & 01-80-C2-00-00-00 or 01-80-C2-00-00-03 or 01-80-C2-00-00-0e

6.2 VLAN

通过 VLAN 可以将同一个物理局域网划分为多个广播域。本芯片共支持 4K（4096）VLAN 和 32 组 Enhanced VLAN，以及 protocol-based VLAN、port-based VLAN 和 VLAN filtering 等多种 VLAN 相关功能，也可以通过 ACL 实现灵活的 VLAN 配置。

6.2.1 Tag-based VLAN

本芯片支持解析 TPID 为 0x8100 的 802.1Q tag。当收到带有 802.1Q tag 的报文时，会使用从报文中解析得到的 VID 查找 4K VLAN table 并转发处理。4K VLAN table 表项定义如下表所示：

表 6-2 4K VLAN table 表项定义

Field Name	Field Bits	Description	Default Value
METER_5	[38]	VLAN based meter index 最高 bit 位, 和 ENVLANPOL 搭配使用。	0
RESERVED	[37:31]	-	0
IVL_SVL	[30]	IVL_SVL 模式, 供 L2 查表时使用: 0: SVL 模式, L2 查表时不关心 VID 1: IVL 模式, L2 查表时要关心 VID	0
METER	[29:25]	VLAN based meter index, 和 ENVLANPOL 搭配使用。	0
ENVLANPOL	[24]	使能 VLAN based meter, 和 METER 搭配使用: 0: 不使能 1: 使能	0
VBPRI	[23:21]	VLAN based priority, 和 VBPRIEN 搭配使用	0
VBPRIEN	[20]	使能 VLAN based priority, 和 VBPRI 搭配使用: 0: 不使能 1: 使能	0
FID_MSTI	[19:16]	FID 和 MSTI 复用。	0
UNTAGSET	[15:8]	Untagged member port mask for port 0-7。	0
MEMBER	[7:0]	Member port mask for port 0-7。	0

6.2.2 Enhanced VLAN

Enhanced VLAN 对应的 VID 范围为 4096-8191, 仅供内部转发使用。本芯片最多支持 32 条 enhanced VLAN, 通过 32 组 VLAN_MEMBER_CONFIGURATION[n]_CTRLx 寄存器实现。Enhanced VLAN 可通过 protocol-based VLAN 和 port-based VLAN 分配得到。

6.2.3 Protocol-based VLAN

对于 Untagged 报文或 Priority Tagged 报文, 支持基于报文帧类型和协议类型分配 VID。Protocol-based VLAN 总共有 4 组寄存器, 称为 4 个模板。每个模板支持独立配置为下面 3 种帧类型或者配置模块状态为 Usage Disabled, 同时每个模板独立配置具体的协议类型。

- Ethernet
- RFC1042
- LLC_Other

当入端口收到报文时, 如果从报文解析得到的帧类型和协议类型能匹配上 protocol-based VLAN 模板中配置的帧类型和协议类型, 芯片会按照 protocol-based VLAN 模板中配置的入端口对应的 index 值, 索引到 VLAN_MEMBER_CONFIGURATION[n]_CTRLx 寄存器组从而得到 VID 值。如果 VID 大于 4095 即是 enhanced VID, 直接使用 VLAN_MEMBER_CONFIGURATION[n]_CTRLx 寄存器组中的配置进行转发处理。否则再根据 VID 查找 4K VLAN table 并转发处理。

对于 Untagged 报文, 还可以直接从匹配的 protocol-based VLAN 寄存器组中获取到 1Q priority 作为映射到 internal priority 的来源。

本芯片解析报文帧类型的处理流程如下图所示:

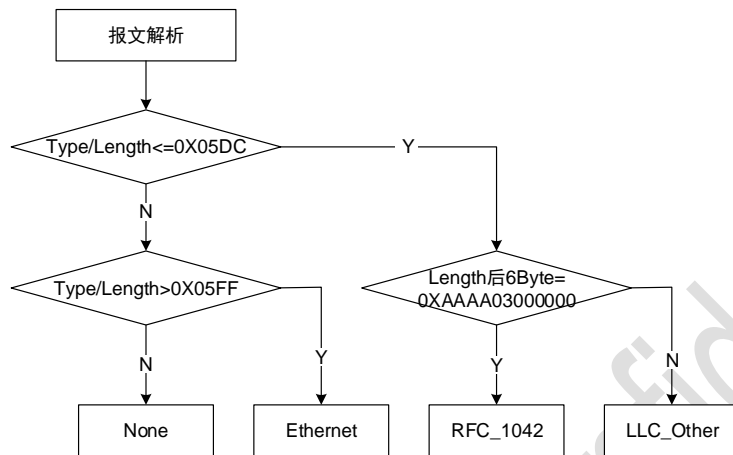
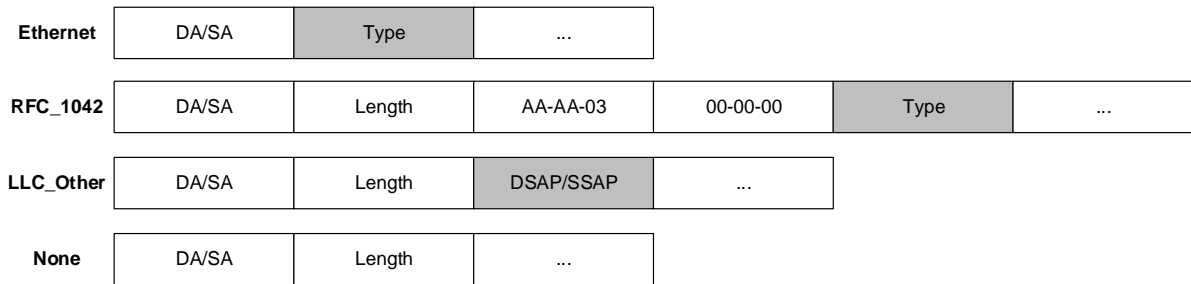


图 6-1 芯片解析报文帧类型的处理流程

6.2.4 Port-based VLAN

对于 Untagged 报文或 Priority Tagged 报文，支持基于入端口分配 VID。对于 untagged 报文，还支持基于入端口配置到 1Q priority 作为映射到 internal priority 的来源。

当入端口收到报文时，芯片会按照入端口上 port-based VLAN 寄存器对应的 index 值，索引到 VLAN_MEMBER_CONFIGURATION[n]_CTRLx 寄存器组从而得到 VID 值。如果 VID 大于 4095 即是 enhanced VID，直接使用 VLAN_MEMBER_CONFIGURATION[n]_CTRLx 寄存器组中的配置进行转发处理。否则再根据 VID 查找 4K VLAN table 并转发处理。

多种分配 VID 的策略按优先级高低排序依次为：ACL > Tag-based VLAN > Protocol-based VLAN > Port-based VLAN。

6.2.5 VLAN Filtering

报文在转发过程中，会分别经过入端口的 Ingress Filtering 和出端口的 Egress Filtering。

Ingress Filtering 是指入端口接收到报文时会根据 VLAN 配置做相应的检查，支持两种基于入端口的 filtering 机制：Ingress VLAN member 检查和 Accept frame type 检查。

当入端口的 Ingress VLAN member 检查使能时，会检查入端口是否是该 VLAN 的 member，如果不是会将该报文丢弃。

当报文的 tag 类型和入端口上配置的 Accept frame type 不匹配时会将该报文丢弃。基于端口上可配

置的 Accept frame type 包括下面几种类型：

- Accept all frame type
- Accept tagged only
- Accept untagged only

【说明】

VID 为 0 的 priority tagged 报文被当作 untagged 报文处理。

Egress Filtering 是指报文在往出端口转发时会检查出端口是否是该 VLAN 的 member，如不是则不会从该出端口转发出去。RMA、CDP、CSSTP、LLDP、IGMP/MLD 等模块支持配置 VLAN leaky，符合 VLAN leaky 条件的报文在 Egress VLAN 阶段会 bypass egress filtering。在出端口上可以配置指定的多个入端口为透传端口，从透传端口转发过来的报文在 Egress VLAN 阶段会 bypass Egress Filtering。

6.2.6 Egress tag

本芯片支持配置报文发送时是否保留 tag，有下面几种策略。

- 基于 VLAN 的 tag：
 - 1) VID \leq 4095 时，可根据出端口是否在 4K VLAN table 的 untag member 中来决定是否剥掉 VLAN tag。
 - 2) Enhanced VLAN 在发送时，始终剥掉 VLAN tag。
- 基于出端口的 tag，出端口上可以配置为下面几种模式，优先级高于基于 VLAN 的 tag 策略：
 - 1) Original mode，遵循基于 VLAN 的 tag 策略。
 - 2) Keep mode，发送报文的 VLAN tag 格式始终和接收报文的原始格式保持一致。
 - 3) Priority tag mode，发送报文的 VLAN tag 中 VID 始终为 0。
 - 4) Real keep mode，发送报文的 VLAN tag 格式始终和接收报文的原始格式保持一致，且 VID 的值也和原始报文保持一致。
- Keep 端口：在出端口上可以配置指定的多个入端口为 keep 端口，从 keep 端口转发过来的报文在发送时，VLAN tag 格式始终和接收报文的原始格式保持一致。优先级高于基于出端口的 tag 策略。

6.2.7 FID/MSTI

FID 用于 L2 学习和转发，本芯片支持基于 VLAN 配置 FID 和基于端口配置 FID。基于 VLAN 配置 FID 通过 4K VLAN table 和 VLAN_MEMBER_CONFIGURATION 寄存器中的 FID_MSTI 来实现。基于端口配置 FID 是基于端口的寄存器来实现。4K VLAN table 和 VLAN_MEMBER_CONFIGURATION[n]_CTRLx 寄存器组中的 FID_MSTI 为 MSTI 和 FID 的复用字段。该字段可表示 Spanning Tree Group Instance ID，用于索引端口上的 Spanning Tree 状态。

6.3 SVLAN

SVLAN 即可堆叠 VLAN（Stacking VLAN），通过在运营商接入端为用户私网报文封装外层 VLAN Tag，使报文携带两层 VLAN Tag 穿越运营商的骨干网络（公网）。内层 VLAN Tag(C-VLAN) 为用

户私网 VLAN Tag, 外层 VLAN Tag(S-VLAN) 为运营商分配给用户的 VLAN Tag。在公网中, 报文只根据外层 VLAN Tag 进行转发, 用户私网的 VLAN Tag 在传输过程中将被当作报文中的数据部分来进行传输。

本芯片支持遵循 IEEE802.1ad 标准的 Stacking VLAN, 最多支持配置 64 条 S-VLAN。用户可以配置 S-VLAN 对应的 TPID 并指定端口作为 SVLAN 上行口。

6.3.1 S-VLAN

通过配置 64 组 SVLAN_MEMBERCFG[n]_CTRLx 寄存器, 本芯片支持最多 64 条 S-VLAN。当上行口接收到带有 S-tag 的报文时, 将根据 S-tag 对应的 S-VLAN 查找 SVLAN_MEMBERCFG[n]_CTRLx 寄存器组并转发处理。

6.3.2 上行策略

对于上行流, 有多种策略可以实现添加 S-VLAN, 分别是:

- 基于 C-VLAN 和入端口添加 S-VLAN
- 基于 DMAC 或 DIP 对 L2/IPv4 组播报文添加 S-VLAN
- 基于入端口添加 S-VLAN

另外也可以通过 ACL 实现灵活分配 S-VLAN。

6.3.3 下行策略

对于下行流, 有多种策略实现 S-VLAN 向 C-VLAN 的映射, 分别是:

- 基于报文自带的 C-VLAN 映射到 C-VLAN
- 基于 L2 Forward 查找映射到 C-VLAN
- 基于 S-VLAN 和出端口映射到 C-VLAN

也可以通过 ACL 实现灵活映射到 C-VLAN。

6.4 L2

当入端口接收到报文时, 会根据 MAC 地址、FID (Filtering Identifier)、EFID (Enhanced Filtering Identifier)、VID 和 IVL/SVL 来查找 L2 table 并根据查表情况来完成学习、更新和转发。L2 table 分为 2K (2048) entry 的 Hash table 和 64 entry 的 BCAM table, BCAM table 用于解决 hash 冲突情况。L2 单播、L2 组播、IP 组播共享整个 L2 table。

6.4.1 Learning and Forward

当接收到报文后, 根据源 MAC 地址查找 L2 单播表项是否命中, 用户可以配置是否学习源 MAC 地址以及未命中时动作。当发生地址迁移时, 支持配置是否允许迁移以及修改报文的转发行为。同时支持基于全局和基于端口限制源 MAC 地址学习数量, 也支持基于端口限制源 MAC 地址学习速率。

完成源 MAC 地址学习后, 根据报文目的 MAC 地址类型进行转发处理。如果是单播地址则根据目的

MAC 地址查找 L2 单播表项，命中则朝表项中指定端口转发，否则在 VLAN 内泛洪。如果是组播地址则根据目的 IP 或目的 MAC 地址查找组播表项，命中则朝表项中指定端口转发，否则可向所有端口泛洪或在 VLAN 内泛洪。如果是广播地址则直接在 VLAN 内泛洪。

6.4.2 IVL and SVL

本芯片支持 16 组 FID (Filtering Identifier) 用于 Learning 和 Forward 时查表。FID 由 VLAN 表项提供或端口指定，默认状态所有的 VLAN 和端口上 FID 都为 0。当所有 VLAN 表项中 IVL_SVL 模式保持默认值为 0 时，表示是 SVL 模式 (Shared VLAN learning)，此时 L2 查表时不比较 VID，不同 VLAN 可以共享同一条表项。当 IVL_SVL 模式配置为 1 时，表示是 IVL 模式 (Independent VLAN Learning)，此时 L2 查表时会同时比较 FID 和 VID，不同 VLAN 不能再共享同一条表项。当 FID 配置为不同值且 IVL_SVL 模式混合配置时，相同 FID 下 SVL 模式的 VLAN 间可以共享同一条表项，不同 FID 或 IVL 模式下的 VLAN 间不能共享，这种称为 IVL/SVL 混杂模式。

6.4.3 Age and Flush

对于动态学习的 L2 单播表项，表项中保存了一个 AGE 字段用于表示当前表项是否有效。AGE 值会按指定周期递减，当再次接收到相同源 MAC 地址的报文时，会根据配置刷新表项中的 AGE 值。当超过老化时间 AGE 值未被刷新导致 AGE 递减为 0 后，该单播表项被老化掉 (所有字段清 0)。老化周期和老化频率可配置。当端口 link down 时，支持基于端口配置立即老化该端口上所有 L2 动态单播表项。

本芯片支持多种方式 Flush L2 单播表项：

- 全局 Flush，清除所有动态和静态单播表项；
- 基于端口 Flush，可配置只清除动态单播表项或清除所有单播表项；
- 基于端口+ VID Flush，可配置只清除动态单播表项或清除所有单播表项；
- 基于端口+ FID Flush，可配置只清除动态单播表项或清除所有单播表项。

6.5 CPU PORT

CPU PORT 功能指在发往特殊端口的报文中插入 CPU tag，这个端口称为 CPU TRAP PORT；以及设置某些端口可以感知收到报文中 CPU tag 的内容，这些端口称为 CPU AWARE PORT。这种实现方式可用于交换机的管理，比如在上送 CPU TRAP PORT 的报文中插入 CPU tag，tag 中字段填充上送 CPU 的原因、优先级和报文入口 port 供软件处理以及利用 CPU tag 中的字段指定从 CPU AWARE PORT 收到的报文的处理方式。

6.5.1 CPU tag

CPU tag 中使用 CPU_FLAG_CTRL 寄存器 (地址: 0x121b, 默认值 0xFFFF) 供用户指定 CPU tag 中的 EtherType 值。

CPU tag 有 8 bytes 和 4 bytes 两种不同的模式。

表 6-3 8 Bytes mode CPU TAG Frame

DMAC (48b)

SMAC (48b)							
CPU tag EtherType (16b)							
Protocol (8b)				Reason (8b)			
EFID (1b)	Enhanced FID (3b)	Priority Select (1-bit)	Priority (3b)	Keep (1b)	VSEL (1b)	Disable Learning (1b)	VIDX (5b)
Allow (1b)	Port mask TX/SPA(Port Mark, LSB 8-bits); Rx (Port No, LSB 4-bits) (15b)						
VLAN Tag (Optional)							
EtherType							
Payload such as IP							
CRC							

表 6-4 4 Bytes mode CPU TAG Frame

DMAC (48b)	
SMAC (48b)	
CPU tag EtherType (16b)	
Protocol (8b)	Port mask TX/SPA(Port Mark, LSB 8-bits); Rx (Port No, LSB 4-bits) (8b)
VLAN Tag (Optional)	
EtherType	
Payload such as IP	
CRC	

表 6-5 CPU tag 字段描述

8 bytes CPU tag 字段描述			
字段	交换芯片端口发往 CPU TRAP Port (TX to CPU TRAP PORT)	RX from CPU aware Port	影响模块
EtherType	CPU_FLAG_CTRL.CPU_FLAG_G_SET 字段定义的值 (default 值 0xFFFF)	CPU_FLAG_CTRL.CPU_FLAG_SET 字段定义的值 (default 值 0xFFFF)。	-
Protocol	0x04	0x04	-
Reason	根据上送 CPU 实际原因填充	NA	-
EFID	NA	等于 1 时, 使用 CPU tag 提供的 Enhanced FID; 等于 0 时, CPU tag 中的 Enhanced FID 无意义, 由其他模块提供 Enhanced FID。	L2
Enhanced EFID	NA	CPU tag 提供的 Enhanced FID。	-
Priority Select	NA	等于 1 时, CPU tag 提供 Priority 值作为 internal priority 来源之一; 等于 0 时, CPU tag 中的 Priority 无	QoS

		意义，由其他模块提供 Priority 值。	
Priority	CPU_internal_priority	CPU tag 提供的 priority。	-
Keep	NA	等于 1 时，TX 报文的 C-tag 格式和原始报文格式内容保持一致； 等于 0 时，其他模块决定 TX 报文的 C-tag 格式内容。	Egress VLAN 编辑 C-tag
VSEL	NA	等于 1 是，使用 CPU tag 中 VIDX 向的 VLAN 进行 VLAN 转发，但不影响 TX 报文中的 VLAN tag； 等于 0 时，CPU tag 中的 VIDX 无意义，使用其他模块提供的 VID 值进行 VLAN 转发。	VLAN
Disable Learning	NA	等于 1 时，源 MAC 将不学习； 等于 0 时，其它模块决定是否学习源 MAC。	L2 learning
VIDX	NA	CPU tag 提供的用于转发的 VLAN index。	VLAN
Allow	NA	NA	-
TX/RX	填入报文 source port	报文不接受任何限制向 port mask 中位置的端口转出，无端口置位时根据 CPU tag 中 EFID/VSEL 的设置进行转发。	L2 searching , VLAN Filter , STP, 端口隔离等
【备注】： Priority of CPU tag assignment for internal asic priority, and it is used for queue usage and packet scheduling.			

6.5.2 CPU tag aware port

通过寄存器 CPU_PORT_MASK.CPU_PORT_MASK 字段可以设置任意数量 ports(可以是多个 port) 能否识别 CPU tag。能识别 CPU tag 报文的 ports 称为 CPU tag aware port。

当端口收到携带 CPU tag 报文时如果 port 对应 bitmap 在 CPU_PORT_MASK.CPU_PORT_MASK 中被置位则可以识别报文中的 CPU tag；否则将不能识别 CPU tag，报文被作为普通报文处理。

6.5.3 CPU TRAP PORT

CPU TRAP PORT 即为交换芯片上送 CPU 报文的端口（Egress to CPU），也是 CPU 下发报文到交换芯片的源端口(Ingress from CPU)，一个芯片上只能有一个这种端口。该端口可以是硬件上和 CPU 互联的端口，也可以是其它普通端口（适用于交换芯片没有外接 CPU 或者 CPU 处理能力不足的场景）。

如果 CPU TRAP PORT 不是 CPU tag aware port 的成员，那么芯片将无法识别从该 port 收到报文中的 CPU tag 信息。

6.5.4 CPU tag 在报文中的位置

CPU tag 固定放在 MAC_SA 之后。

6.6 Storm Control

由于广播、已知组播、未知单播和未知组播在 VLAN 里进行泛洪的特殊性，常被利用来形成网络攻击，造成网络风暴，从而导致整个网络的瘫痪。风暴控制则是用来解决此类问题的一种方式。风暴控制可以基于全局或者基于端口，分别对广播、已知组播、未知单播和未知组播报文进行测量，如果检测到风暴（测量结果达到预设阈值时，包括 Kbps 和 PPS 两种模式），那么丢弃超过阈值的报文。

6.7 Port Security

提供如下方式阻止恶意攻击：

- 基于端口指定未知 L2 组播报文的处理行为。
- 基于端口指定未知 IPv4 组播报文的处理行为。
- 基于端口指定未知 IPv6 组播报文的处理行为。
- 基于端口指定入端口和出端口相同报文的处理行为。

6.8 Mirroring

端口镜像用于网络监控，提供将镜像源端口接收或者发送的报文镜像到与网络分析器相连的镜像目的端口去。

镜像是对原始报文的拷贝，支持入方向 RX 镜像、出方向 TX 镜像和双向 BOTH 镜像。

6.9 IGMP/MLD Snooping

IGMP/MLD Snooping（Internet Group Management Protocol Snooping）是一种二层组播协议，通过对收到的 IGMP/MLD 报文进行分析，为端口和 MAC 组播地址或者组播组地址建立起映射关系，并根据这样的映射关系转发组播数据给指定的接收者，使得已知组播组的组播数据不会在二层被广播。

与 IGMP/MLD Snooping 相关的协议规范有：

- RFC 1112: Host Extensions for IP Multicasting
- RFC 2236: Internet Group Management Protocol, Version 2
- RFC 3376: Internet Group Management Protocol, Version 3
- RFC 4541: Considerations for Internet Group Management Protocol (IGMP) and Multicast

Listener Discovery (MLD) Snooping Switches

- RFC 2710: Multicast Listener Discovery (MLD) for IPv6
- RFC 3810: Multicast Listener Discovery Version 2 (MLDv2) for IPv6

SF2507V/SF2507EV 最多支持学习 256 个组播组，默认地每 125 秒检查组播组成员端口状态。如果某个组播组成员端口默认连续 3 个检测周期内都没有收到对应组播组的报告报文，这个成员端口将会被从组播组删除。

IPv4 组播数据报文支持按组播组 IP 地址和目的 MAC 查表转发，IPv6 组播数据报文和 L2 组播数据报文支持按目的 MAC 查表转发。

IGMP/MLD Snooping 功能默认是关闭的，可以配置为芯片学习或者协议报文 Trap 上 CPU 处理。

6.10 IEEE 802.1X

本芯片支持符合 IEEE 802.1X 协议的基于端口（Port-based）和基于 MAC（MAC-based）的接入控制。包括以下特性：

- 基于端口使能 Port-based 接入控制
- 基于端口配置 Port-based 认证状态
- 基于端口配置 Port-based 接入控制方向
- 基于端口使能 MAC-based 接入控制
- 基于 L2 单播表项配置 MAC-based 认证状态
- 全局配置 MAC-based 接入控制方向
- 基于端口配置未通过认证时报文行为
- 支持 Guest VLAN

6.10.1 Port-based 接入控制

使能端口上 Port-based 接入控制后，如果端口状态设置为认证未通过，则该端口上接收报文后会按配置将报文丢弃、trap 上 CPU，或转移到 Guest VLAN 中转发。如果该端口上接入控制方向配置为 Both，则转发往该端口的报文会被丢弃。

6.10.2 MAC-based 接入控制

使能端口上 MAC-based 接入控制后，当该端口上接收到报文后，如果 L2 Learning 阶段根据源 MAC 地址查表未命中或查找到的表项中 AUTH1X 值为 0，则认为该 MAC 地址未通过认证并按配置将报文丢弃、trap 上 CPU，或转移到 Guest VLAN 中转发。如果 MAC-based 接入控制方向配置为 Both，则会根据 L2 Forward 阶段目的 MAC 地址查表是否命中和命中的表项中 AUTH1X 值来决定是否允许报文从该端口转发出去。单播报文查表未命中或命中的表项中 AUTH1X 值为 0 时不允许报文从该端口转发出去。组播或广播报文总是允许从该端口转发。

6.10.3 Guest VLAN

当端口上使能了 Port-based 或 MAC-based 接入控制后，如果接收到报文且当前状态为未通过认证，可以配置一个 VLAN 作为 Guest VLAN 来实现有限的通信。并可选择是否允许在 Guest VLAN 中和其它已通过目的端口或目的 MAC 认证的设备之间进行通信。

6.11 Spanning Tree

SF2507V/SF2507EV 支持 802.1D（STP）、802.1s（MSTP）和 802.1w（RSTP）功能，每个端口

最多支持 16 个生成树实例，支持 4 种端口状态：

- **Forwarding**，接收并转发所有报文，也要进行地址学习。
- **Learning**，端口接收并处理 BPDU 报文，接收并处理数据报文，并进行学习地址；但是只是转发 BPDU 报文，不转发数据报文。
- **Blocking**，端口只是接收并处理 BPDU，但是不转发报文，也不学习地址。
- **Disabled**，端口不接收也不转发所有报文，也不学习地址。

6.12 Link Aggregation

链路聚合将多个物理端口绑定成一个逻辑的链路来提供更大的带宽，同时具有物理链路级的备份特性。

链路聚合按照协议层的管理方式，可以分为静态（**Static Trunk**）和动态（**LACP**）链路聚合。静态链路聚合为显示地将一组端口绑定在一起，端口之间无协议状态交互，简单直接。而动态链路聚合则通过 **LACP** 协议自动协商并且聚合端口，可以提供链路防错功能，例如其中一个端口错误地连接了对端设备，那么协议能够自动检测出来，避免将该端口加入聚合组。

SF2507V/SF2507EV 支持两种模式：一种是 **Dumb** 模式。芯片主动感知链路状态变化，并且结合哈希键值和哈希算法进行计算，从而使流量分发到正常工作的聚合成员端口上。一种是非 **Dumb** 模式。芯片不感知链路状态变化。上层软件指定聚合成员端口与哈希索引的映射关系。芯片使用哈希键值和哈希算法进行计算，根据哈希索引结果将流量分发到对应的聚合成员端口上。

SF2507V/SF2507EV 最多支持 2 个聚合组，聚合组 0 最多支持 4 个成员端口，范围为 port0-port3；聚合组 1 最多支持 4 个成员端口，范围为 port4-port7。

6.13 Port Isolation

端口隔离用于隔离端口与端口之间的流量转发。利用端口隔离的特性，可以实现配置端口隔离的端口之间相互隔离，不用关心这些端口所属 VLAN，从而节省 VLAN 资源，增加网络的安全性；同时，配置端口隔离的端口与其它端口之间正常转发。

SF2507V/SF2507EV 支持基于端口配置单向的端口隔离，但是，从 CPU 下发的报文，不受端口隔离的限制，通过其它端口转发出去。

6.14 LDP

LDP（Loopback Detection Protocol）是一种环回检测协议，用于检测端口对接的外部网络是否存在环路。

与已有的环回检测协议相比，**LDP** 有如下特点：

- 两种触发模式，一种是根据检测到 SA 发生端口变动触发 **LDP** 检测，一种是定时发送 **LDP** 报文进行 **LDP** 检测。
- 两种处理方式，一种是 **ASIC** 处理，一种是 **CPU** 处理。

在检测到端口存在环路或者环路消失时，硬件芯片上报中断，上层可以调用 **SDK** 接口获取发生变化的端口掩码。

6.15 OAM

本芯片支持符合 IEEE802.3ah 协议的 OAM。可以基于端口配置 Parser 和 Multiplexer，实现对非 OAMPDU 报文的环回控制，以及在入端口和出端口上实现对非 OAMPDU 报文的丢弃处理。对于 OAMPDU 报文可以通过 RMA 实现 trap 上 CPU 或丢弃处理。

6.16 ACL

本芯片支持 96-entry ACL (Access Control List) 规则。当收到报文时，其 Physical port、L2、L3 及 L4 的报文头的信息可被记录并与预先配置好的 ACL 规则进行匹配比较。对于匹配报文可执行转发（如：copy、redirect、drop 等）、分配 priority、分配 CVLAN、分配 SVLAN、meter、log counter 和 interrupt 等 ACTION 类型。

1 个 entry 可以配置为 1 个规则(rule)。也可以多个 entry 拼接为同一规则，此时报文需要同时匹配所有拼接在一起的 entry 才能被决定为匹配该规则(rule)；如果一个规则(rule)被决定匹配，其 entry 中编号最小者对应的 ACTION 将参与 ACTION 仲裁。另外，每个 ACTION entry 包含多种 ACTION 类型，每个 ACTION entry 的每个类型由单独控制位使能/禁止，ACTION entry 中未开启的分类不参与 ACTION 仲裁。

当多个规则(rule)同时匹配同一报文时，则多个规则(rule)的 ACTION 中使能的类型均参与 ACTION 仲裁。对于同一分类的 ACTION，仅 entry 编号最小者被执行。不同分类的 ACTION 可同时执行。

6.17 QOS

本芯片支持出入端口限速、内部优先级分配、重标记、队列映射、队列调度和队列限速等 QOS 相关的功能。

6.17.1 入端口限速

入端口限速基于漏桶(leaky-bucket)机制限制端口入方向的接收速率。当端口入方向的速率超过设置的速率参数时，芯片依据配置决定发送“pause ON”帧通知对方减缓发包速率或者直接将报文丢弃。可支持配置限速范围 8kbps~1Gbps。

6.17.2 内部优先级

对不同类型的报文指定不同的内部优先级，结合内部优先级到出端口队列的映射策略，可为不同的报文提供差别化的服务。

本芯片提供如下的内部优先级分配策略：

- 基于入端口(port-based)分配优先级
- 基于 802.1p/Q 分配优先级
- 基于 IPv4/IPv6 DSCP 分配优先级
- 基于 ACL 分配优先级
- 基于 VLAN 分配优先级

- 基于 SVLAN 分配优先级
- 基于 MAC SA 分配优先级
- 基于 MAC DA 分配优先级

支持 2 个优先级决策权重表。可基于端口指定使用的权重表编号。该表指定如上各优先级来源的决策权重，芯片依据决策权重值高低仲裁确定内部优先级。

队列映射：支持 8 个内部优先级到队列号的映射表，每个端口可指定不同的映射表。

6.17.3 队列调度

每个出端口支持 8 个调度队列。

芯片为每个队列提供如下两种调度模式选择：

- Strict Priority
- Weighted Fair Queue(WFQ)

另外队列调度还受控于出端口限速和出端口队列限速。当超过配置速率参数时，超速的端口或队列的报文调度即停止。

6.17.4 出队列限速

支持基于 share meter 对出队列限速。共享 share meter 的参数配置。

6.17.5 出端口限速

出端口限速基于漏桶(leaky-bucket)机制限制端口出方向的发送速率。当端口出方向的速率超过设置的速率参数时，芯片将停止该出端口的队列调度。可支持配置限速范围 8kbps~1Gbps。

6.17.6 重标记

重标记 802.1p/Q priority:

- 支持基于出端口使能/禁止 802.1p/Q priority 重标记
- 支持基于内部优先级重映射表标记 802.1p/Q priority

重标记 DSCP:

- 支持基于全局使能/禁止 DSCP 重标记
- 支持基于内部优先级重映射表标记 DSCP
- 支持基于报文自带的 DSCP 重映射表标记 DSCP
- 如 ACL 规则指定的重标记有效，则 QoS 指定的重标记被忽略

6.18 Share Meter

本芯片支持 64 个基于漏桶(leaky bucket)机制的 share meter。由 VLAN meter、ACL meter、Storm Control、出端口队列限速共享使用。

支持 pps、Kbps 的 meter 模式。对于 Kbps 模式，支持限制范围 8kbps~1Gbps。对于 pps 模式，

支持限制范围 1pps~1488100pps。

提供选择是否包含 IFG 及超速时是否触发中断。

6.19 流控

6.19.1 IEEE 802.3x 全双工流控

SF2507V/SF2507EV 支持 10/100/1000M 模式下的 IEEE 802.3x 流量控制。可通过寄存器开启或关闭全双工流控。全双工流控开启后，当芯片接收能力超限时，会向对端发送 pause 帧。

6.19.2 半双工流控

SF2507V/SF2507EV 工作在 10/100 半双工模式时，通过反压方式实现半双工模式下的流量控制。可通过寄存器开启或关闭半双工流控。

6.20 Reset

6.20.1 硬件复位

在上电复位中，产生一个内部上电复位脉冲，SF2507V/SF2507EV 将启动复位初始化过程。这些是：

- nRESET 信号解复位后，通过 strap pin 引脚确定各种默认配置；
- 如果检测到使能 EEPROM 加载模式，则从 EEPROM 自动加载配置；
- 完成嵌入式 SRAM BIST 过程；
- 初始化包缓冲描述符分配；
- 初始化内部寄存器，并准备由外部 MCU/CPU 等访问。

6.20.2 软件复位

SF2507V/SF2507EV 正常运行后，可通过软件实现热复位。对内嵌 SOC 的寄存器 0x90000020 写入 0x400 来实现对 SF2507V/SF2507EV 整个芯片的复位，软件复位效果与硬件复位一样。

6.21 LED

LED 引脚工作为并行 LED 模式，每个端口支持 3 个 LED（LED0, LED1 和 LED2）引脚，引脚表示的信息可以通过寄存器进行配置，注意模式基于 port_x，LED 组进行配置（即，5 个 GPHY 端口的 LED_x 只能配置相同的模式）。在并行模式 LED 接口中，可以通过硬件 Strap Pin 配置高电平还是低电平有效。

LED 接口支持配置四种模式：

- 00: 正常工作模式

- 01: 强制设置 LED 闪烁
- 10: 强制设置 LED 引脚输出低电平
- 11: 强制设置 LED 引脚输出高电平

LED 的接口模式默认为正常工作模式，模式选择可通过寄存器进行配置（详见寄存器表说明）。

其中，正常工作模式下，LED 工作模式可通过寄存器（寄存器 0x1b03）进行配置：

表 6-6 LED 工作模式

Definition	LED Status	Description
0000	Reserved	-
0001	Dup	全双工指示灯。
0010	LINK/ACT	链接，活动指示灯。 当端口 LINK UP 时，指示灯常亮。 当端口正在收发数据时，链路/动作每 256ms 闪烁一次。
0011	Spd1000	1000M 速率指示灯。
0100	Spd100	100M 速率指示灯。
0101	Spd10	10M 速率指示灯。
0110	Spd1000/ACT	1000M 速率/活动指示灯。 当端口 LINK 为 1000M 速率时，指示灯常亮。 当端口正在收发数据时，每 256ms 闪烁一次。
0111	Spd100/ACT	100M 速率/活动指示灯。 当端口 LINK 为 100M 速率时，指示灯常亮。 当端口正在收发数据时，每 256ms 闪烁一次。
1000	Spd10/ACT	10M 速率/活动指示灯。 当端口 LINK 为 10M 速率时，指示灯常亮。 当端口正在收发数据时，每 256ms 闪烁一次。
1001	Spd100 (10)/ACT	100/10M 速率/活动指示灯。 当端口 LINK 为 100/10M 速率时，指示灯常亮。 当端口正在收发数据时，每 256ms 闪烁一次。
1010	Reserved	-
1011	Reserved	-
1100	Spd1000(100)/ACT	1000/100 M 速率/活动指示灯。 当端口 LINK 为 1000/100M 速率时，指示灯常亮。 当端口正在收发数据时，每 256ms 闪烁一次。
1101	Spd1000(10)/ACT	1000/10 M 速率/活动指示灯。 当端口 LINK 为 1000/10M 速率时，指示灯常亮。 当端口正在收发数据时，每 256ms 闪烁一次。
1110	LINK	端口链接指示灯；端口链接时指示灯常亮，未链接时灭；
1111	1'b0/Act	当端口没有收发数据时，指示灯常灭。 当端口正在收发数据时，每 256ms 闪烁一次。

LED 引脚复用 strap pin 功能。PxLED0、PxLED1 和 PxLED2 引脚为多功能复用引脚，上电或复位时用于配置的输入功能，复位后用于 LED 或其它功能。

对于 LED 功能，当外部管脚上拉，上电复位后管脚输出低有效；当外部管脚下拉，上电复位后管脚输出高有效。外部上下拉电阻典型阻值 4.7K ohm(上拉)、1K ohm(下拉)。

同一端口的 LED0, LED1, LED2 可以任意选择其中两个组合为双色 LED，组合为双色 LED 的两个管脚极性需要保持一致，例如：

- 如果 P0LED1 与 P0LED2 组合为双色 LED，P0LED1 和 P0LED2 在上电复位时输入上拉，复位后输出低有效。
- 如果 P0LED1 与 P0LED2 组合为双色 LED，P0LED1 和 P0LED2 在上电复位时输入下拉，复位后输出高有效。

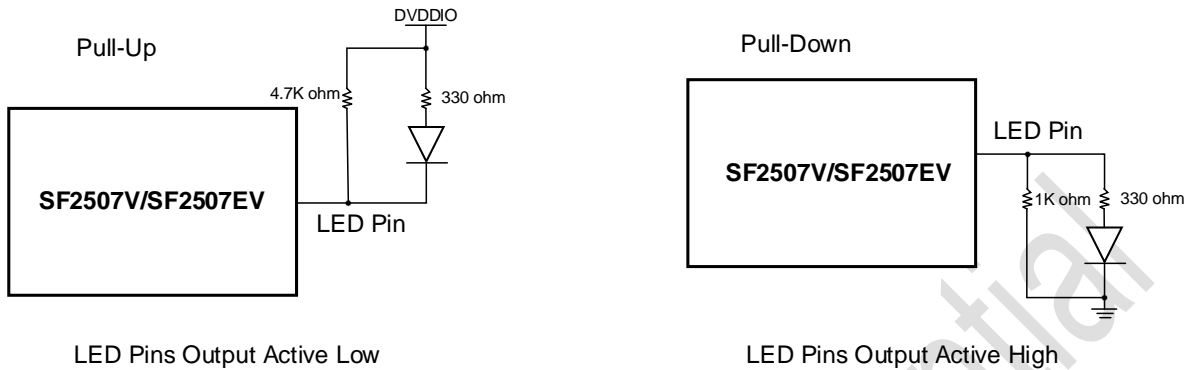


图 6-2 单色 LED 应用示意图

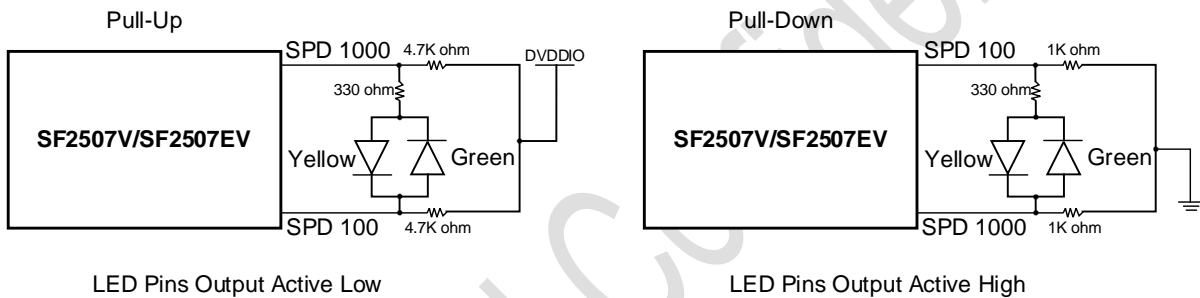


图 6-3 双色 LED 应用示意图

6.22 外部中断

SF2507V/SF2507EV 提供一个中断输出引脚 Pin 19(此引脚不被复用)来输出中断给外部 CPU 或 MCU。

中断输出引脚的极性可以通过寄存器进行配置。在配置寄存器中，每个端口都带有掩码中断标志，设置特定的中断产生后是否输出中断信号，可通过寄存器进行配置（详见寄存器手册）。

当端口产生了特定中断时，SF2507V/SF2507EV 将发生中断信号以告警外部 CPU 或 MCU。CPU 或 MCU 可以读取中断标志以确定哪个端口产生的中断。

中断输出是电平触发，触发的有效电平可以通过 INTR_CTRL 进行配置。

中断状态通过两级实现，INTR_IMS 包括所有中断类型对应的中断状态，二级状态寄存器可以查询对应中断类别的触发源，比如 LINKUP 事件的具体的端口号。

6.23 内嵌 SOC（SF2507EV 特有）

为了支持管理功能，在 SF2507EV 中嵌入了 SOC。SOC 可以通过内部 APB 总线访问 SF2507EV 中的所有寄存器。SOC 通过内部端口号 5 连接到交换机核心，SOC 通过 AHB 总线进行数据报文的转发，可以向端口号 5 发送或接收数据报文。

SOC 系统的地址映射空间如下图：

0xFFFF_FFFF	Reserved	0x90FF_FFFF	Reserved
0x90FF_FFFF 0x9000_0000	APB Device (16MB)	0x909F_FFFF 0x9090_0000	Register (1MB)
	Reserved	0x908F_FFFF 0x9080_0000	I2C Register (1MB)
0x505F_FFFF 0x5050_0000	AHB	0x907F_FFFF 0x9070_0000	eFUSE Register (1MB)
0x504F_FFFF 0x5040_0000	INTC Register	0x906F_FFFF 0x9060_0000	TDC Register (1MB)
0x503F_FFFF 0x5030_0000	SPI Flash CMD Port	0x905F_FFFF 0x9050_0000	TMR Register (1MB)
0x502F_FFFF 0x5020_0000	DMAC Register	0x904F_FFFF 0x9040_0000	Reserved (1MB)
0x501F_FFFF 0x5010_0000	APBG Register	0x903F_FFFF 0x9030_0000	GPIO Register (1MB)
0x5000_FFFF 0x5000_0000	AHBC Register	0x902F_FFFF 0x9020_0000	WDT Register (1MB)
	Reserved	0x901F_FFFF 0x9010_0000	UART Register (1MB)
0x3000_FFFF 0x3000_0000	SRAM (48KB)	0x900F_FFFF 0x9000_0000	SYSC Register (1MB)
0x2FFF_FFFF 0x2000_0000	SPI Flash XIP Port		
0x1FFF_FFFF 0x1000_0000	Embedded ROM		
0x0FFF_FFFF 0x0000_0000	Shadow Region		

Shadow remapping region: 1.ROM 2.RAM 3.XIP

图 6-4 SOC 地址映射空间

内嵌 SOC 集成了 48Kbyte 的 SRAM, 选择内嵌 SOC 运行前, 需要外接 SPI Flash 或者 EEPROM, 用于存储 SOC 的执行程序。为了支持内嵌 SOC 的运行, 以下 Pin 需要设置正确:

(1) 如果选择 SPI Flash 作为程序存储设备, 则 DIS_SPIS=0、DISAUTOLOAD=0、DIS_SOC=0、SMI_SEL=1。

(2) 如果选择 EEPROM 作为程序存储设备, DIS_SPIS=1、DISAUTOLOAD=0、DIS_SOC=0、SMI_SEL=1。EEPROM_MOD 根据 EEPROM 实际大小进行确认, EEPROM 不大于 16Kbit 时 EEPROM_MOD=0, EEPROM 大于 16Kbit 时 EEPROM_MOD=1。

内嵌 SOC 的规格如下:

- 片内集成 48KB SRAM
- 一个通用 UART 串口

- 八个 WDT 看门狗
- 三个通用 TIMER 定时器
- 一个 SPI Flash Master 接口
- 一个 I2C Master 接口
- 一个 SMI Master 接口
- 32 个通用 GPIO 接口
- 八个 DMA 通道

SOC 可通过 APB 总线访问交换芯片寄存器，访问交换芯片的寄存器时，寄存器地址需要左移 2 位。

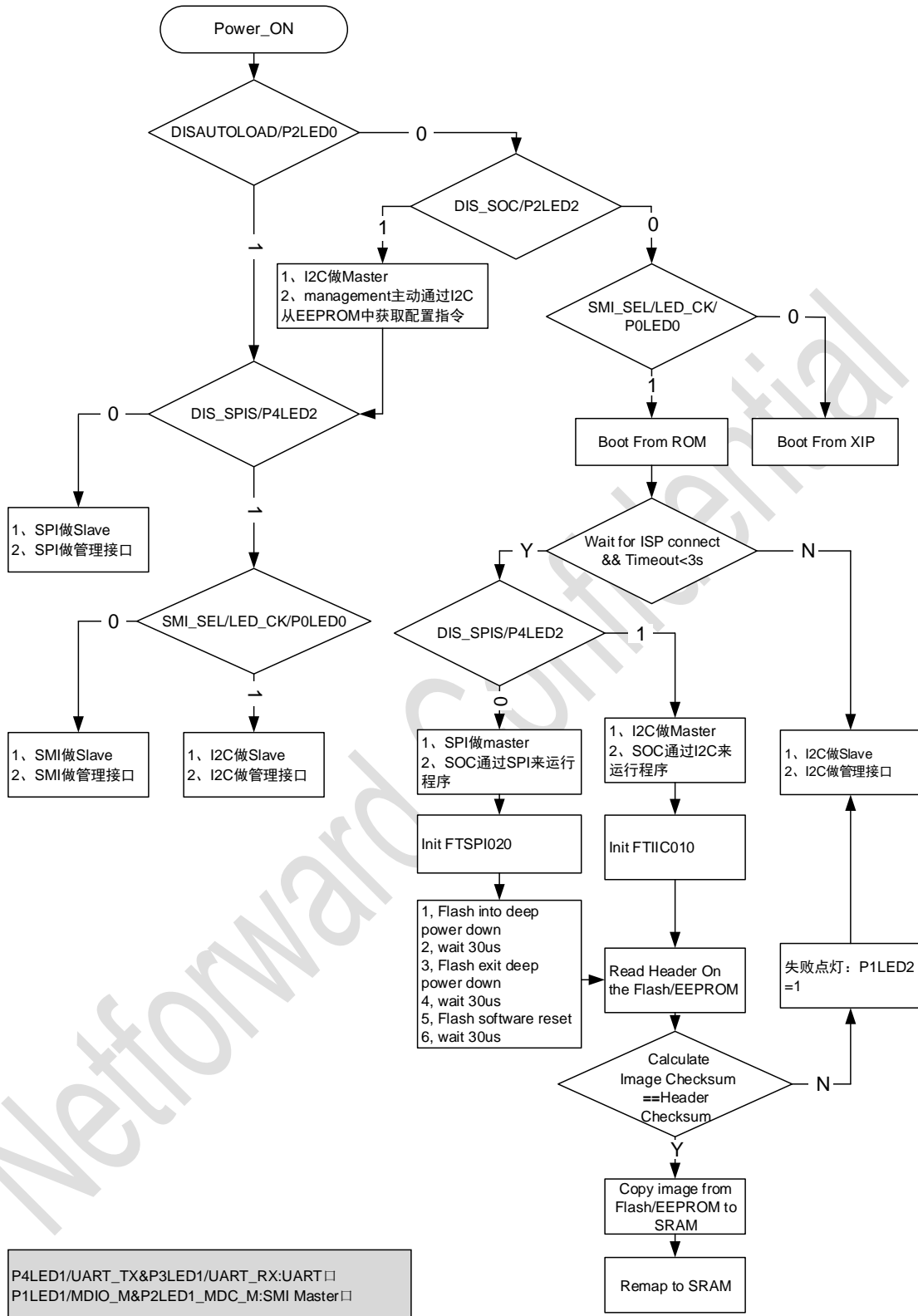


图 6-5 SF2507EV SOC 系统上电配置流程

6.24 MIB

本芯片支持丰富的 MIB 统计，具体统计项如下：

Port0-4、6、7 RX(28 项)	ifInOctets	接收的总字节数
	Dot3StatsSymbolErWr	接收 symbol 错误包数
	Dot3StatsFCSErWr	接收的 FCS 错误包数
	Dot3ContRWInUnknownOpcodes	接收到 opcode 错误包数
	dot3InPauseFrames	接收到 pause 帧数
	etherStatesJabbers	接收到 jabber 包数
	etherfregment	接收到包长小于 64 bytes 包数
	etherStatesDRWpEvents	接收到缺少资源被丢弃的包数
	ifInUcastPkts	接收到单播数据包数
	ifInBRWadcastPkts	接收到广播数据包数
	ifInMulticastPkts	接收到组播数据包数
	InIcmpChecksumErWr	接收到 IGMP checksum 错误包数
	InMldChecksumErWr	接收到 MLD checksum 错误包数
	InMldGeneralQuery	接收到 MLD 普通查询报文数
	InMldSpecificQuery	接收到 MLD 指定查询报文数
	InIcmpGeneralQuery	接收到 IGMP 普通查询报文数
	InIcmpSpecificQuery	接收到 IGMP 指定查询报文数
	InIcmpInterfaceleaves	接收到 IGMP 退出报文数
	InMldLeaves	接收到 MLD 查询退出报文数
	etherStatsOctets	接收到的 byte 总数
	etherRWversizeStats	接收到包长超过 1518 bytes 数
	etherStatsUnderSizePkts	接收到包长小于 64 bytes 包数
	etherStatesPkts65to127Octets	接收到包长[65:127]包数
	etherStatesPkts64Octets	接收到包长为 64 bytes 包数
	etherStatsPkts256to511Octets	接收到包长为【256:511】数
	etherStatsPkts128to255Octets	接收到包长为【128:255】数
	etherStatsPkts1024to1518Octets	接收到包长为【1024:1518】数
	etherStatsPkts512to1023Octets	接收到包长为【512:1023】数
Port0-4、6、7 TX (9 项)	ifOutOctets	发送字节总数
	dot3StatMultipleCollisionFrame(Half Duplex)	多次冲突后发送成功包数
	dot3StatsSingleCollisionFrame(Half Duplex)	一次冲突后发送成功包数
	dot3StatsLateCollisions(Half Duplex)	晚于 1 个时隙检测到冲突的次数。
	dot3sDeferredTransmissions(Half Duplex)	延时发送的帧数目
	Dot3StatsExcessiveCollisions(Half Duplex)	过度冲突导致发送失败的帧数。
	etherStatesCollisions	冲突总数
	ifOutDiscards	出口丢弃报文数
Port0-4、6、7 other (22 项)	dot3OutPauseFrames	发送的 pause 帧数
	ifOutUcastPkts	发送的单播包数
	dot1dTpPortInDiscards	转发过程中被丢弃的正常包数

	ifOutBRWadcastPkts	发送的广播包数
	ifOutMulticastPkts	发送的组播包数
	OutIgmpleaves	发送 IGMP leaves 包数
	OutIgmpreports	发送 IGMP report 包数
	OutIgmpspecificquery	发送 IGMP 指定查询包数
	OutIgmgeneralquery	发送 IGMP 普通查询包数
	OutMldleaves	发送 MLD leaves 包数
	OutMldreports	发送 MLD report 包数
	OutMldspecificquery	发送 MLD 指定查询包数
	OutMldgeneralquery	发送 MLD 普通查询包数
	InOampdupkts	接收 OAM PDU 数
	outOampdupkts	发送 OAM PDU 数
	InIgmjoinfail	接收到 join fail 的 IGMP 报告包数
	InIgmjoinsuccess	接收到 join success 的 IGMP 报告包数
	InMldjoinfail	接收到 join fail 的 MLD 报告包数
	InMldjoinsuccess	接收到 join success 的 MLD 报告包数
	InLeavesuppressionDRWp	接收到的 leave/done 包因 report 抑制而被丢弃的数目
	InReportSuppressionDRWp	接收到的 report 包因 report 抑制而被丢弃的数目
	InKnownMulticastPkts	接收到 known 组播包数
	dot1dTpLearnedEntryDiscards	进行 L2 learning 的时候,如果由于 table 满 (也就是 hash 冲突后 bucket 满,如果 BCAM 使能的话同时还要 BCAM 满),导致不能学习新的 entry 的时候计数
Port5 的 MIB 统计 (33 项)	outmcusendoctets	SOC 发出的包的字节总数
	inmcursvotets	上送 SOC 包的字节总数
	outrldpsendoctets	rldp 模块 发出的包的字节总数
	inrldprsvotets	上送 rldp 包的字节总数
	outrldpsendpkts	rldp 模块发出的包数
	inrldprsvpkts	上送 rldp 包数
	outmcusendpkts	SOC 发出的包数
	inmcursvpkts	上送 SOC 包数
	InIgmchecksumErRWr	接收到 IGMP checksum 错误包数
	InIgmgeneralquery	接收到 IGMP 普通查询报文数
	InIgmjoinfail	接收到 join fail 的 IGMP 报告包数
	InIgmjoinsuccess	接收到 join success 的 IGMP 报告包数
	InIgminterfaceleaves	接收到 IGMP 查询退出报文数
	InIgm-specificquery	接收到 IGMP 指定查询报文数
	InMldchecksumErRWr	接收到 MLD checksum 错误包数
	InMldgeneralquery	接收到 MLD 普通查询报文数
	InMldjoinfail	接收到 join fail 的 MLD 报告包数
	InMldjoinsuccess	接收到 join success 的 MLD 报告包数

InMldInterfaceleaves	接收到 MLD 查询退出报文数
InMldSpecificQuery	接收到 MLD 指定查询报文数
InLeaveSuppressionDRWp	接收到的 leave/done 包因 report 抑制而被丢弃的数目
InReportSuppressionDRWp	接收到的 report 包因 report 抑制而被丢弃的数目
InOampduPkts	接收 OAM PDU 数
InKnownMulticastPkts	接收到 known 组播包数
OutIcmpGeneralQuery	发送 IGMP 普通查询包数
OutIcmpLeaves	发送 IGMP leaves 包数
OutIcmpReports	发送 IGMP report 包数
OutIcmpSpecificQuery	发送 IGMP 指定查询包数
OutMldGeneralQuery	发送 MLD 普通查询包数
OutMldLeaves	发送 MLD leaves 包数
OutMldReports	发送 MLD report 包数
OutMldSpecificQuery	发送 MLD 指定查询包数
outOampduPkts	发送 OAM PDU 数

7

芯片接口功能描述

7.1 MDI/100Base-FX 接口

SF2507V/SF2507EV 内嵌 5 个 10/100/1000M 以太 PHY。每个端口可以支持 1000Base-T、100Base-TX、10Base-T 电口或 100Base-FX 光口。

电口模式下，接口有四对信号线 A、B、C、D 构成用于数据收发。MDI 接口内部有 100 欧姆匹配电阻，可以减少 PCB 的复杂性和降低单板设计成本。1000Base-T 接口下四对线要同时使用，在 10Base-T/100Base-TX 自协商下，只使用 A、B 两对线进行数据收发。

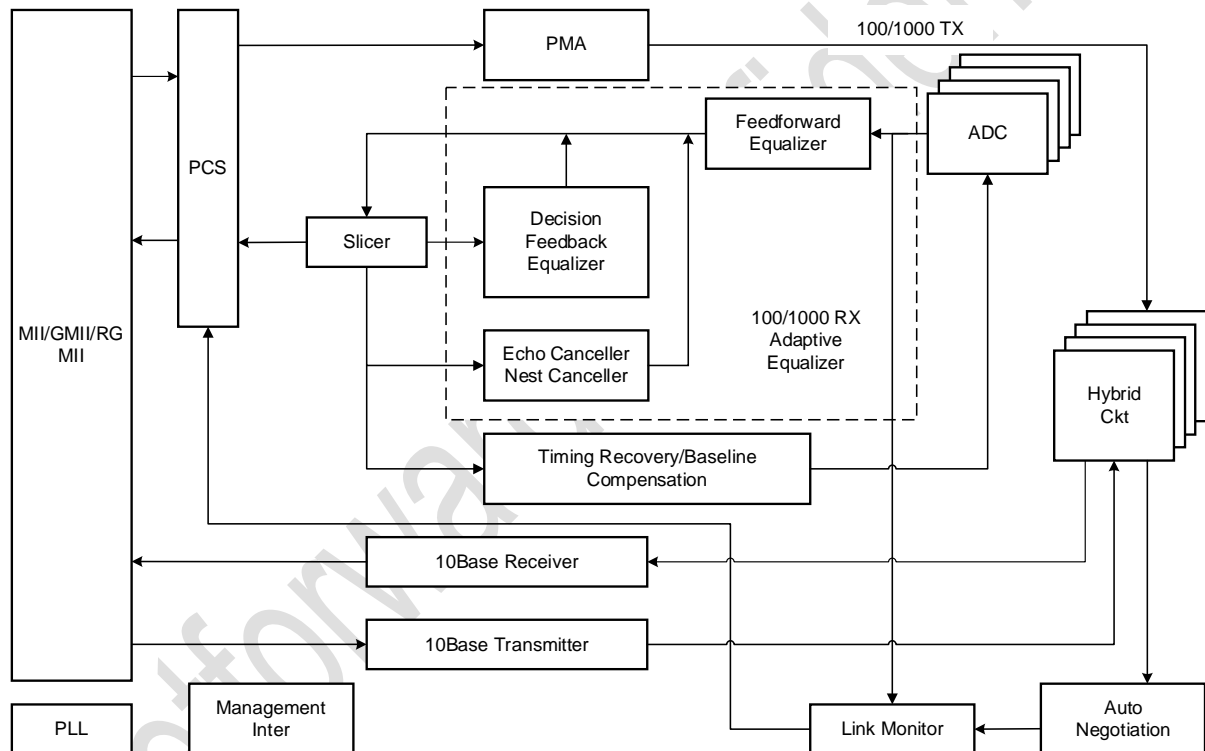


图 7-1 芯片内 MDI 功能框图

7.1.1 电口发送功能

1000Base-T 发送方向经过 8B/10B 编码、扰码和 4D-PAM5 编码，最后通过一个整形滤波电路来减小 EMI，最后通过 D/A 以 125MBaud/s 的速率发送到 4 对接口线上。

100Base-TX 发送方向经过 4B/5B 编码、扰码、NRZ/NRZI 编码、MLT-3 编码，将需要发送的数据发送到 2 对接口线上。

10Base-T 采用 Manchester 编码，同时也要经过滤波整形来降低 EMI，将需要发送数据发送到 2 对接口线上。

7.1.2 电口接收功能

接收方向经过 Hybrid 电路降低近端反射，然后经过信号处理模块（比如：adaptive equalization，串扰消除、反射消除、timing recovery 和纠错）和对应解码模块，将恢复的数据通过 GMII 接口形式发送给 MAC。

7.1.3 自协商功能

对应每个端口，根据 IEEE802.3 中的自协商机制，可以协商全双工、速率和流控等信息。

7.1.4 线序交叉检查和自动修正功能

芯片能够自动按照下表方式来检查线序并进行适配，不需要外部手动修改线序。

表 7-1 MDI Pin 映射表

Pairs	MDI			MDI 交叉		
	1000Base-T	100Base-TX	10Base-T	1000Base-T	100Base-TX	10Base-T
A	A	TX	TX	B	RX	RX
B	B	RX	RX	A	TX	TX
C	C	Unused	Unused	D	Unused	Unused
D	D	Unused	Unused	C	Unused	Unused

7.1.5 极性修正功能

1000Base-T/10Base-T 模式下，在接收方向上芯片能够自动进行极性连接错误修正。

100Base-TX 模式与极性无关。

在 1000Base-T 模式下，接收侧基于检测 IDLE 帧序列进行修正。一旦解扰 Lock，那么极性就 Lock。

在 10Base-T 模式下，接收侧基于检测有效 LINK 脉冲的间隔来进行修正。在线序交叉检查过程开始侦听并在端口 LINK 时 Lock。

7.1.6 100Base-FX 百兆光口

发送方向进行 4B/5B 编码、NRZI 编码。

接收方向进行 NRZI 解码、4B/5B 解码操作。

7.2 I2C Master 接口

7.2.1 访问外部 EEPROM 概述

芯片将使用 I2C 接口从外部 EEPROM 中读取配置数据配置到芯片内部寄存器，I2C 接口速率最高

为 100Kbps。EEPROM 容量规格可以通过引脚 EEPROM_MOD 配置，根据 EEPROM 容量大小，系统划分小于等于 16Kbit 和大于 16Kbit 两种访问方式。

7.2.2 访问外部 EEPROM 时序说明

7.2.2.1 从 EEPROM 读取配置 (EEPROM > 16Kbit)

将 16bit 访问地址写入 EEPROM

S	EEPROM设备地址 (7bit)							W	ACK	ADDR_HIGH	ACK	ADDR_LOW	ACK
	1	0	1	0	A2	A1	A0						

从器件中读出 N Byte 的配置数据

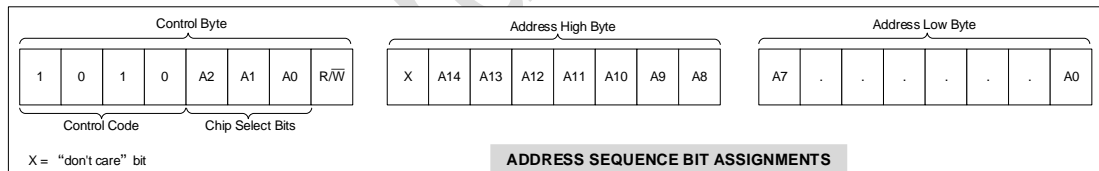
S	EEPROM设备地址 (7bit)	R	ACK	DATA1[7:0]	NO ACK	S	EEPROM设备地址 (7bit)	R	ACK	DATA2[7:0]	NO ACK
---	-------------------	---	-----	------------	--------	---	-------------------	---	-----	------------	--------

S	EEPROM设备地址 (7bit)	R	ACK	DATA3[7:0]	NO ACK	S	EEPROM设备地址 (7bit)	R	ACK	DATA4[7:0]	NO ACK
---	-------------------	---	-----	------------	--------	---	-------------------	---	-----	------------	--------

...

S	EEPROM设备地址 (7bit)	R	ACK	DATA(N-1)[7:0]	NO ACK	S	EEPROM设备地址 (7bit)	R	ACK	DATA N[7:0]	NO ACK	P
---	-------------------	---	-----	----------------	--------	---	-------------------	---	-----	-------------	--------	---

24C32~24C256 的 EEPROM 地址格式如下，地址位 15bit，A2-A0 引脚作为片选 (SF2507V/SF2507EV 上不考虑一个总线上挂接多个 EEPROM 的情况，因而 A2-A0 地址固定设置为 0)。



7.2.2.2 从 EEPROM 读取配置 (EEPROM ≤ 16Kbit)

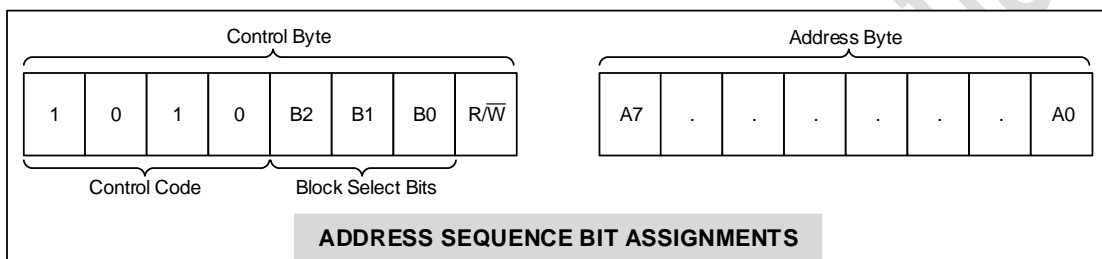
将 16bit 访问地址写入 EEPROM

S	EEPROM设备地址 (7bit)							W	ACK	ADDR	ACK
	1	0	1	0	A2	A1	A0				

从器件中读出 N Byte 的配置数据

S	EEPROM设备地址 (7bit)	R	ACK	DATA1[7:0]	NO ACK	S	EEPROM设备地址 (7bit)	R	ACK	DATA2[7:0]	NO ACK	
S	EEPROM设备地址 (7bit)	R	ACK	DATA3[7:0]	NO ACK	S	EEPROM设备地址 (7bit)	R	ACK	DATA4[7:0]	NO ACK	
...												
S	EEPROM设备地址 (7bit)	R	ACK	DATA(N-1)[7:0]	NO ACK	S	EEPROM设备地址 (7bit)	R	ACK	DATA N[7:0]	NO ACK	P

24C02~24C16 的 EEPROM 地址格式如下，地址位 8bit，因此每个 block 是 256 byte，内部通过 B2-B0 选择 block，24C02 的 A2-A0 引脚固定设置为 0。



7.2.2.3 EEPROM 中数据格式

EEPROM 格式定义如下：

Magic Number (2 bytes)	Version (2 bytes)	Length (4 bytes)
Reserved (4 bytes)		
Config 0 (4 bytes)		
Config 1 (4 bytes)		
...		
Config n (4 bytes)		

各字段定义如下：

Magic Number: 用于判断当前是否是可识别的配置，统一使用厂商 ID 0x1619。

Version: 当前配置版本信息，具体格式定义待定。

Length: 从 Config 0 开始到 Config n 结束（包括 Config n）的 Byte 数。

Config [0-n]: 有效配置区域，每条 Config 由 2 Bytes 寄存器地址 + 2 Bytes 寄存器值组成。

7.2.2.4 配置过程

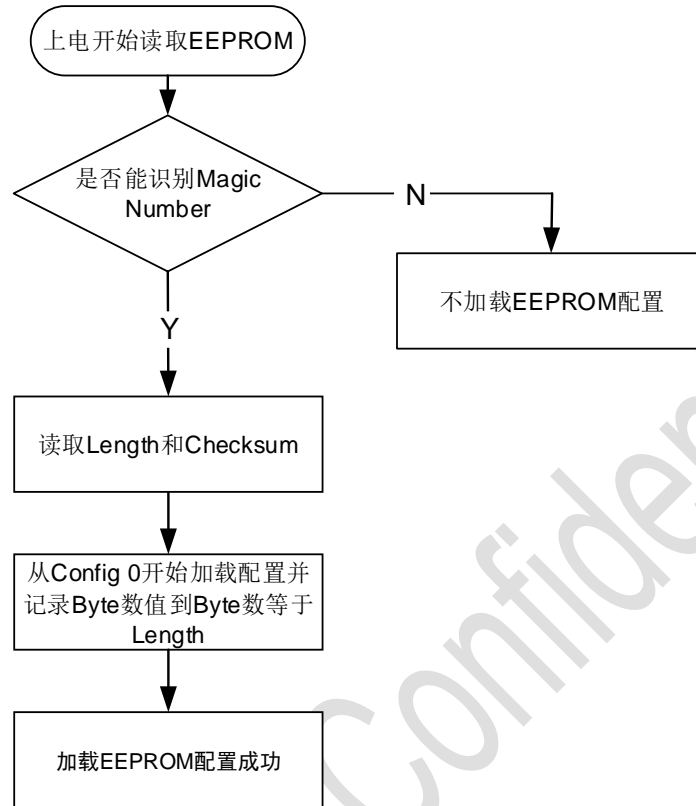


图 7-2 EEPROM 配置加载流程

【备注】SF2507V/SF2507EV 硬件不支持配置数据校验。

7.3 I2C Slave 接口

7.3.1 通过 I2C 接口访问内部寄存器概述

外部管理接口可配置为 I2C Slave 接口，外部 CPU 通过 I2C Slave 接口访问芯片内部寄存器，速率最高支持 400Kbps。

SF2507V/SF2507EV I2C Slave 设备地址：0x5C(7bit 地址)

7.3.2 通过 I2C 接口访问内部寄存器时序说明

7.3.2.1 I2C_Slave 写寄存器

S	从设备地址 (7bit)	W	ACK	CSR ADDR [15:8]	ACK	CSR ADDR [7:0]	ACK	CSR DATA [15:8]	ACK	CSR DATA [7:0]	ACK	P
---	--------------	---	-----	-----------------	-----	----------------	-----	-----------------	-----	----------------	-----	---

7.3.2.2 I2C_Slave 读寄存器

S	从设备地址 (7bit)	W	ACK	CSR ADDR [15:8]	ACK	CSR ADDR [7:0]	ACK
---	--------------	---	-----	-----------------	-----	----------------	-----

从器件中读出 16bit 的寄存器数据

S	从设备地址 (7bit)	R	ACK	CSR DATA [15:8]	ACK	CSR DATA [7:0]	NO ACK	P
---	--------------	---	-----	-----------------	-----	----------------	--------	---

7.4 SPI Master 接口

当用户选择内嵌 SOC 对交换芯片进行管理时，需要通过 SPI Master 接口外接 SPI Flash。

SPI 访问外部 Flash 遵循标准 SPI Flash 访问方式。SPI 作为 Master 访问外部 Flash 时，支持模式 0 和模式 3 两种标准模式（上电启动加载程序默认模式 0）。支持 Serial Mode 的 SPI 指令，详见表 7-2 SPI 指令表。

表 7-2 SPI 指令表

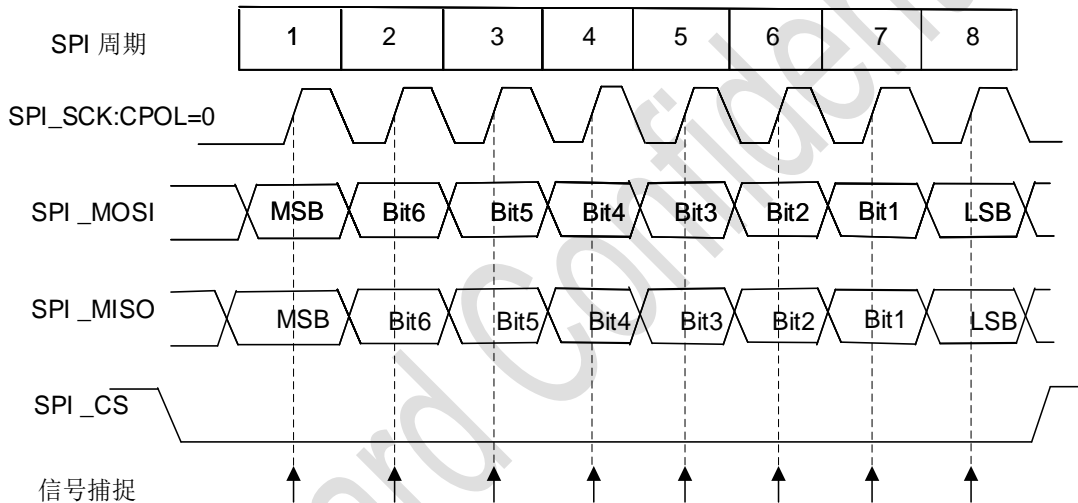
Bus Cycle		Byte1	Byte2	Byte3	Byte4	Byte5	Byte6
Instruction	Signal	Value					
READ	DI	03H	A ₂₃ -A ₁₆	A ₁₅ -A ₈	A ₇ -A ₀	X	-
	DO	Hi-Z	Hi-Z	Hi-Z	Hi-Z	DOUT	-
High-Speed-READ	DI	0BH	A ₂₃ -A ₁₆	A ₁₅ -A ₈	A ₇ -A ₀	X	X
	DO	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	DOUT
Page-Program	DI	02H	A ₂₃ -A ₁₆	A ₁₅ -A ₈	A ₇ -A ₀	DIN	-
	DO	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
Write-Enable	DI	06H	-	-	-	-	-
	DO	Hi-Z	-	-	-	-	-
Write-Disable	DI	04H	-	-	-	-	-
	DO	Hi-Z	-	-	-	-	-
Sector-Erase	DI	20H	A ₂₃ -A ₁₆	A ₁₅ -A ₈	A ₇ -A ₀	-	-
	DO	Hi-Z	Hi-Z	Hi-Z	Hi-Z	-	-
Block-Erase	DI	52H or D8H	A ₂₃ -A ₁₆	A ₁₅ -A ₈	A ₇ -A ₀	-	-
	DO	Hi-Z	Hi-Z	Hi-Z	Hi-Z	-	-
Chip-Erase	DI	60H or C7H	-	-	-	-	-
	DO	Hi-Z	-	-	-	-	-
Read-Status-Register	DI	05H or 35H	X	-	-	-	-
	DO	Hi-Z	DOUT	-	-	-	-
Write-Status-Register	DI	01H	Data	-	-	-	-
	DO	Hi-Z	Hi-Z	-	-	-	-

Enable-Write-Status-Register	DI	50H	-	-	-	-	-
	DO	Hi-Z	-	-	-	-	-
Read-ID	DI	90H or ABH	00H	00H	ID addr	X	-
	DO	Hi-Z	Hi-Z	Hi-Z	Hi-Z	DOUT1	DOUT2

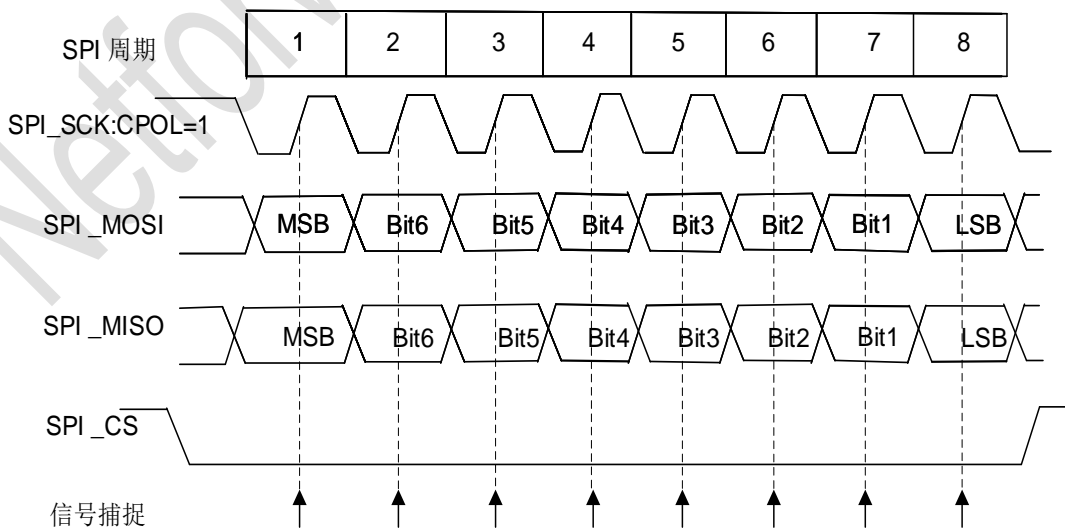
7.5 SPI Slave 接口

7.5.1 通过 SPI 接口访问内部寄存器概述

外部管理接口可配置为 SPI Slave 接口，外部 CPU 可通过 SPI Slave 接口访问芯片内部寄存器，支持 mode0 和 mode3 两种标准模式，SPI 接口速率最高为 200Kbps。



SPI Mode0 CPHA=0,CPOL=0 ,数据时钟时序图

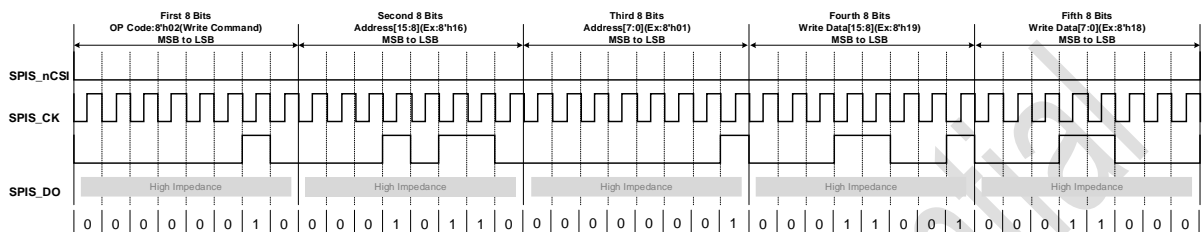


SPI Mode3 CPHA=1,CPOL=1 ,数据时钟时序图

7.5.2 通过 SPI 接口访问内部寄存器时序说明

芯片内部寄存器地址范围为 16bit，寄存器数据位宽为 16bit，寄存器寻址为字寻址，字长为 16bit。

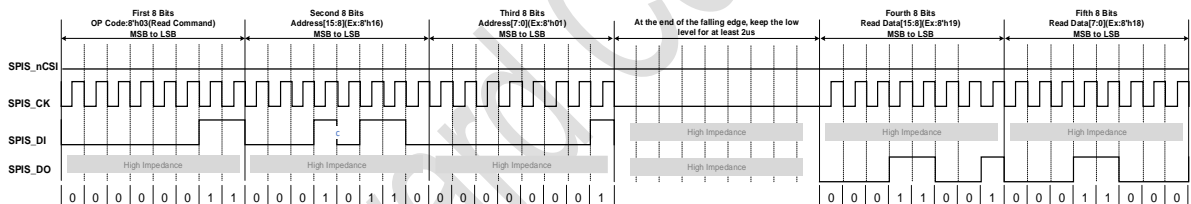
7.5.2.1 SPI 的写寄存器时序



外部一共写入 5 个 Byte，第一个 Byte 为功能码，写寄存器为 8'h2，第二和第三为寄存器地址，第四和第五为写入的寄存器数据。

写入的 5 个 Byte 不需要完全连续，每两个 Byte 可以有间隔，间隔状态下 SPIS_nCSI 保持不变，SPIS_CK 为低电平即可。两条命令之间 SPIS_nCSI 保持高电平至少 1us。

7.5.2.2 SPI 的读寄存器时序



外部写入 3 个 Byte，读回 2 个 Byte。第一个 Byte 为功能码，读寄存器为 8'h3，第二和第三为寄存器地址，第四和第五为读回的寄存器数据。

5 个 Byte 不需要完全连续，每两个 Byte 可以有间隔，间隔状态下 SPIS_nCSI 低电平保持不变，SPIS_CK 为低电平即可。两条命令之间 SPIS_nCSI 保持高电平至少 1us。

待第二第三字节的寄存器发送完成之后，需要间隔 2us 才能读取芯片返回的寄存器数据，等待期间 SPIS_nCSI 低电平保持不变，关掉 SPIS_CK 即可。

7.6 SMI Master 接口（SF2507EV 特有）

该接口支持 CLAUSE 22 来管理外部的 PHY。

【注意】管理的外部 PHY ID 不能配置为 0。

7.7 SMI Slave 接口

7.7.1 通过 SMI 接口访问内部寄存器概述

外部管理接口可配置为 SMI Slave 接口，外部 CPU 可通过 SMI 接口访问芯片内部寄存器，SMI 接口 MDC 时钟频率最高 2.5MHz，SMI 版本为 CLAUSE 22。

SMI Slave 地址配置说明：

MID29 = 0, PHYAD=0x0

MID29 = 1, PHYAD=0x1D

7.7.2 通过 SMI 接口访问内部寄存器时序说明

7.7.2.1 Clause 22 SMI 帧说明

-	PRE	ST	OP	PHYAD	REGAD	TA	DATRA	IDLE
READ	1...1	01	10	AAAAA	RRRRR	Z0	D...D(16)	Z
WRITE	1...1	01	01	AAAAA	RRRRR	10	D...D(16)	Z

7.7.2.2 SMI 间接读寄存器步数

- 1) 将地址控制码 0xE 写入到 MDC_MDIO_PHY_ID 的 register 31。

OP	PHYAD	REGAD	TA	DATA
01	MDC_MDIO_PHY_ID	5'd 31	10	0xE

- 2) 将需要访问的寄存器地址 mAddrs 写入到 MDC_MDIO_PHY_ID 的 register 23。

OP	PHYAD	REGAD	TA	DATA
01	MDC_MDIO_PHY_ID	5'd 23	10	mAddrs

- 3) 将读取命令 0x1 写入到 MDC_MDIO_PHY_ID 的 register 21。

OP	PHYAD	REGAD	TA	DATA
01	MDC_MDIO_PHY_ID	5'd 21	10	0x01

- 4) 从 MDC_MDIO_PHY_ID 的 register 25 读取数据 rData。

OP	PHYAD	REGAD	TA	DATA
10	MDC_MDIO_PHY_ID	5'd 25	Z0	rData

7.7.2.3 SMI 间接写寄存器

- 1) 将地址控制码 0xE 写入到 MDC_MDIO_PHY_ID 的 register 31。

OP	PHYAD	REGAD	TA	DATA
01	MDC_MDIO_PHY_ID	5'd 31	10	0xE

- 2) 将需要访问的寄存器地址 mAddrs 写入到 MDC_MDIO_PHY_ID 的 register 23。

OP	PHYAD	REGAD	TA	DATA
01	MDC_MDIO_PHY_ID	5'd 23	10	mAddr

- 3) 将数据 wData 写入到 MDC_MDIO_PHY_ID 的数据寄存器 register 24。

OP	PHYAD	REGAD	TA	DATA
01	MDC_MDIO_PHY_ID	5'd 24	10	wData

- 4) 将写入命令 0x3 写入到 MDC_MDIO_PHY_ID 的 register 21。

OP	PHYAD	REGAD	TA	DATA
01	MDC_MDIO_PHY_ID	5'd 21	10	0x03

7.8 RGMII/RMII/MII 接口

SF2507V/SF2507EV 支持 2 个扩展接口 GMAC1 和 GMAC2(两个扩展接口默认为 MII PHY 模式), GMAC 口的 Pin 复用见下表, 通过内部寄存器来配置工作模式。

表 7-3 GMAC1 Pin 复用表

Pin No.	MII MAC	MII PHY	RMII MAC	RMII PHY	RGMII
56	M1M_CRS	-	-	-	-
57	M1M_TXD3	M1P_RXD3	-	-	RG1_TXD3
58	M1M_TXD2	M1P_RXD2	-	-	RG1_TXD2
59	M1M_TXD1	M1P_RXD1	M1M_TXD1	M1P_RXD1	RG1_TXD1
60	M1M_TXD0	M1P_RXD0	M1M_TXD0	M1P_RXD0	RG1_TXD0
61	M1M_TXEN	M1P_RXDV	M1M_TXEN	M1P_RXDV	RG1_TXCTL
62	M1M_TXCLK	M1P_RXCLK	M1M_CLKREF	M1P_CLKREF	RG1_TXCLK
63	M1M_RXCLK	M1P_TXCLK	-	-	RG1_RXCLK
64	M1M_RXDV	M1P_TXEN	M1M_RXDV	M1P_TXEN	RG1_RXCTL
65	M1M_RXD0	M1P_TXD0	M1M_RXD0	M1P_TXD0	RG1_RXD0
66	M1M_RXD1	M1P_TXD1	M1M_RXD1	M1P_TXD1	RG1_RXD1
67	M1M_RXD2	M1P_TXD2	-	-	RG1_RXD2
68	M1M_RXD3	M1P_TXD3	-	-	RG1_RXD3

表 7-4 GMAC2 Pin 复用表

Pin No.	MII MAC	MII PHY	RMII MAC	RMII PHY	RGMII
40	M2M_CRS	-	-	-	-
41	M2M_TXD3	M2P_RXD3	-	-	RG2_TXD3
42	M2M_TXD2	M2P_RXD2	-	-	RG2_TXD2
43	M2M_TXD1	M2P_RXD1	M2M_TXD1	M2P_RXD1	RG2_TXD1
44	M2M_TXD0	M2P_RXD0	M2M_TXD0	M2P_RXD0	RG2_TXD0
45	M2M_TXEN	M2P_RXDV	M2M_TXEN	M2P_RXDV	RG2_TXCTL
46	M2M_TXCLK	M2P_RXCLK	M2M_CLKREF	M2P_CLKREF	RG2_TXCLK
47	M2M_RXCLK	M2P_TXCLK	-	-	RG2_RXCLK
48	M2M_RXDV	M2P_TXEN	M2M_RXDV	M2P_TXEN	RG2_RXCTL
49	M2M_RXD0	M2P_TXD0	M2M_RXD0	M2P_TXD0	RG2_RXD0
50	M2M_RXD1	M2P_TXD1	M2M_RXD1	M2P_TXD1	RG2_RXD1

51	M2M_RXD2	M2P_TXD2	-	-	RG2_RXD2
52	M2M_RXD3	M2P_TXD3	-	-	RG2_RXD3

7.8.1 MII MAC/PHY 接口

SF2507V/SF2507EV 两个 GMAC 口可支持 MII MAC/PHY 模式。

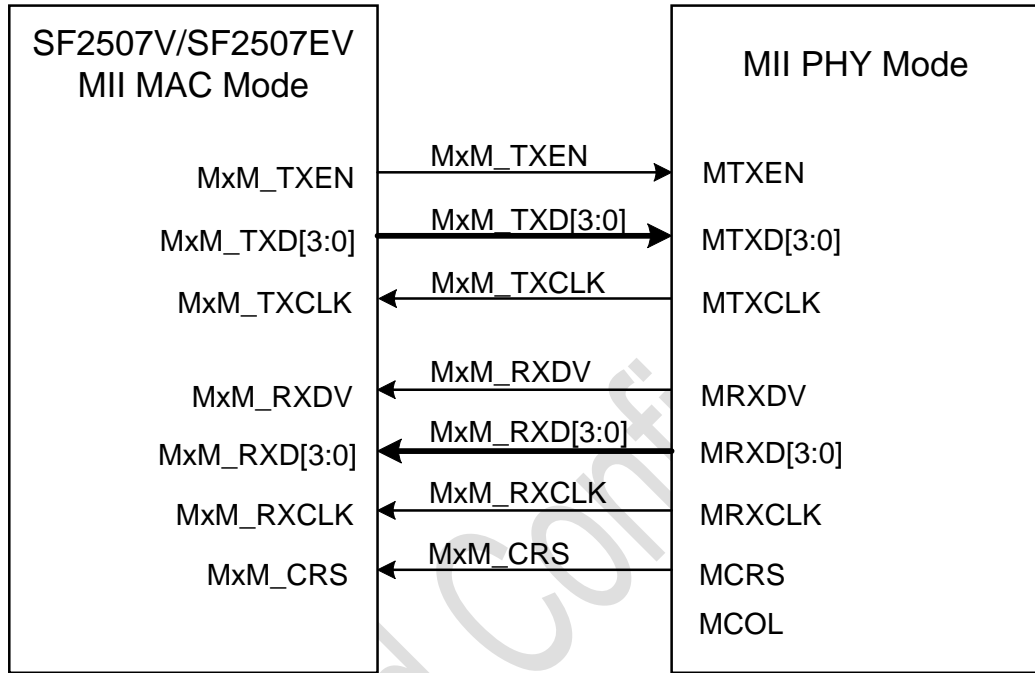


图 7-3 MII MAC 模式下接口连接图（100Mbps）

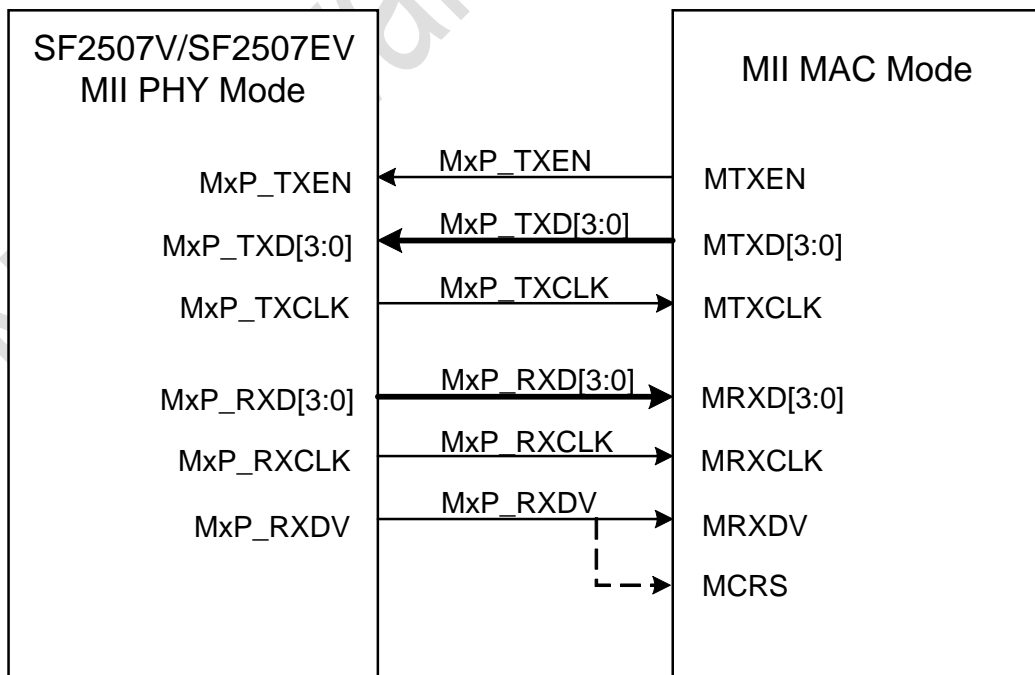


图 7-4 MII PHY 模式下接口连接图（100Mbps）

7.8.2 RMII MAC/PHY 接口

SF2507V/SF2507EV 两个 GMAC 口可支持 RMII MAC/PHY 模式。

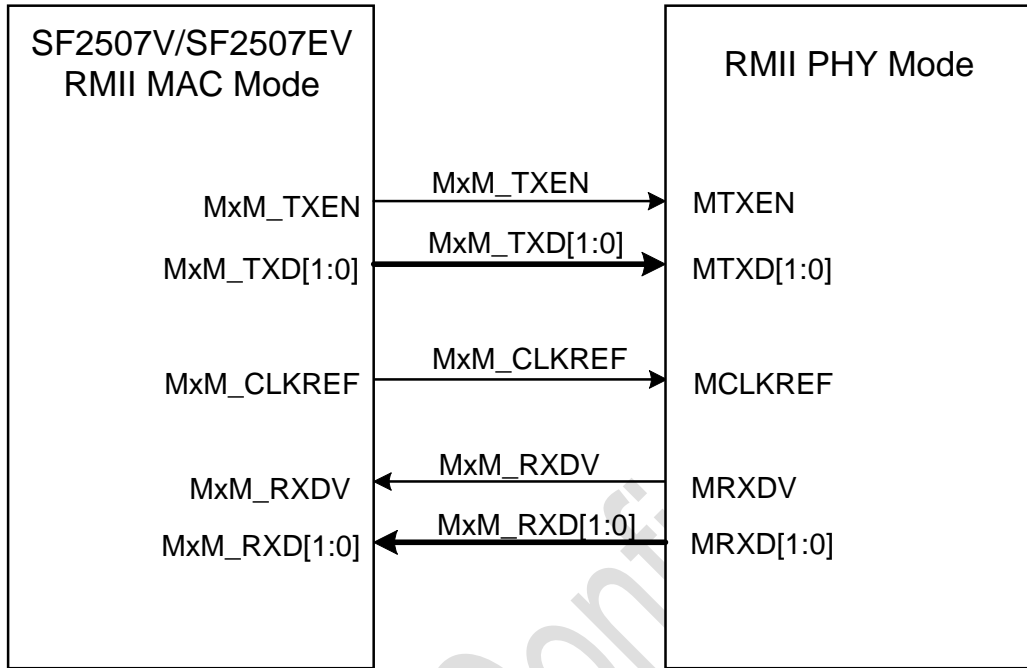


图 7-5 RMII MAC 模式下接口连接图 (100Mbps)

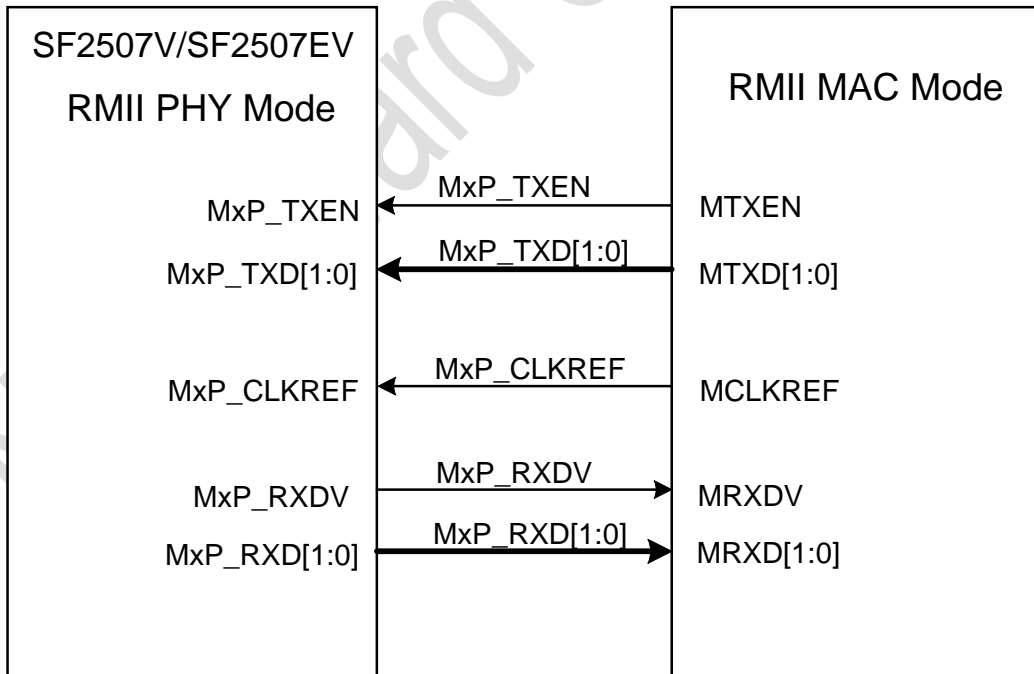


图 7-6 RMII PHY 模式下接口连接图 (100Mbps)

7.8.3 RGMII 接口

SF2507V/SF2507EV 两个 GMAC 口可配置为 RGMII 端口，通过该接口可与外部控制器的 RGMII 接口连接。

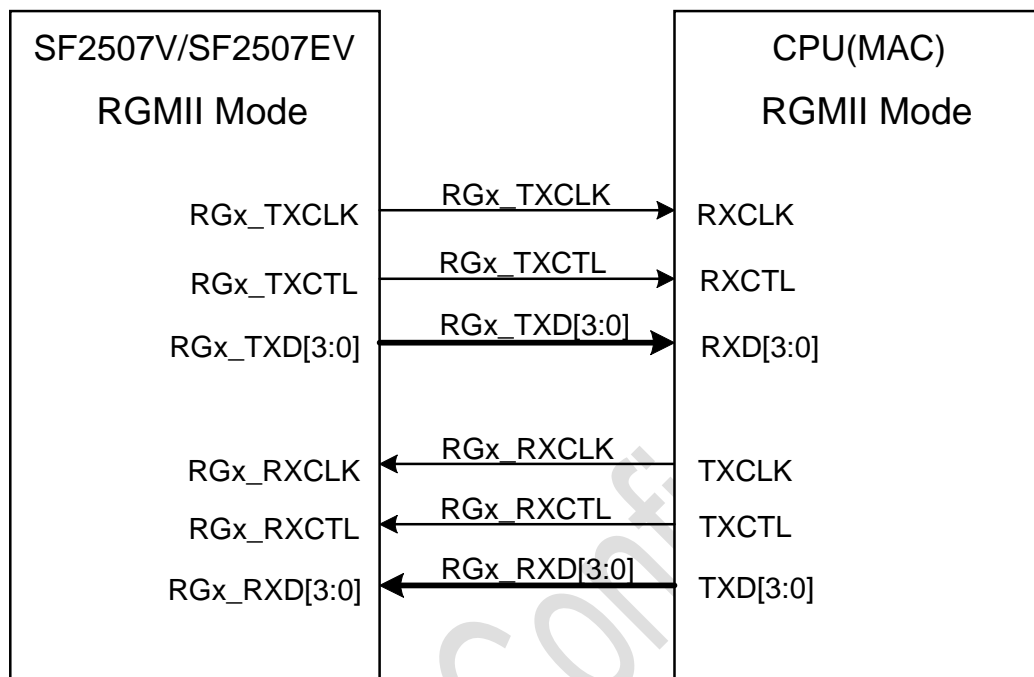


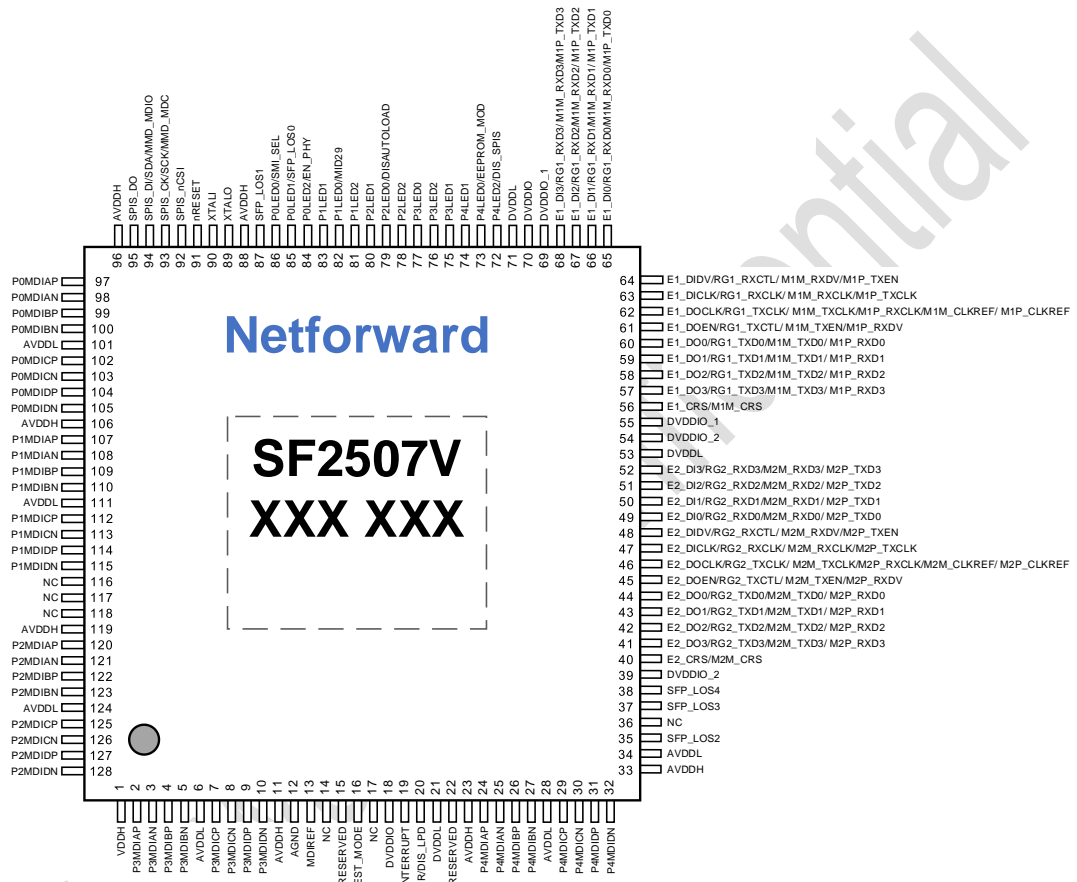
图 7-7 RGMII 模式下接口连接图 (1000Mbps)

8 引脚定义

I: Input Pin	AI: Analog Input Pin
O : Output Pin	AO: Analog Output Pin
I/O: Bi-direction Input/Output Pin	AI/O: Analog Bi-direction Input/Output Pin
P: Digital Power Pin	AP: Analog Power Pin
G: Digital Ground Pin	AG: Analog Ground Pin
Ipu: Input Pin with Pull-up Resistor ; (Typical Value =75KOhm)	Opu: Output pin With Pull-up Resistor (Typical Value =75K Ohm)
Is: Input with Schmitt Trigger	I _{PD} : Input with internal pull-down (Typical Value =75K Ohm)

8.1 SF2507V 引脚说明

8.1.1 SF2507V 引脚分布图



□ E-PAD: GND LQFP-128 E-PAD 封装尺寸: 14mm x 14mm

图 8-1 SF2507V LQFP-128 EPAD 引脚分布图 (TopView)

8.1.2 SF2507V 引脚列表

表 8-1 SF2507V 引脚 Pin 表

No.	Pin Name	Type	No.	Pin Name	Type
1	AVDDH	AP	27	P4MDIBN	AI/O
2	P3MDIAP	AI/O	28	AVDDL	AP
3	P3MDIAN	AI/O	29	P4MDICP	AI/O
4	P3MDIBP	AI/O	30	P4MDICN	AI/O
5	P3MDIBN	AI/O	31	P4MDIDP	AI/O
6	AVDDL	AP	32	P4MDIDN	AI/O
7	P3MDICP	AI/O	33	AVDDH	AP
8	P3MDICN	AI/O	34	AVDDL	AP
9	P3MDIDP	AI/O	35	SFP_LOS2	lpd
10	P3MDIDN	AI/O	36	NC	-
11	AVDDH	AP	37	SFP_LOS3	lpd
12	AGND	AG	38	SFP_LOS4	lpd
13	MDIREF	AO	39	DVDDIO_2	P
14	AVDDL	AP	40	E2_CRS/M2M_CRS	I/O
15	RESERVED	-	41	E2_DO3/M2M_TXD3/M2P_RXD3/RG2_TXD3	I/O
16	TEST_MODE	lpd	42	E2_DO2/M2M_TXD2/M2P_RXD2/RG2_TXD2	I/O
17	AVDDH	AP	43	E2_DO1/M2M_TXD1/M2P_RXD1/RG2_TXD1	I/O
18	DVDDIO	P	44	E2_DO0/M2M_TXD0/M2P_RXD0/RG2_TXD0	I/O
19	INTERRUPT	O	45	E2_DOEN/M2M_TXEN/M2P_RXDV/RG2_TXCTL	I/O
20	BUZZER/DIS_LPD	I/O _{pu}	46	E2_DOCLK/RG2_TXCLK/M2M_TXCLK/M2P_RXCLK/M2M_CLKREF/M2P_CLKREF	I/O
21	DVDDL	P	47	E2_DICLK/RG2_RXCLK/M2M_RXCLK/M2P_TXCLK	I/O
22	RESERVED	-	48	E2_DIDV/RG2_RXCTL/M2M_RXDV/M2P_TXEN	I/O
23	AVDDH	AP	49	E2_DI0/RG2_RXD0/M2M_RXD0/M2P_TXD0	I/O
24	P4MDIAP	AI/O	50	E2_DI1/RG2_RXD1/M2M_RXD1/M2P_TXD1	I/O
25	P4MDIAN	AI/O	51	E2_DI2/RG2_RXD2/M2M_RXD2/M2P_TXD2	I/O
26	P4MDIBP	AI/O	52	E2_DI3/RG2_RXD3/M2M_RXD3/M2P_TXD3	I/O

No.	Pin Name	Type
53	DVDDL	P
54	DVDDIO_2	P
55	DVDDIO_1	P
56	E1_CRS/M1M_CRS	I/O
57	E1_DO3/RG1_TXD3/M1M_TXD3/ M1P_RXD3	I/O
58	E1_DO2/RG1_TXD2/M1M_TXD2/ M1P_RXD2	I/O
59	E1_DO1/RG1_TXD1/M1M_TXD1/ M1P_RXD1	I/O
60	E1_DO0/RG1_TXD0/M1M_TXD0/ M1P_RXD0	I/O
61	E1_DOEN/RG1_TXCTL/ M1M_TXEN/M1P_RXDV	I/O
62	E1_DOCLK/RG1_TXCLK/ M1M_TXCLK/M1P_RXCLK/ M1M_CLKREF/ M1P_CLKREF	I/O
63	E1_DICLK/RG1_RXCLK/ M1M_RXCLK/M1P_TXCLK	I/O
64	E1_DIDV/RG1_RXCTL/ M1M_RXDV/M1P_TXEN	I/O
65	E1_DI0/RG1_RXD0/M1M_RXD0/M1P_TXD0	I/O
66	E1_DI1/RG1_RXD1/M1M_RXD1/ M1P_TXD1	I/O
67	E1_DI2/RG1_RXD2/M1M_RXD2/ M1P_TXD2	I/O
68	E1_DI3/RG1_RXD3/ M1M_RXD3/M1P_TXD3	I/O
69	DVDDIO_1	P
70	DVDDIO	P
71	DVDDL	P
72	P4LED2/DIS_SPIS	I/O
73	P4LED0/EEPROM_MOD	I/O
74	P4LED1	I/O
75	P3LED1	I/O
76	P3LED2/EM_PWRLIGHT	I/O
77	P3LED0	I/O
78	P2LED2	I/O
79	P2LED0/DISAUTOLOAD	I/O

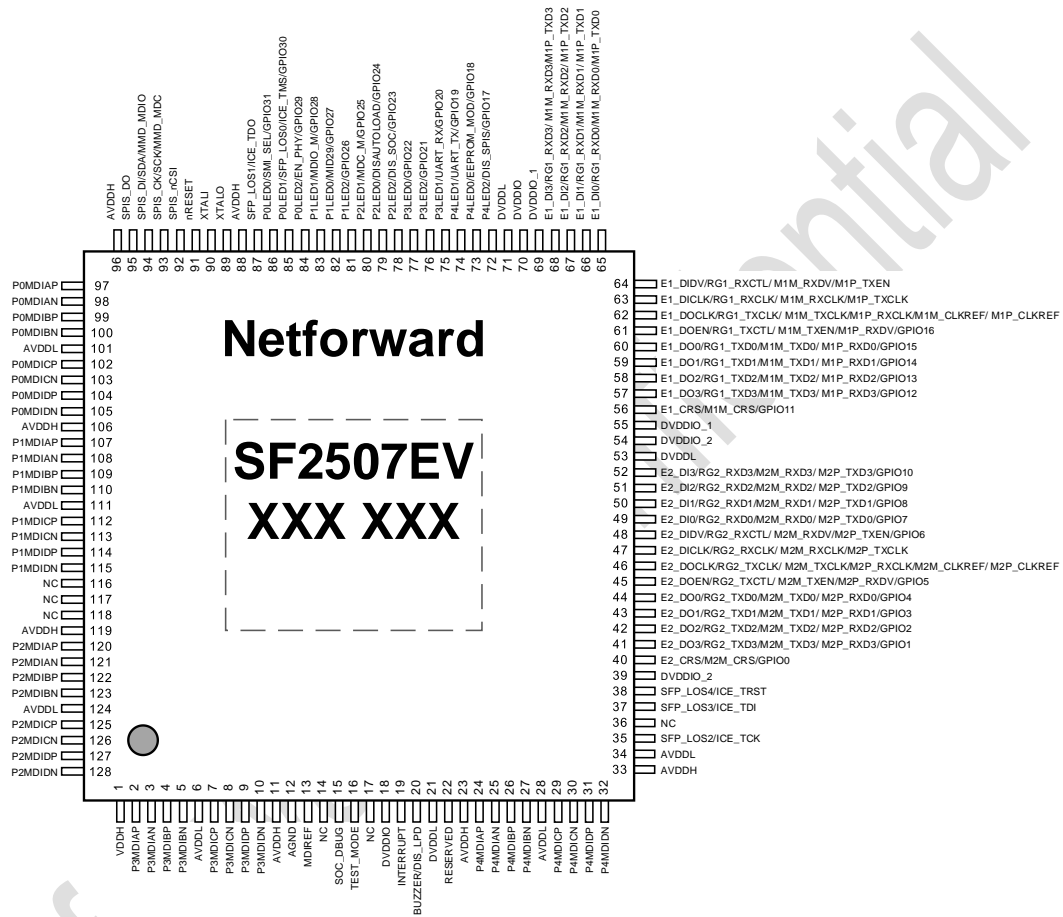
No.	Pin Name	Type
	XD3/ M2P_TXD3	
80	P2LED1	I/O
81	P1LED2	I/O
82	P1LED0/MID29	I/O
83	P1LED1	I/O
84	P0LED2/EN_PHY	I/O
85	P0LED1/SFP_LOS0	I/O
86	P0LED0/SMI_SEL	I/O
87	SFP_LOS1	lpd
88	AVDDH	AP
89	XTALO	AO
90	XTALI	AI
92	SPIS_nCSI	I/O
93	SPIS_CK/SCK/MMD_MDC	I/O
94	SPIS_DI/SDA/MMD_MDIO	I/O
95	SPIS_DO	I/O
96	AVDDH	AP
97	P0MDIAP	AI/O
98	P0MDIAN	AI/O
99	P0MDIBP	AI/O
100	P0MDIBN	AI/O
101	AVDDL	AP
102	P0MDICP	AI/O
103	P0MDICN	AI/O
104	P0MDIDP	AI/O
105	P0MDIDN	AI/O
106	AVDDH	AP
107	P1MDIAP	AI/O

No.	Pin Name	Type
108	P1MDIAN	AI/O
109	P1MDIBP	AI/O
110	P1MDIBN	AI/O
111	AVDDL	AP
112	P1MDICP	AI/O
113	P1MDICN	AI/O
114	P1MDIDP	AI/O
115	P1MDIDN	AI/O
116	NC	-
117	NC	-
118	NC	-

No.	Pin Name	Type
119	AVDDH	AP
120	P2MDIAP	AI/O
121	P2MDIAN	AI/O
122	P2MDIBP	AI/O
123	P2MDIBN	AI/O
124	AVDDL	AP
125	P2MDICP	AI/O
126	P2MDICN	AI/O
127	P2MDIDP	AI/O
128	P2MDIDN	AI/O
-	E-PAD	G

8.2 SF2507EV 引脚说明

8.2.1 SF2507EV 引脚分布图



□ E-PAD: GND

LQFP-128 E-PAD

封装尺寸: 14mm x 14mm

图 8-2 SF2507EV LQFP-128 EPAD 引脚分布 (TopView)

8.2.2 SF2507EV 引脚列表

表 8-2 SF2507EV 引脚 Pin

No.	Pin Name	Type	No.	Pin Name	Type
1	AVDDH	AP	26	P4MDIBP	AI/O
2	P3MDIAP	AI/O	27	P4MDIBN	AI/O
3	P3MDIAN	AI/O	28	AVDDL	AP
4	P3MDIBP	AI/O	29	P4MDICP	AI/O
5	P3MDIBN	AI/O	30	P4MDICN	AI/O
6	AVDDL	AP	31	P4MDIDP	AI/O
7	P3MDICP	AI/O	32	P4MDIDN	AI/O
8	P3MDICN	AI/O	33	AVDDH	AP
9	P3MDIDP	AI/O	34	AVDDL	AP
10	P3MDIDN	AI/O	35	SFP_LOS2/ICE_TCK	lpd
11	AVDDH	AP	36	NC	-
12	AGND	AG	37	SFP_LOS3/ICE_TDI	lpd
13	MDIREF	AO	38	SFP_LOS4/ICE_TRST	lpd
14	AVDDL	AP	39	DVDDIO_2	P
15	SOC_DEBUG	lpd	40	E2_CRS/M2M_CRS/GPIO00	I/O
16	TEST_MODE	lpd	41	E2_DO3/M2M_TXD3/M2P_RX D3/RG2_TXD3/GPIO01	I/O
17	AVDDH	AP	42	E2_DO2/M2M_TXD2/M2P_RX D2/RG2_TXD2/GPIO02	I/O
18	DVDDIO	P	43	E2_DO1/M2M_TXD1/M2P_RX D1/RG2_TXD1/GPIO03	I/O
19	INTERRUPT	O	44	E2_DO0/M2M_TXD0/M2P_RX D0/RG2_TXD0/GPIO04	I/O
20	BUZZER/DIS_LPD	I/Opu	45	E2_DOEN/M2M_TXEN/M2P_R XDV/RG2_TXCTL/GPIO05	I/O
21	DVDDL	P	46	E2_DOCLK/RG2_TXCLK/ M2M_TXCLK/M2P_RXCLK/ M2M_CLKREF/ M2P_CLKREF	I/O
22	RESERVED	-	47	E2_DICLK/RG2_RXCLK/ M2M_RXCLK/M2P_TXCLK	I/O
23	AVDDH	AP	48	E2_DIDV/RG2_RXCTL/ M2M_RXDV/M2P_TXEN/GPIO 6	I/O
24	P4MDIAP	AI/O	49	E2_DI0/RG2_RXD0/M2M_RXD 0/ M2P_TXD0/GPIO7	I/O
25	P4MDIAN	AI/O	50	E2_DI1/RG2_RXD1/M2M_RXD 1/ M2P_TXD1/GPIO8	I/O

No.	Pin Name	Type
51	E2_DI2/RG2_RXD2/M2M_RXD2/ M2P_TXD2/GPIO9	I/O
52	E2_DI3/RG2_RXD3/M2M_RXD3/ M2P_TXD3/GPIO10	I/O
53	DVDDL	P
54	DVDDIO_2	P
55	DVDDIO_1	P
56	E1_CRS/M1M_CRS/GPIO11	I/O
57	E1_DO3/RG1_TXD3/M1M_TXD3/ M1P_RXD3/GPIO12	I/O
58	E1_DO2/RG1_TXD2/M1M_TXD2/ M1P_RXD2/GPIO13	I/O
59	E1_DO1/RG1_TXD1/M1M_TXD1/ M1P_RXD1/GPIO14	I/O
60	E1_DO0/RG1_TXD0/M1M_TXD0/ M1P_RXD0/GPIO15	I/O
61	E1_DOEN/RG1_TXCTL/M1M_TXEN/M1P_RXDV/GPIO16	I/O
62	E1_DOCLK/RG1_TXCLK/M1M_TXCLK/M1P_RXCLK/M1M_CLKREF/ M1P_CLKREF	I/O
63	E1_DICLK/RG1_RXCLK/M1M_RXCLK/M1P_TXCLK	I/O
64	E1_DIDV/RG1_RXCTL/M1M_RXDV/M1P_TXEN	I/O
65	E1_DI0/RG1_RXD0/M1M_RXD0/M1P_TXD0	I/O
66	E1_DI1/RG1_RXD1/M1M_RXD1/ M1P_TXD1	I/O
67	E1_DI2/RG1_RXD2/M1M_RXD2/ M1P_TXD2	I/O
68	E1_DI3/RG1_RXD3/M1M_RXD3/ M1P_TXD3	I/O
69	DVDDIO_1	P
70	DVDDIO	P
71	DVDDL	P
72	P4LED2/DIS_SPIS/GPIO17	I/O
73	P4LED0/EEPROM_MOD/GPIO18	I/O

No.	Pin Name	Type
74	P4LED1/UART_TX/GPIO19	I/O
75	P3LED1/UART_RX/GPIO20	I/O
76	P3LED2/EM_PWRLIGHT/GPIO21	I/O
77	P3LED0/GPIO22	I/O
78	P2LED2/DIS_SOC/GPIO23	I/O
79	P2LED0/DISAUTOLOAD/GPIO24	I/O
80	P2LED1/MDC_M/GPIO25	I/O
81	P1LED2/GPIO26	I/O
82	P1LED0/MID29/GPIO27	I/O
83	P1LED1/MDIO_M/GPIO28	I/O
84	P0LED2/EN_PHY/GPIO29	I/O
85	P0LED1/SFP_LOS0/ICE_TMS/GPIO30	I/O
86	P0LED0/SMI_SEL/GPIO31	I/O
87	SFP_LOS1/ICE_TDO	lpd
88	AVDDH	AP
89	XTALO	AO
90	XTALI	AI
91	nRESET	Is
92	SPIS_nCSI	I/O
93	SPIS_CK/SCK/MMD_MDC	I/O
94	SPIS_DI/SDA/MMD_MDIO	I/O
95	SPIS_DO	I/O
96	AVDDH	AP

No.	Pin Name	Type
97	P0MDIAP	AI/O
98	P0MDIAN	AI/O
99	P0MDIBP	AI/O
103	P0MDICN	AI/O
104	P0MDIDP	AI/O
105	P0MDIDN	AI/O
106	AVDDH	AP
107	P1MDIAP	AI/O
108	P1MDIAN	AI/O
109	P1MDIBP	AI/O
110	P1MDIBN	AI/O
111	AVDDL	AP
112	P1MDICP	AI/O
113	P1MDICN	AI/O
114	P1MDIDP	AI/O
115	P1MDIDN	AI/O
116	NC	-

No.	Pin Name	Type
100	P0MDIBN	AI/O
101	AVDDL	AP
102	P0MDICP	AI/O
117	NC	-
118	NC	-
119	AVDDH	AP
120	P2MDIAP	AI/O
121	P2MDIAN	AI/O
122	P2MDIBP	AI/O
123	P2MDIBN	AI/O
124	AVDDL	AP
125	P2MDICP	AI/O
126	P2MDICN	AI/O
127	P2MDIDP	AI/O
128	P2MDIDN	AI/O
-	E-PAD	G

9 引脚信号描述

9.1 SF2507V 引脚信号描述

9.1.1 电口/100Base-FX 光口 Pin

9.1.1.1 电口 Pin

表 9-1 电口 Pin 表

Pin No.	Pin Name	Type	Drive(mA)	Pin Description
2	P3MDIAP	AI/O	10	数据传输媒介 3 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发。 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
3	P3MDIAN	AI/O		
4	P3MDIBP	AI/O		
5	P3MDIBN	AI/O		
7	P3MDICP	AI/O		
8	P3MDICN	AI/O		
9	P3MDIDP	AI/O		
10	P3MDIDN	AI/O		
24	P4MDIAP	AI/O	10	数据传输媒介 4 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
25	P4MDIAN	AI/O		
26	P4MDIBP	AI/O		
27	P4MDIBN	AI/O		
29	P4MDICP	AI/O		
30	P4MDICN	AI/O		
31	P4MDIDP	AI/O		
32	P4MDIDN	AI/O		
97	P0MDIAP	AI/O	10	数据传输媒介 0 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
98	P0MDIAN	AI/O		
99	P0MDIBP	AI/O		
100	P0MDIBN	AI/O		
102	P0MDICP	AI/O		
103	P0MDICN	AI/O		
104	P0MDIDP	AI/O		
105	P0MDIDN	AI/O		
107	P1MDIAP	AI/O	10	数据传输媒介 1 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发
108	P1MDIAN	AI/O		

109	P1MDIBP	AI/O		100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用, 即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
110	P1MDIBN	AI/O		
112	P1MDICP	AI/O		
113	P1MDICN	AI/O		
114	P1MDIDP	AI/O		
115	P1MDIDN	AI/O	10	数据传输媒介 2 号端口: 1000Base-T: A/B/C/D 四对端口用于数据收发 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用, 即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
120	P2MDIAP	AI/O		
121	P2MDIAN	AI/O		
122	P2MDIBP	AI/O		
123	P2MDIBN	AI/O		
125	P2MDICP	AI/O		
126	P2MDICN	AI/O		
127	P2MDIDP	AI/O		
128	P2MDIDN	AI/O		

9.1.1.2 100Base-FX 光口 Pin

表 9-2 100Base-FX 接口 Pin 表

Pin No.	Pin Name	Dirction	Pin Description
37	SFP_LOS3	IPD	Port3: SFP LOS 输入信号
2	P3MDIAP	AI	Port3: 100Base-FX 的 RX
3	P3MDIAN	AI	
4	P3MDIBP	AO	Port3: 100Base-FX 的 TX
5	P3MDIBN	AO	
38	SFP_LOS4	IPD	Port4: SFP LOS 输入信号
24	P4MDIAP	AI	Port4: 100Base-FX 的 RX
25	P4MDIAN	AI	
26	P4MDIBP	AO	Port4: 100Base-FX 的 TX
27	P4MDIBN	AO	
85	SFP_LOS0	IPU	Port0: SFP LOS 输入信号
97	P0MDIAP	AI	Port0: 100Base-FX 的 RX
98	P0MDIAN	AI	
99	P0MDIBP	AO	Port0: 100Base-FX 的 TX
100	P0MDIBN	AO	
87	SFP_LOS1	IPD	Port1: SFP LOS 输入信号
107	P1MDIAP	AI	Port1: 100Base-FX 的 RX
108	P1MDIAN	AI	
109	P1MDIBP	AO	Port1: 100Base-FX 的 TX
110	P1MDIBN	AO	
35	SFP_LOS2	IPD	Port2: SFP LOS 输入信号
120	P2MDIAP	AI	Port2: 100Base-FX 的 RX
121	P2MDIAN	AI	

122	P2MDIBP	AO	Port2: 100Base-FX 的 TX
123	P2MDIBN	AO	

9.1.2 RGMII/RMII/MII Pin

表 9-3 RGMII/RMII/MII 接口 Pin 表

	MII/RMII MAC Mode	MII/RMII PHY Mode	RGMII Mode
Pin No.	Pin Name	Pin Name	Pin Name
40	M2M_CRS	-	-
41	M2M_TXD3	M2P_RXD3	RG2_TXD3
42	M2M_TXD2	M2P_RXD2	RG2_TXD2
43	M2M_TXD1	M2P_RXD1	RG2_TXD1
44	M2M_TXD0	M2P_RXD0	RG2_TXD0
45	M2M_TXEN	M2P_RXDV	RG2_TXCTL
46	M2M_TXCLK/M2M_CLKREF	M2P_RXCLK/M2P_CLKREF	RG2_TXCLK
47	M2M_RXCLK	M2P_TXCLK	RG2_RXCLK
48	M2M_RXDV	M2P_TXEN	RG2_RXCTL
49	M2M_RXD0	M2P_TXD0	RG2_RXD0
50	M2M_RXD1	M2P_TXD1	RG2_RXD1
51	M2M_RXD2	M2P_TXD2	RG2_RXD2
52	M2M_RXD3	M2P_TXD3	RG2_RXD3
56	M1M_CRS	-	-
57	M1M_TXD3	M1P_RXD3	RG1_TXD3
58	M1M_TXD2	M1P_RXD2	RG1_TXD2
59	M1M_TXD1	M1P_RXD1	RG1_TXD1
60	M1M_TXD0	M1P_RXD0	RG1_TXD0
61	M1M_TXEN	M1P_RXDV	RG1_TXCTL
62	M1M_TXCLK/M1M_CLKREF	M1P_RXCLK/M1P_CLKREF	RG1_TXCLK
63	M1M_RXCLK	M1P_TXCLK	RG1_RXCLK
64	M1M_RXDV	M1P_TXEN	RG1_RXCTL
65	M1M_RXD0	M1P_TXD0	RG1_RXD0
66	M1M_RXD1	M1P_TXD1	RG1_RXD1
67	M1M_RXD2	M1P_TXD2	RG1_RXD2
68	M1M_RXD3	M1P_TXD3	RG1_RXD3

9.1.2.1 MII Pin

表 9-4 GMAC1/GMAC2 MII (MAC Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	M2M_CRS	I	在 10/100Mbps 半双工模式下作为载波冲突信号输入 不使用时通过 1K ohm 电阻下拉
41	M2M_TXD3	O	发送数据输出 M2M_TXD[3:0], @M2M_TXCLK 信号

42	M2M_TXD2	O	上升沿发送
43	M2M_TXD1	O	
44	M2M_TXD0	O	
45	M2M_TXEN	O	发送数据有效信号, @M2M_TXCLK 信号上升沿发送
46	M2M_TXCLK	I	发送数据输入时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
47	M2M_RXCLK	I	接收数据输入时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
48	M2M_RXDV	I	接收数据有效信号, @M2M_RXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
49	M2M_RXD0	I	接收数据输入 M2M_RXD[3:0], @M2M_RXCLK 信号 上升沿发送 不使用时通过 1K ohm 电阻下拉
50	M2M_RXD1	I	
51	M2M_RXD2	I	
52	M2M_RXD3	I	
56	M1M_CRS	I	在 10/100Mbps 半双工模式下作为载波冲突信号输入 不使用时通过 1K ohm 电阻下拉
57	M1M_TXD3	O	发送数据输出 M1M_TXD[3:0], @M1M_TXCLK 信号 上升沿发送
58	M1M_TXD2	O	
59	M1M_TXD1	O	
60	M1M_TXD0	O	
61	M1M_TXEN	O	发送数据有效信号, @M1M_TXCLK 信号上升沿发送
62	M1M_TXCLK	I	发送数据输入时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
63	M1M_RXCLK	I	接收数据输入时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
64	M1M_RXDV	I	接收数据有效信号, @M1M_RXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
65	M1M_RXD0	I	接收数据输入 M1M_RXD[3:0], @M1M_RXCLK 信号 上升沿发送 不使用时通过 1K ohm 电阻下拉
66	M1M_RXD1	I	
67	M1M_RXD2	I	
68	M1M_RXD3	I	

表 9-5 GMAC1/GMAC2 MII (PHY Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	-	-	-
41	M2P_RXD3	O	接收数据输出 M2P_RXD[3:0], @M2P_RXCLK 信号 上升沿
42	M2P_RXD2	O	
43	M2P_RXD1	O	
44	M2P_RXD0	O	
45	M2P_RXDV	O	接收数据有效信号, @M2P_RXCLK 信号上升沿发送

46	M2P_RXCLK	O	接收数据输出时钟 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
47	M2P_TXCLK	O	发送数据输出时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
48	M2P_TXEN	I	接收数据有效信号, @M2P_TXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
49	M2P_TXD0	I	接收数据输入 M2P_TXD[3:0], @M2P_TXCLK 信号上升沿 不使用时通过 1K ohm 电阻下拉
50	M2P_TXD1	I	
51	M2P_TXD2	I	
52	M2P_TXD3	I	
56	-	-	-
57	M1P_RXD3	O	接收数据输出 M1P_RXD[3:0], @M1P_RXCLK 信号上升沿
58	M1P_RXD2	O	
59	M1P_RXD1	O	
60	M1P_RXD0	O	
61	M1P_RXDV	O	接收数据有效信号, @M1P_RXCLK 信号上升沿发送
62	M1P_RXCLK	O	接收数据输出时钟 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
63	M1P_TXCLK	O	发送数据输出时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
64	M1P_TXEN	I	接收数据有效信号, @M1P_TXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
65	M1P_TXD0	I	接收数据输入 M1P_TXD[3:0], @M1P_TXCLK 信号上升沿 不使用时通过 1K ohm 电阻下拉
66	M1P_TXD1	I	
67	M1P_TXD2	I	
68	M1P_TXD3	I	

9.1.2.2 RMII Pin

表 9-6 GMAC1/GMAC2 RMII (MAC Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	M2M_CRS	I	不使用时通过 1K ohm 电阻下拉
41	M2M_TXD3	-	-
42	M2M_TXD2	-	-
43	M2M_TXD1	O	发送数据输出 M2M_TXD[1:0], @ M2M_CLKREF 信号上升沿发送
44	M2M_TXD0	O	

45	M2M_TXEN	O	发送数据有效信号, @M2M_TXCLK 信号上升沿发送
46	M2M_CLKREF	O	发送数据参考时钟 10/100Mbps @50Mhz
47	M2M_RXCLK	-	不使用时通过 1K ohm 电阻下拉
48	M2M_RXDV	I	接收数据有效信号, @M2M_TXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
49	M2M_RXD0	I	接收数据输入 M2M_RXD[1:0], @M2M_CLKREF 信号上升沿发送
50	M2M_RXD1	I	
51	M2M_RXD2	-	-
52	M2M_RXD3	-	-
56	M1M_CRS	I	不使用时通过 1K ohm 电阻下拉
57	M1M_TXD3	-	-
58	M1M_TXD2	-	-
59	M1M_TXD1	O	发送数据输出 M1M_TXD[1:0], @M1M_CLKREF 信 号上升沿发送
60	M1M_TXD0	O	
61	M1M_TXEN	O	发送数据有效信号, @M2M_TXCLK 信号上升沿发送
62	M1M_CLKREF	O	发送数据参考时钟 10/100Mbps @50Mhz
63	M1M_RXCLK	-	不使用时通过 1K ohm 电阻下拉
64	M1M_RXDV	I	接收数据有效信号, @M2M_TXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
65	M1M_RXD0	I	接收数据输入 M1M_RXD[1:0], @M1M_CLKREF 信 号上升沿发送
66	M1M_RXD1	I	
67	M1M_RXD2	-	-
68	M1M_RXD3	-	-

表 9-7 GMAC1/GMAC2 RMII (PHY Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	-	-	-
41	M2P_RXD3	-	-
42	M2P_RXD2	-	-
43	M2P_RXD1	O	接收数据输出 M2P_RXD[1:0], @ M2P_CLKREF 信 号上升沿
44	M2P_RXD0	O	
45	M2P_RXDV	O	接收数据有效信号, @M2P_RXCLK 信号上升沿发送
46	M2P_CLKREF	I	接收数据参考时钟。 10/100Mbps @50Mhz
47	M2P_TXCLK	-	不使用时通过 1K ohm 电阻下拉
48	M2P_TXEN	I	接收数据有效信号, @M2P_RXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
49	M2P_TXD0	I	接收数据输入 M2P_TXD[1:0], @ M2P_CLKREF 信 号上升沿
50	M2P_TXD1	I	
			不使用时通过 1K ohm 电阻下拉

51	M2P_TXD2	-	-
52	M2P_TXD3	-	-
56	-	-	-
57	M1P_RXD3	-	-
58	M1P_RXD2	-	-
59	M1P_RXD1	O	接收数据输出 M1P_RXD[1:0], @ M1P_CLKREF 信号上升沿
60	M1P_RXD0	O	
61	M1P_RXDV	O	接收数据有效信号, @M2P_RXCLK 信号上升沿发送
62	M1P_CLKREF	I	接收数据参考时钟 10/100Mbps @50Mhz
63	M1P_TXCLK	-	不使用时通过 1K ohm 电阻下拉
64	M1P_TXEN	I	接收数据有效信号, @M2P_RXCLK 信号上升沿发送 不使用时通过 1K ohm 电阻下拉
65	M1P_TXD0	I	接收数据输入 M1P_TXD[1:0], @ M1P_CLKREF 信号上升沿 不使用时通过 1K ohm 电阻下拉
66	M1P_TXD1	I	
67	M1P_TXD2	-	-
68	M1P_TXD3	-	-

9.1.2.3 RGMII Pin

表 9-8 GMAC1/GMAC2 RGMII 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	-	-	-
41	RG2_TXD3	O	发送数据输出 RG2_TXD[3:0] @RG2_TXCLK 同步
42	RG2_TXD2	O	
43	RG2_TXD1	O	
44	RG2_TXD0	O	
45	RG2_TXCTL	O	发送数据控制信号, @RG2_TXCLK 上升沿, 表示 TXEN, @RG2_TXCLK 下降沿, 表示 TX_ER(xor)TXEN
46	RG2_TXCLK	O	发送数据输出时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
47	RG2_RXCLK	I	接收数据输入时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
48	RG2_RXCTL	I	接收数据控制信号, @RG2_RXCLK 上升沿, 表示 RXDV,

			@RG2_RXCLK 下降沿, 表示 RX_ER(xor)RXDV
49	RG2_RXD0	I	接收数据输出 RG2_RXD[3:0] @RG2_TXCLK 同步 不使用时通过 1K ohm 电阻下拉
50	RG2_RXD1	I	
51	RG2_RXD2	I	
52	RG2_RXD3	I	
56	-	-	-
57	RG1_TXD3	O	发送数据输出 RG1_TXD[3:0] @RG1_TXCLK 同步
58	RG1_TXD2	O	
59	RG1_TXD1	O	
60	RG1_TXD0	O	
61	RG1_TXCTL	O	发送数据控制信号, @RG1_TXCLK 上升沿, 表示 TXEN, @RG1_TXCLK 下降沿, 表示 TX_ER(xor)TXEN
62	RG1_TXCLK	O	发送数据输出时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mpbs @2.5Mhz 不使用时通过 1K ohm 电阻下拉
63	RG1_RXCLK	I	接收数据输入时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mpbs @2.5Mhz 不使用时通过 1K ohm 电阻下拉
64	RG1_RXCTL	I	接收数据控制信号, @RG1_RXCLK 上升沿, 表示 RXDV, @RG1_RXCLK 下降沿, 表示 RX_ER(xor)RXDV
65	RG1_RXD0	I	接收数据输出 RG1_RXD[3:0] @RG1_TXCLK 同步 不使用时通过 1K ohm 电阻下拉
66	RG1_RXD1	I	
67	RG1_RXD2	I	
68	RG1_RXD3	I	

9.1.3 LED Pin

SF2507V LED 管脚可以通过寄存器配置模式, 端口 x 的 LED0、LED1 和 LED2 可以通过寄存器或 EEPROM 进行配置定义, 注意模式基于 port_x LED 组进行配置, 当 LED 管脚外部上拉, LED 输出低有效; 当 LED 管脚外部下拉, LED 输出高有效。详见 6.21 章节描述。

表 9-9 LED 接口 Pin 表

Pin No.	Pin Name	Type	Description
72	P4LED2/DIS_SPIS	I _{PU} /O	Port4 LED2 输出, 输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
73	P4LED0/EEPROM_MOD	I _{PU} /O	Port4 LED0 输出, 输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
74	P4LED1	I _{PU} /O	Port4 LED1 输出, 输出信息可通过寄存器或者 EEPROM

			中的配置信息来进行修改，详见 6.21 章节描述。
75	P3LED1	I _{PU} /O	Port3 LED1 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
76	P3LED2	I _{PU} /O	Port3 LED2 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
77	P3LED0	I _{PU} /O	Port3 LED0 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
78	P2LED2	I _{PU} /O	Port2 LED2 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
79	P2LED0/DISAUTOL OAD	I _{PU} /O	Port2 LED0 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
80	P2LED1	I _{PU} /O	Port2 LED1 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
81	P1LED2	I _{PU} /O	Port1 LED2 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
82	P1LED0/MID29	I _{PU} /O	Port1 LED0 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
83	P1LED1	I _{PU} /O	Port1 LED1 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
84	P0LED2/EN_PHY	I _{PU} /O	Port0 LED2 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
85	P0LED1/SFP_LOS 0	I _{PU} /O	Port0 LED1 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
86	P0LED0/SMI_SEL	I _{PU} /O	Port0 LED0 输出，输出信息可通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。

9.1.4 Strapping Pin

下面这些 Pin 的功能只在上电的时候有效，上电的时候会将 Pin 的电平锁存下来，作为一些配置功能使用。上电后做完其他配置功能。

表 9-10 Strapping 接口 Pin 表

Pin No.	Pin Name	Type	Description
20	BUZZER/DIS_LPD	I/O _{pu}	循环检测成环信息输出功能 1: 禁止输出成环信息 0: 使能输出成环信息
72	P4LED2/DIS_SPIS	I _{PU} /O	功能 1: SPI 管理接口使能 0: 管理接口为 SPI 接口 1: 管理接口为非 SPI 接口 功能 2: 作为 Port4 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效
73	P4LED0/EEPROM_MOD	I _{PU} /O	功能 1: EEPROM 容量选择 0: 容量小于或等于 16Kbit

			1: 容量大于 16Kbit 功能 2: 作为 Port4 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效
74	P4LED1	I _{PU} /O	Port4 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效
75	P3LED1	I _{PU} /O	Port3 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效
76	P3LED2	I _{PU} /O	Port3 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效
77	P3LED0	I _{PU} /O	Port3 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效
78	P2LED2	I _{PU} /O	Port2 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效
79	P2LED0/DISAUTOLOAD	I _{PU} /O	功能 1: 从 EEPROM 加载配置使能 0: 使能上电从 EEPROM 加载配置 1: 禁止上电从 EEPROM 加载配置 功能 2: 为 Port2 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效
80	P2LED1	I _{PU} /O	port2 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效
81	P1LED2	I _{PU} /O	port1 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效
82	P1LED0/MID29	I _{PU} /O	功能 1: SMI 管理接口 PHY ID 配置 0: PHY ID 为 0 1: PHY ID 为 29 功能 2: 作为 Port1 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效
83	P1LED1	I _{PU} /O	Port1 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效
84	POLED2/EN_PHY	I _{PU} /O	功能 1: GEPHY 使能 0: GEPHY 禁止 1: GEPHY 使能 功能 2: 作为 Port0 LED2 的输出极性

			0: 输出极性高有效 1: 输出极性低有效
85	POLED1/SFP_LOS0	Ipu/O	功能 1: 作为 Port0 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: 作为 0 口 100Base-FX 的 LOS 信号输入
86	POLED0/SMI_SEL	Ipu/O	功能 1: I2C/SMI 管理接口选择 0: 选 SMI 接口做管理接口 1: 选 I2C 接口做管理接口 功能 2: 作为 Port0 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效

9.1.5 管理接口 Pin

9.1.5.1 SPI Slave Pin

表 9-11 SPI Slave 接口 Pin 表

Pin No.	Pin Name	Type	Description
92	SPIS_nCSI	I	SPI 接口片选信号
93	SPIS_CK	I	SPI 接口时钟信号
94	SPIS_DI	I	SPI 接口数据信号
95	SPIS_DO	O	

9.1.5.2 I2C Master/Slave Pin

表 9-12 I2C Master/Slave 接口 Pin 表

Pin No.	I2C Master		I2C Slave		Description
	Pin Name	Type	Pin Name	Type	
93	SCK	O	SCK	I	I2C 接口时钟信号
94	SDA	IO	SDA	IO	I2C 接口数据信号

9.1.5.3 SMI Slave Pin

表 9-13 SMI Slave 接口 Pin 表

Pin No.	Pin Name	Type	Description
93	MMD_MDC	I	SMI Slave 接口时钟信号
94	MMD_MDIO	IO	SMI Slave 接口数据信号

9.1.6 Test Pin

表 9-14 Test 接口 Pin 表

Pin No.	Pin Name	Type	Description
16	TEST_MODE	lpd	保留功能，芯片正常工作时必须下拉或者悬空

9.1.7 其他功能 Pin

表 9-15 其他功能接口 Pin 表

Pin No.	Pin Name	Type	Description
13	MDIREF	AO	参考电阻。MDIREF 与 GND 之间必须放置 2.49K ohm（1%精度）电阻
36,116,117,118	NC	-	保留管脚，芯片内部悬空
22	RESERVED	-	保留内部使用，必须悬空
16	TEST_MODE	lpd	测试模式
19	INTERRUPT	OD	中断开漏输出
20	BUZZER	O	蜂鸣输出，检测有环路是输出
89	XTALO	AO	25Mhz 晶体时钟输出 Pin ， ±50ppm
90	XTALI	AI	25Mhz 晶体时钟输入和反馈 Pin ， ± 50ppm 25Mhz 晶振时钟输入 Pin ， ±50ppm
91	nRESET	lpu	芯片硬复位输入，低有效

9.1.8 电源和地接口 Pin

表 9-16 电源和地接口 Pin 表

Pin No.	Pin Name	Type	Description
6,14,28,34,101,111,124	AVDDL	AP	1.1V 模拟电源
1,11,17,23,33,88,96,106,119	AVDDH	AP	3.3V 模拟电源
12	AGND	AG	模拟 GND
18,70	DVDDIO	P	其他 I/O 数字 3.3V 电源
39,54	DVDDIO_2	P	GMAC2 数字电源 GMAC 接口不使用时，接 1.8/2.5/3.3V 数字电源。
55,69	DVDDIO_1	P	GMAC1 数字电源 GMAC 接口不使用时，接 1.8/2.5/3.3V 数字电源。
53,71,21	DVDDL	P	数字 1.1V 电源
EPAD	GND	G	数字 GND

9.2 SF2507EV 引脚信号描述

9.2.1 电口/100Base-FX 光口 Pin

9.2.1.1 电口 Pin

表 9-17 电口 Pin 表

Pin No.	Pin Name	Type	Drive(mA)	Pin Description
2	P3MDIAP	AI/O	10	数据传输媒介 3 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发。 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
3	P3MDIAN	AI/O		
4	P3MDIBP	AI/O		
5	P3MDIBN	AI/O		
7	P3MDICP	AI/O		
8	P3MDICN	AI/O		
9	P3MDIDP	AI/O		
10	P3MDIDN	AI/O		
24	P4MDIAP	AI/O	10	数据传输媒介 4 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
25	P4MDIAN	AI/O		
26	P4MDIBP	AI/O		
27	P4MDIBN	AI/O		
29	P4MDICP	AI/O		
30	P4MDICN	AI/O		
31	P4MDIDP	AI/O		
32	P4MDIDN	AI/O		
97	P0MDIAP	AI/O	10	数据传输媒介 0 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
98	P0MDIAN	AI/O		
99	P0MDIBP	AI/O		
100	P0MDIBN	AI/O		
102	P0MDICP	AI/O		
103	P0MDICN	AI/O		
104	P0MDIDP	AI/O		
105	P0MDIDN	AI/O		
107	P1MDIAP	AI/O	10	数据传输媒介 1 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
108	P1MDIAN	AI/O		
109	P1MDIBP	AI/O		
110	P1MDIBN	AI/O		
112	P1MDICP	AI/O		
113	P1MDICN	AI/O		
114	P1MDIDP	AI/O		
115	P1MDIDN	AI/O		

120	P2MDIAP	AI/O	10	数据传输媒介 2 号端口： 1000Base-T: A/B/C/D 四对端口用于数据收发 100Base-TX/10Base-T: 仅 A/B 对用于数据收发。 自动 MDIX 功能会把 MDIAP/N 和 MDIBP/N 交叉配对使用，即接收和发送引脚交换使用。 每对差分对内部有 100 欧姆的电阻
121	P2MDIAN	AI/O		
122	P2MDIBP	AI/O		
123	P2MDIBN	AI/O		
125	P2MDICP	AI/O		
126	P2MDICN	AI/O		
127	P2MDIDP	AI/O		
128	P2MDIDN	AI/O		

9.2.1.2 100Base-FX 光口 Pin

表 9-18 100Base-FX 接口 Pin 表

Pin No.	Pin Name	Dirction	Pin Description
37	SFP_LOS3	IPD	Port3: SFP LOS 输入信号
2	P3MDIAP	AI	Port3: 100Base-FX 的 RX
3	P3MDIAN	AI	
4	P3MDIBP	AO	Port3: 100Base -FX 的 TX
5	P3MDIBN	AO	
38	SFP_LOS4	IPD	Port4: SFP LOS 输入信号
24	P4MDIAP	AI	Port4: 100Base -FX 的 RX
25	P4MDIAN	AI	
26	P4MDIBP	AO	Port4: 100Base -FX 的 TX
27	P4MDIBN	AO	
85	SFP_LOS0	IPU	Port0: SFP LOS 输入信号
97	P0MDIAP	AI	Port0: 100Base-FX 的 RX
98	P0MDIAN	AI	
99	P0MDIBP	AO	Port0: 100Base-FX 的 TX
100	P0MDIBN	AO	
87	SFP_LOS1	IPD	Port1: SFP LOS 输入信号
107	P1MDIAP	AI	Port1: 100Base-FX 的 RX
108	P1MDIAN	AI	
109	P1MDIBP	AO	Port1: 100Base-FX 的 TX
110	P1MDIBN	AO	
35	SFP_LOS2	IPD	Port2: SFP LOS 输入信号
120	P2MDIAP	AI	Port2: 100Bsae-FX 的 RX
121	P2MDIAN	AI	
122	P2MDIBP	AO	Port2: 100Base-FX 的 TX
123	P2MDIBN	AO	

9.2.2 RGMII/RMII/MII Pin

表 9-19 RGMII/RMII/MII 接口 Pin 表

	MII/RMII MAC Mode	MII/RMII PHY Mode	RGMII Mode
Pin No.	Pin Name	Pin Name	Pin Name
40	M2M_CRS	-	-
41	M2M_TXD3	M2P_RXD3	RG2_TXD3
42	M2M_TXD2	M2P_RXD2	RG2_TXD2
43	M2M_TXD1	M2P_RXD1	RG2_TXD1
44	M2M_TXD0	M2P_RXD0	RG2_TXD0
45	M2M_TXEN	M2P_RXDV	RG2_TXCTL
46	M2M_TXCLK/M2M_CLKREF	M2P_RXCLK/M2P_CLKREF	RG2_TXCLK
47	M2M_RXCLK	M2P_TXCLK	RG2_RXCLK
48	M2M_RXDV	M2P_TXEN	RG2_RXCTL
49	M2M_RXD0	M2P_TXD0	RG2_RXD0
50	M2M_RXD1	M2P_TXD1	RG2_RXD1
51	M2M_RXD2	M2P_TXD2	RG2_RXD2
52	M2M_RXD3	M2P_TXD3	RG2_RXD3
56	M1M_CRS	-	-
57	M1M_TXD3	M1P_RXD3	RG1_TXD3
58	M1M_TXD2	M1P_RXD2	RG1_TXD2
59	M1M_TXD1	M1P_RXD1	RG1_TXD1
60	M1M_TXD0	M1P_RXD0	RG1_TXD0
61	M1M_TXEN	M1P_RXDV	RG1_TXCTL
62	M1M_TXCLK/M1M_CLKREF	M1P_RXCLK/M1P_CLKREF	RG1_TXCLK
63	M1M_RXCLK	M1P_TXCLK	RG1_RXCLK
64	M1M_RXDV	M1P_TXEN	RG1_RXCTL
65	M1M_RXD0	M1P_TXD0	RG1_RXD0
66	M1M_RXD1	M1P_TXD1	RG1_RXD1
67	M1M_RXD2	M1P_TXD2	RG1_RXD2
68	M1M_RXD3	M1P_TXD3	RG1_RXD3

9.2.2.1 MII Pin

表 9-20 GMAC1/GMAC2 MII (MAC Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	M2M_CRS	I	在 10/100Mbps 半双工模式下作为载波冲突信号输入, 不使用时通过 1K ohm 电阻下拉
41	M2M_TXD3	O	发送数据输出 M2M_TXD[3:0], @M2M_TXCLK 信号上升沿发送
42	M2M_TXD2	O	
43	M2M_TXD1	O	
44	M2M_TXD0	O	
45	M2M_TXEN	O	发送数据有效信号, @M2M_TXCLK 信号上升沿发送
46	M2M_TXCLK	I	发送数据输入时钟 100Mbps @25Mhz

			10Mbps @2.5Mhz
47	M2M_RXCLK	I	接收数据输入时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
48	M2M_RXDV	I	接收数据有效信号, @M2M_RXCLK 信号上升沿发送, 不使用时通过 K ohm 电阻下拉
49	M2M_RXD0	I	接收数据输入 M2M_RXD[3:0], @M2M_RXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
50	M2M_RXD1	I	
51	M2M_RXD2	I	
52	M2M_RXD3	I	
56	M1M_CRS	I	在 10/100Mbps 半双工模式下作为载波冲突信号输入, 不使用时通过 1K ohm 电阻下拉
57	M1M_TXD3	O	发送数据输出 M1M_TXD[3:0], @M1M_TXCLK 信号上升沿发送
58	M1M_TXD2	O	
59	M1M_TXD1	O	
60	M1M_TXD0	O	
61	M1M_TXEN	O	发送数据有效信号, @M1M_TXCLK 信号上升沿发送
62	M1M_TXCLK	I	发送数据输入时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
63	M1M_RXCLK	I	接收数据输入时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
64	M1M_RXDV	I	接收数据有效信号, @M1M_RXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
65	M1M_RXD0	I	接收数据输入 M1M_RXD[3:0], @M1M_RXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
66	M1M_RXD1	I	
67	M1M_RXD2	I	
68	M1M_RXD3	I	

表 9-21 GMAC1/GMAC2 MII (PHY Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	-	-	-
41	M2P_RXD3	O	接收数据输出 M2P_RXD[3:0], @M2P_RXCLK 信号上升沿
42	M2P_RXD2	O	
43	M2P_RXD1	O	
44	M2P_RXD0	O	
45	M2P_RXDV	O	接收数据有效信号, @M2P_RXCLK 信号上升沿发送
46	M2P_RXCLK	O	接收数据输出时钟 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
47	M2P_TXCLK	O	发送数据输出时钟 100Mbps @25Mhz

			10Mbps @2.5Mhz
48	M2P_TXEN	I	接收数据有效信号, @M2P_TXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
49	M2P_TXD0	I	接收数据输入 M2P_TXD[3:0], @M2P_TXCLK 信号上升沿, 不使用时通过 1K ohm 电阻下拉
50	M2P_TXD1	I	
51	M2P_TXD2	I	
52	M2P_TXD3	I	
56	-	-	-
57	M1P_RXD3	O	接收数据输出 M1P_RXD[3:0], @M1P_RXCLK 信号上升沿
58	M1P_RXD2	O	
59	M1P_RXD1	O	
60	M1P_RXD0	O	
61	M1P_RXDV	O	接收数据有效信号, @M1P_RXCLK 信号上升沿发送
62	M1P_RXCLK	O	接收数据输出时钟 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
63	M1P_TXCLK	O	发送数据输出时钟 100Mbps @25Mhz 10Mbps @2.5Mhz
64	M1P_TXEN	I	接收数据有效信号, @M1P_TXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
65	M1P_TXD0	I	接收数据输入 M1P_TXD[3:0], @M1P_TXCLK 信号上升沿, 不使用时通过 1K ohm 电阻下拉
66	M1P_TXD1	I	
67	M1P_TXD2	I	
68	M1P_TXD3	I	

9.2.2.2 RMII Pin

表 9-22 GMAC1/GMAC2 RMII (MAC Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	M2M_CRS	I	不使用时通过 1K ohm 电阻下拉
41	M2M_TXD3	-	-
42	M2M_TXD2	-	-
43	M2M_TXD1	O	发送数据输出 M2M_TXD[1:0], @ M2M_CLKREF 信号上升沿发送
44	M2M_TXD0	O	
45	M2M_TXEN	O	发送数据有效信号, @M2M_TXCLK 信号上升沿发送
46	M2M_CLKREF	O	发送数据参考时钟 10/100Mbps @50Mhz
47	M2M_RXCLK	-	不使用时通过 1K ohm 电阻下拉
48	M2M_RXDV	I	接收数据有效信号, @M2M_TXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉

49	M2M_RXD0	I	接收数据输入 M2M_RXD[1:0], @M2M_CLKRE 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
50	M2M_RXD1	I	
51	M2M_RXD2	-	-
52	M2M_RXD3	-	-
56	M1M_CRS	I	不使用时通过 1K ohm 电阻下拉
57	M1M_TXD3	-	-
58	M1M_TXD2	-	-
59	M1M_TXD1	O	发送数据输出 M1M_TXD[1:0], @M1M_CLKREF 信号上升沿发送
60	M1M_TXD0	O	
61	M1M_TXEN	O	发送数据有效信号, @M2M_TXCLK 信号上升沿发送
62	M1M_CLKREF	O	发送数据参考时钟 10/100Mbps @50Mhz
63	M1M_RXCLK	-	不使用时通过 1K ohm 电阻下拉
64	M1M_RXDV	I	接收数据有效信号, @M2M_TXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
65	M1M_RXD0	I	接收数据输入 M1M_RXD[1:0], @M1M_CLKREF 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
66	M1M_RXD1	I	
67	M1M_RXD2	-	-
68	M1M_RXD3	-	-

表 9-23 GMAC1/GMAC2 RMI (PHY Mode) 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	-	-	-
41	M2P_RXD3	-	-
42	M2P_RXD2	-	-
43	M2P_RXD1	O	接收数据输出 M2P_RXD[1:0], @ M2P_CLKREF 信号上升沿
44	M2P_RXD0	O	
45	M2P_RXDV	O	接收数据有效信号, @M2P_RXCLK 信号上升沿发送
46	M2P_CLKREF	I	接收数据参考时钟 10/100Mbps @50Mhz
47	M2P_TXCLK	-	不使用时通过 1K ohm 电阻下拉
48	M2P_TXEN	I	接收数据有效信号, @M2P_RXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
49	M2P_TXD0	I	接收数据输入 M2P_TXD[1:0], @ M2P_CLKREF 信号上升沿, 不使用时通过 1K ohm 电阻下拉
50	M2P_TXD1	I	
51	M2P_TXD2	-	-
52	M2P_TXD3	-	-
56	-	-	-
57	M1P_RXD3	-	-
58	M1P_RXD2	-	-
59	M1P_RXD1	O	接收数据输出 M1P_RXD[1:0], @ M1P_CLKREF 信号上升沿
60	M1P_RXD0	O	
61	M1P_RXDV	O	接收数据有效信号, @M2P_RXCLK 信号上升沿发送
62	M1P_CLKREF	I	接收数据参考时钟

			10/100Mbps @50Mhz
63	M1P_TXCLK	-	不使用时通过 1K ohm 电阻下拉
64	M1P_TXEN	I	接收数据有效信号, @M2P_RXCLK 信号上升沿发送, 不使用时通过 1K ohm 电阻下拉
65	M1P_TXD0	I	接收数据输入 M1P_TXD[1:0], @ M1P_CLKREF 信号上升沿, 不使用时通过 1K ohm 电阻下拉
66	M1P_TXD1	I	
67	M1P_TXD2	-	-
68	M1P_TXD3	-	-

9.2.2.3 RGMII Pin

表 9-24 GMAC1/GMAC2 RGMII 接口 Pin 表

Pin No.	Pin Name	Type	Description
40	-	-	-
41	RG2_TXD3	O	发送数据输出 RG2_TXD[3:0] @RG2_TXCLK 同步
42	RG2_TXD2	O	
43	RG2_TXD1	O	
44	RG2_TXD0	O	
45	RG2_TXCTL	O	发送数据控制信号, @RG2_TXCLK 上升沿, 表示 TXEN, @RG2_TXCLK 下降沿, 表示 TX_ER(xor)TXEN
46	RG2_TXCLK	O	发送数据输出时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
47	RG2_RXCLK	I	接收数据输入时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
48	RG2_RXCTL	I	接收数据控制信号, @RG2_RXCLK 上升沿, 表示 RXDV, @RG2_RXCLK 下降沿, 表示 RX_ER(xor)RXDV
49	RG2_RXD0	I	接收数据输出 RG2_RXD[3:0] @RG2_TXCLK 同步 不使用时通过 1K ohm 电阻下拉
50	RG2_RXD1	I	
51	RG2_RXD2	I	
52	RG2_RXD3	I	
56	-	-	-
57	RG1_TXD3	O	发送数据输出 RG1_TXD[3:0] @RG1_TXCLK 同步
58	RG1_TXD2	O	
59	RG1_TXD1	O	
60	RG1_TXD0	O	

61	RG1_TXCTL	O	发送数据控制信号， @RG1_TXCLK 上升沿，表示 TXEN， @RG1_TXCLK 下降沿，表示 TX_ER(xor)TXEN
62	RG1_TXCLK	O	发送数据输出时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
63	RG1_RXCLK	I	接收数据输入时钟。上下沿有效 1000Mbps @125Mhz 100Mbps @25Mhz 10Mbps @2.5Mhz 不使用时通过 1K ohm 电阻下拉
64	RG1_RXCTL	I	接收数据控制信号， @RG1_RXCLK 上升沿，表示 RXDV， @RG1_RXCLK 下降沿，表示 RX_ER(xor)RXDV
65	RG1_RXD0	I	接收数据输出 RG1_RXD[3:0] @RG1_TXCLK 同步，不使用时通过 1K ohm 电阻下拉
66	RG1_RXD1	I	
67	RG1_RXD2	I	
68	RG1_RXD3	I	

9.2.3 LED Pin

SF2507EV 的 LED 管脚可以通过寄存器配置模式，端口 x 的 LED0、LED1、LED2 可以通过寄存器或 EEPROM 进行配置定义，注意模式基于 port_x LED 组进行赋值。当 LED 管脚外部上拉，LED 输出低有效；当 LED 管脚外部下拉，LED 输出高有效。详见 6.21 章节描述。

表 9-25 LED 接口 Pin 表

Pin No.	Pin Name	Type	Description
72	P4LED2/DIS_SPIS/GPIO17	I _{PU} /O	Port4 LED2 输出，输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
73	P4LED0/EEPROM_MOD/GPIO18	I _{PU} /O	Port4 LED0 输出，输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
74	P4LED1/UART_TX/GPIO19	I _{PU} /O	Port4 LED1 输出，输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
75	P3LED1/UART_RX/GPIO20	I _{PU} /O	Port3 LED1 输出，输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
76	P3LED2/GPIO21	I _{PU} /O	Port3 LED2 输出，输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
77	P3LED0/GPIO22	I _{PU} /O	Port3 LED0 输出，输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
78	P2LED2/DIS_SOC/GPIO23	I _{PU} /O	Port2 LED2 输出，输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改，详见 6.21 章节描述。
79	P2LED0/DISAUTOLOAD/GPI	I _{PU} /O	Port2 LED0 输出，输出信息可以通过寄存器或者

	O24		EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
80	P2LED1/MDC_M/GPIO25	I _{PU} /O	Port2 LED1 输出, 输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
81	P1LED2/GPIO26	I _{PU} /O	Port1 LED2 输出, 输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
82	P1LED0/MID29/GPIO27	I _{PU} /O	Port1 LED0 输出, 输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
83	P1LED1/MDIO_M/GPIO28	I _{PU} /O	Port1LED1 输出, 输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
84	P0LED2/EN_PHY/GPIO29	I _{PU} /O	Port0 LED2 输出, 输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
85	P0LED1/SFP_LOS0/ICE_TMS/GPIO30	I _{PU} /O	Port0 LED1 输出, 输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。
86	P0LED0/SMI_SEL/GPIO31	I _{PU} /O	Port0 LED0 输出, 输出信息可以通过寄存器或者 EEPROM 中的配置信息来进行修改, 详见 6.21 章节描述。

9.2.4 Strapping Pin

下面这些 Pin 的功能只在上电的时候有效, 上电时锁存引脚电平, 为输入状态, 作为一些配置功能使用, 上电后完成其他功能。

表 9-26 Strapping 接口 Pin 表

Pin No.	Pin Name	Type	Description
20	BUZZER/DIS_LPD	I/O _{PU}	循环检测成环信息输出功能 1: 禁止输出成环信息 0: 使能输出成环信息
72	P4LED2/DIS_SPIS/GPIO17	I _{PU} /O	功能 1: SPI 管理接口使能 0: 管理接口为 SPI 接口 1: 管理接口为非 SPI 接口 功能 2: 作为 Port4 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 3: SOC GPIO 口
73	P4LED0/EEPROM_MOD/GPIO18	I _{PU} /O	功能 1: EEPROM 容量选择 0: 容量小于或等于 16Kbit 1: 容量大于 16Kbit 功能 2: 作为 Port4 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 3: SOC GPIO 口
74	P4LED1/UART_TX/GPIO19	I _{PU} /O	功能 1: 作为 Port4 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: UART 口发送信号

			功能 3: SOC GPIO 口
75	P3LED1/UART_RX/GPIO20	I _{PU} /O	功能 1: 作为 Port3 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: UART 口接收信号 功能 3: SOC GPIO 口
76	P3LED2/GPIO21	I _{PU} /O	功能 1: 作为 Port3 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: SOC GPIO 口
77	P3LED0/GPIO22	I _{PU} /O	功能 1: 作为 Port3 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: SOC GPIO 口
78	P2LED2/DIS_SOC/GPIO23	I _{PU} /O	功能 1: 内嵌 SOC 使能 0: 使能 SOC 1: 禁用 SOC, 通过管理接口来管理 功能 2: 作为 Port2 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 3: SOC GPIO 口
79	P2LED0/DISAUTOLOAD/GPIO24	I _{PU} /O	功能 1: 从 EEPROM 加载配置使能 0: 使能上电从 EEPROM 加载配置 1: 禁止上电从 EEPROM 加载配置 功能 2: 为 Port2 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 3: SOC GPIO 口
80	P2LED1/MDC_M/GPIO25	I _{PU} /O	功能 1: 作为 port2 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: 作为 SMI Master 的管理接口 功能 3: SOC GPIO 口
81	P1LED2/GPIO26	I _{PU} /O	功能 1: 作为 port1 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: SOC GPIO 口
82	P1LED0/MID29/GPIO27	I _{PU} /O	功能 1: SMI 管理接口 PHY ID 配置 0: PHY ID 为 0 1: PHY ID 为 29 功能 2: 作为 Port1 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 3: SOC GPIO 口

83	P1LED1/MDIO_M/GPIO28	I _P /O	功能 1: 作为 Port1 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: 作为 SMI Master 的管理接口 功能 3: SOC GPIO 口
84	P0LED2/EN_PHY/GPIO29	I _P /O	功能 1: GEPHY 使能 0: GEPHY 禁止 1: GEPHY 使能 功能 2: 作为 Port0 LED2 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 3: SOC GPIO 口
85	P0LED1/SFP_LOS0/ICE_TMS/GPIO 30	I _P /O	功能 1: 作为 Port0 LED1 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 2: 作为 0 口 100Base-FX 的 LOS 信号输入 功能 3: JTAG 口 ICE_TMS 功能 4: SOC GPIO 口
86	P0LED0/SMI_SEL/GPIO31	I _P /O	功能 1: I2C/SMI 管理接口选择 0: 选 SMI 接口做管理接口 1: 选 I2C 接口做管理接口 功能 2: 作为 Port0 LED0 的输出极性 0: 输出极性高有效 1: 输出极性低有效 功能 3: SOC GPIO 口

9.2.5 管理接口 Pin

9.2.5.1 SPI Master/Slave Pin

表 9-27 SPI Master/Slave 接口 Pin 表

Pin No.	SPI Master		SPI Slave		Description
	Pin Name	Type	Pin Name	Type	
92	SPIS_nCSI	O	SPIS_nCSI	I	SPI 接口片选信号
93	SPIS_CK	O	SPIS_CK	I	SPI 接口时钟信号
94	SPIS_DI	I	SPIS_DI	I	SPI 接口数据信号
95	SPIS_DO	O	SPIS_DO	O	

9.2.5.2 I2C Master/Slave Pin

表 9-28 I2C Master/Slave 接口 Pin 表

Pin No.	I2C Master		I2C Slave		Description
	Pin Name	Type	Pin Name	Type	
93	SCK	O	SCK	I	I2C 接口时钟信号
94	SDA	IO	SDA	IO	I2C 接口数据信号

9.2.5.3 SMI Slave Pin

表 9-29 SMI Slave 接口 Pin 表

Pin No.	Pin Name	Type	Description
93	MMD_MDC	I	SMI Slave 接口时钟信号
94	MMD_MDIO	IO	SMI Slave 接口数据信号

9.2.5.4 SMI Master Pin

可以通过 SMI 接口来管理外部的 PHY，支持 CLAUSE 22 协议。注意管理的外部 PHY ID 不能配置为 0。

表 9-30 SMI Master 接口 Pin 表

Pin No.	Pin Name	Type	Description
80	MDC_M	O	SMI Master 接口时钟信号
83	MDIO_M	IO	SMI Master 接口数据信号

9.2.5.5 UART Pin

表 9-31 UART 接口 Pin 表

Pin No.	Pin Name	Type	Description
74	UART_TX	O	UART 接口发送信号
75	UART_RX	I	UART 接口接收信号

9.2.6 JTAG Pin

表 9-32 SOC JTAG 接口 Pin 表

Pin No.	Pin Name	Type	Description
15	SOC_DEBUG	lpd	1: 使能 SOC 在线调试模式 0: 关闭 SOC 在线调试模式 芯片正常工作时需外部下拉或者悬空
35	ICE_TCK	lpd/O	SOC 在线调试模式下 JTAG 调试 pin
37	ICE_TDI	lpd	
38	ICE_TRST	lpd	
85	ICE_TMS	lpu	
87	ICE_TDO	lpd/O	

9.2.7 Test Pin

表 9-33 TEST 接口 Pin 表

Pin No.	Pin Name	Type	Description
16	TEST_MODE	lpD	保留功能，芯片正常工作时必须下拉或者悬空

9.2.8 其他功能 Pin

表 9-34 其他功能接口 Pin 表

Pin No.	Pin Name	Type	Description
13	MDIREF	AO	参考电阻。MDIREF 和 GND 之间必须放置 2.49K ohm（1%精度）电阻
36,116,117,118	NC	-	保留管脚，芯片内部悬空
22	RESERVED	-	保留内部使用，必须悬空
16	TEST_MODE	lpd	测试模式
19	INTERRUPT	O	中断输出
20	BUZZER	O	蜂鸣输出，检测有环路是输出
40	GPIO00	IO	通用 GPIO00
41	GPIO01	IO	通用 GPIO01
42	GPIO02	IO	通用 GPIO02
43	GPIO03	IO	通用 GPIO03
44	GPIO04	IO	通用 GPIO04
45	GPIO05	IO	通用 GPIO05
48	GPIO06	IO	通用 GPIO06
49	GPIO07	IO	通用 GPIO07
50	GPIO08	IO	通用 GPIO08
51	GPIO09	IO	通用 GPIO09
52	GPIO10	IO	通用 GPIO10
56	GPIO11	IO	通用 GPIO11
57	GPIO12	IO	通用 GPIO12
58	GPIO13	IO	通用 GPIO13
59	GPIO14	IO	通用 GPIO14
60	GPIO15	IO	通用 GPIO15
61	GPIO16	IO	通用 GPIO16
72	GPIO17	IO	通用 GPIO17
73	GPIO18	IO	通用 GPIO18
74	GPIO19	IO	通用 GPIO19
75	GPIO20	IO	通用 GPIO20
76	GPIO21	IO	通用 GPIO21
77	GPIO22	IO	通用 GPIO22
78	GPIO23	IO	通用 GPIO23

79	GPIO24	IO	通用 GPIO24
80	GPIO25	IO	通用 GPIO25
81	GPIO26	IO	通用 GPIO26
82	GPIO27	IO	通用 GPIO27
83	GPIO28	IO	通用 GPIO28
84	GPIO29	IO	通用 GPIO29
85	GPIO30	IO	通用 GPIO30
86	GPIO31	IO	通用 GPIO31
89	XTALO	AO	25Mhz 晶体时钟输出 Pin , $\pm 50\text{ppm}$
90	XTALI	AI	25Mhz 晶体时钟输入和反馈 Pin , $\pm 50\text{ppm}$ 25Mhz 晶振时钟输入 Pin , $\pm 50\text{ppm}$
91	nRESET	lpu	芯片硬复位输入, 低有效

9.2.9 电源和地接口 Pin

表 9-35 电源和地接口 Pin 表

Pin No.	Pin Name	Type	Description
6,14,28,34,101,111,124	AVDDL	AP	1.1V 模拟电源
1,11,17,23,33,88,96,106,119	AVDDH	AP	3.3V 模拟电源
12	AGND	AG	模拟 GND
18,70	DVDDIO	P	其他 I/O 数字 3.3V 电源
39,54	DVDDIO_2	P	GMAC2 数字电源 GMAC 接口不使用时, 接 1.8/2.5/3.3V 数字电源。
55,69	DVDDIO_1	P	GMAC1 数字电源 GMAC 接口不使用时, 接 1.8/2.5/3.3V 数字电源。
53,71,21	DVDDL	P	数字 1.1V 电源
EPAD	GND	G	数字 GND

10 电气特性

10.1 极限使用场景

表 10-1 极限使用场景

参数	Min	Max	Unit
结温(Tj)	-	+125	°C
存储温度	-40	+125	°C
DVDDIO、DVDDIO_1、DVDDIO_2、AVDDH	GND-0.3	+3.63	V
DVDDL、AVDDL	GND-0.3	+1.21	V
数字电源	GND-0.3	VDDIO+0.3	V

10.2 推荐使用场景

表 10-2 推荐使用场景

参数	Min	Typical	Max	Unit
环境工作温度(Ta)	-40	-	+85	°C
DVDDIO、AVDDH 供电电压	3.135	3.3	3.465	V
DVDDIO_2 供电电压 (Extension Giga MAC 2)	3.3V	3.135	3.3	V
	2.5V	2.375	2.5	V
	1.8V	1.710	1.8	V
DVDDIO_1 供电电压 (Extension Giga MAC 1)	3.3V	3.135	3.3	V
	2.5V	2.375	2.5	V
	1.8V	1.710	1.8	V
DVDDL、AVDDL 供电电压	1.0735	1.13	1.1865	V

10.3 DC 特性

表 10-3 DC 特性表

参数	符号	Min	Typical	Max	Unit
RGMI1 供电电流	I _{DVDDIO_1}	-	30	-	mA
RGMI2 供电电流	I _{DVDDIO_2}	-	31	-	mA
芯片空载（所有端口 Disable）					
VDDH 供电电流	I _{DVDDIO} , I _{AVDDH}	-	17	-	mA
VDDL 供电电流	I _{DVDDL} , I _{AVDDL}	-	110	-	mA
芯片满载（所有端口工作在 1Gbps）					
VDDH 供电电流	I _{DVDDIO} , I _{AVDDH}	-	344	-	mA

VDDL 供电电流	I _{DVDDL} , I _{AVDDL}	-	805	-	mA
芯片正常工作时					
RGMII 驱动电流(3.3V 电平)	Current	-	-	16	mA
RGMII 驱动电流(2.5V 电平)	Current	-	-	10	mA
RGMII 驱动电流(1.8V 电平)	Current	-	-	5.6	mA
VDDIO=3.3V					
TTL 输入高电平	V _{IH}	2.0	-	VDDIO+0.3	V
TTL 输入低电平	V _{IL}	GND-0.3	-	0.7	V
输出高电平	V _{OH}	2.7	-	VDDIO+0.3	V
输出低电平	V _{OL}	GND-0.3	-	0.6	V
VDDIO=2.5V					
TTL 输入高电平	V _{IH}	1.7	-	VDDIO+0.3	V
TTL 输入低电平	V _{IL}	GND-0.3	-	0.6	V
输出高电平	V _{OH}	2.25	-	VDDIO+0.3	V
输出低电平	V _{OL}	GND-0.3	-	0.4	V
VDDIO=1.8V					
TTL 输入高电平	V _{IH}	1.2	-	VDDIO+0.3	V
TTL 输入低电平	V _{IL}	GND-0.3	-	0.6	V
输出高电平	V _{OH}	1.45	-	VDDIO+0.3	V
输出低电平	V _{OL}	GND-0.3	-	0.4	V

10.4 上电和复位

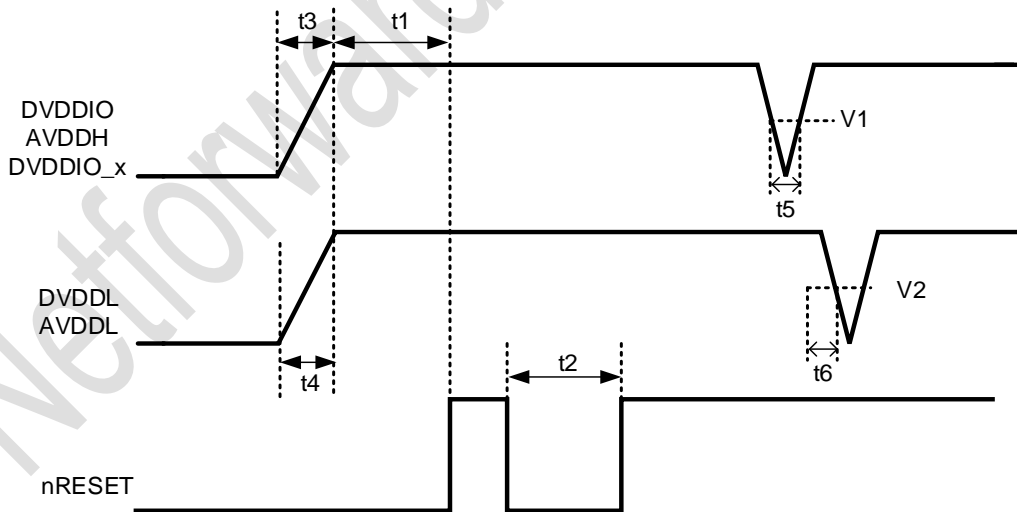


图 10-1 芯片上电复位时序图

表 10-4 芯片上电复位参数说明

参数	符号	描述	Min	Type	Max	Units
复位延迟时间	t1	所有电源上电稳定到复位信号高电平解复位的持续时间。	10	-	-	ms
热复位	t2	热复位有效时间。	150	-	-	ms

参数	符号	描述	Min	Type	Max	Units
VDDH 电源上升时间	t3	DVDDIO, AVDDH, DVDDIO_x 电源上升时间(10%~90%)。	0	-	10	ms
VDDL 电源上升时间	t4	DVDDL, AVDDL 电源上升时间(10%~90%)。	0	-	10	ms
VDDH 电源跌落复位时间	t5	VDDH 电压低于电压阈值 V1 时有效复位的持续时间。	0.2	-	-	μs
VDDL 电源跌落复位时间	t6	VDDL 电压低于电压阈值 V2 时有效复位的持续时间。	0.2	-	-	μs
VDDH 电源跌落电压阈值	V1	VDDH 电源跌落电压阈值。	1.65	-	2.97	V
VDDL 电源跌落电压阈值	V2	VDDL 电源跌落电压阈值。	0.5	-	0.99	V

【注意】

- 1、热复位 (t2) 仅用于芯片工作时外部 MCU/CPU 通过 nRESET 引脚对 SF2507V/SF2507EV 进行复位，上电复位时不需要热复位 (t2)。
- 2、RC 复位电路的应用场景，DVDDL/AVDDL 电源须提前 DVDDIO/AVDDH/DVDDIO_x 电源上电，或与 DVDDIO/AVDDH/DVDDIO_x 电源同时上电。

10.5 系统时钟

10.5.1 晶体参数

表 10-5 25MHz 晶体参数表

描述	Min	Typical	Max	Units
Clock Frequency of XTALI	-	25	-	MHz
Frequency Tolerance of XTALI	-50	-	+50	ppm
Duty Cycle of XTALI	45	-	55	%
Jitter of XTALI(Cycle to Cycle)	-	-	200	ps

10.5.2 晶振参数

表 10-6 25MHz 晶振参数表

描述	Min	Typical	Max	Units
Clock Voltage (DVDDIO)	-	3.3	-	V
Clock Frequency of XTALI	-	25	-	MHz
Frequency Tolerance of XTALI	-50	-	+50	ppm
Duty Cycle of XTALI	45	-	55	%
Rise time of XTALI(10%-90%)	-	-	8	ns
Fall time of XTALI(10%-90%)	-	-	8	ns
Jitter of XTALI(Cycle to Cycle)	-	-	200	ps

11 时序特性

11.1 管理接口

11.1.1 I2C Master 接口时序特性

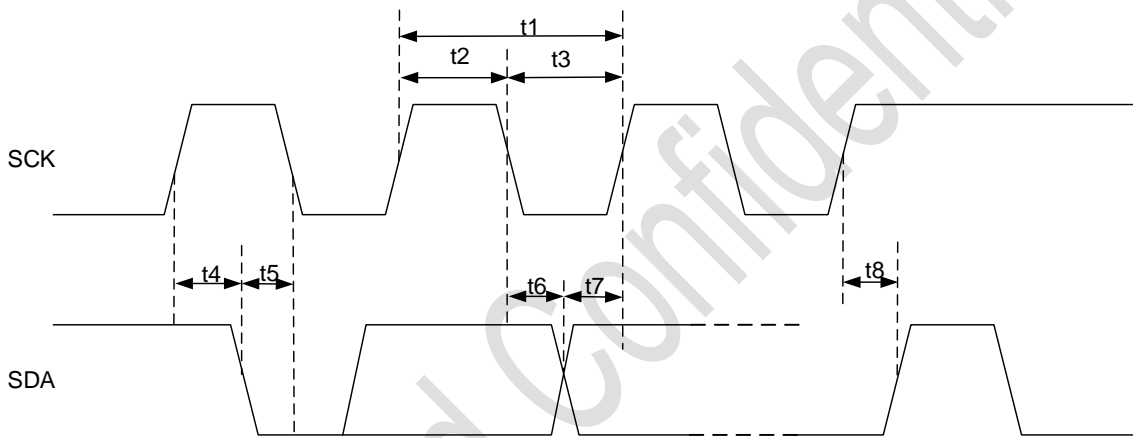


图 11-1 I2C Master 接口时序

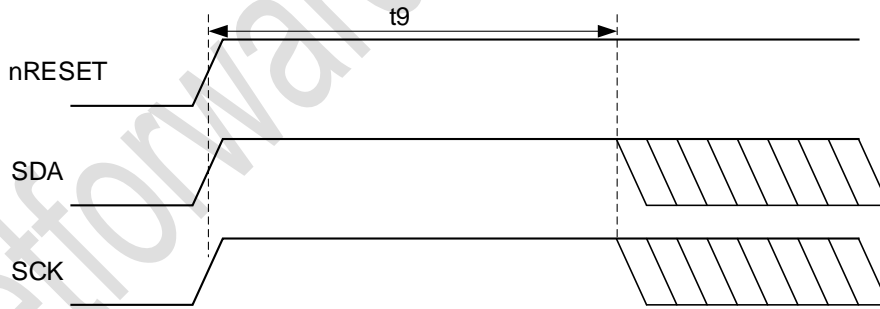


图 11-2 I2C Master 上电时序

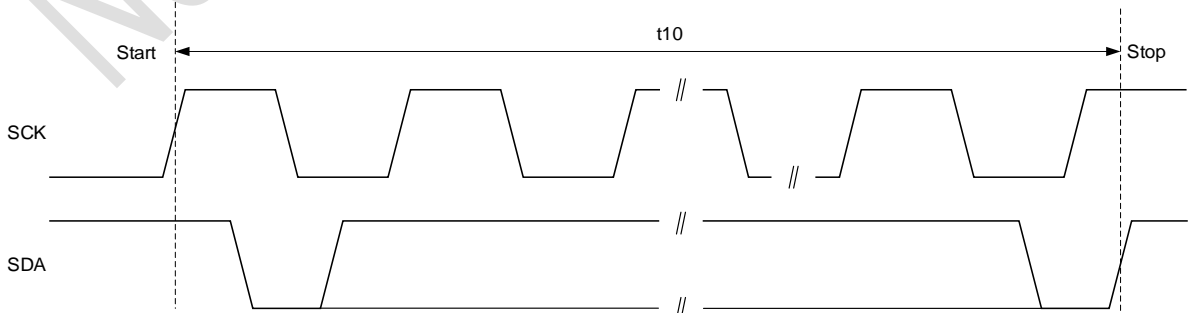


图 11-3 I2C Master 自动加载配置时序

表 11-1 I2C Master 时序参数表

Symbol	Description	Min	Typical	MAX	Unit
t1	SCK 时钟周期	9.7	10	10.3	us
t2	SCK 高电平时间	4.0	4.85	-	us
t3	SCK 低电平时间	4.7	5	-	us
t4	启动建立时间	4.7	5	-	us
t5	启动保持时间	4.0	5	-	us
t6	数据保持时间	0	0.5	3.45	us
t7	数据建立时间	0.25	2.5	-	us
t8	结束建立时间	4.0	4.92	-	us
t9	芯片解复位到 SCK/SDA 有效时间	11	12	-	ms
t _r	SDA 和 SCL 信号的上升时间	-	0.13	1	us
t _f	SDA 和 SCL 信号的下降时间	-	0.01	0.3	us

11.1.2 I2C Slave 接口时序特性

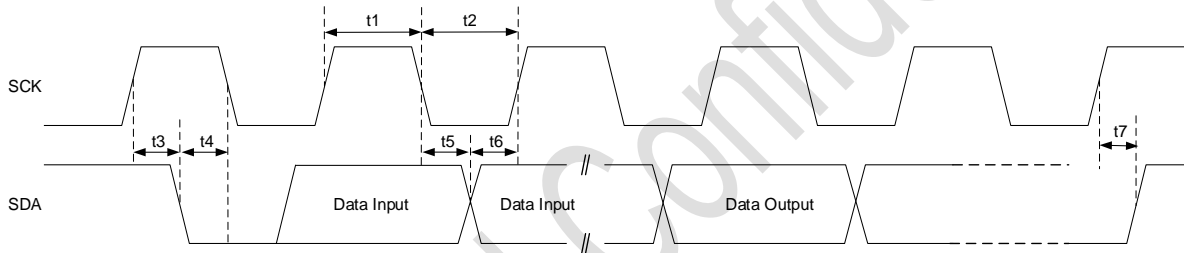


图 11-4 I2C Slave 接口时序

表 11-2 I2C Slave 时序参数表

Symbol	Description	STANDARD-MODE			FAST-MODE			Unit
		Min	Typical	MAX	Min	Typical	MAX	
f _{scl}	时钟频率	97	100	103	388	400	412	kHz
t1	SCL 时钟高电平周期	4.0	4.85	-	0.6	0.76	-	us
t2	SCL 时钟低电平周期	4.7	5	-	1.3	1.58	-	us
t3	启动建立时间	4.7	5	-	0.6	0.7	-	us
t4	启动保持时间	4.0	5	-	0.6	0.83	-	us
t5	数据保持时间	0	0.5	3.45	0	0.47	0.9	us
t6	数据建立时间	0.25	2.5	-	0.1	1.06	-	us
t7	结束建立时间	4.0	4.92	-	0.6	0.74	-	us
t _r	SDA 和 SCL 信号的上升时间	-	0.13	1	-	0.13	0.3	us
t _f	SDA 和 SCL 信号的下降时间	-	0.01	0.3	-	0.01	0.3	us
t _{BUF}	停止和启动条件之间的总线空闲时间	4.7	5	-	1.3	5	-	us

11.1.3 SPI Master 接口时序特性

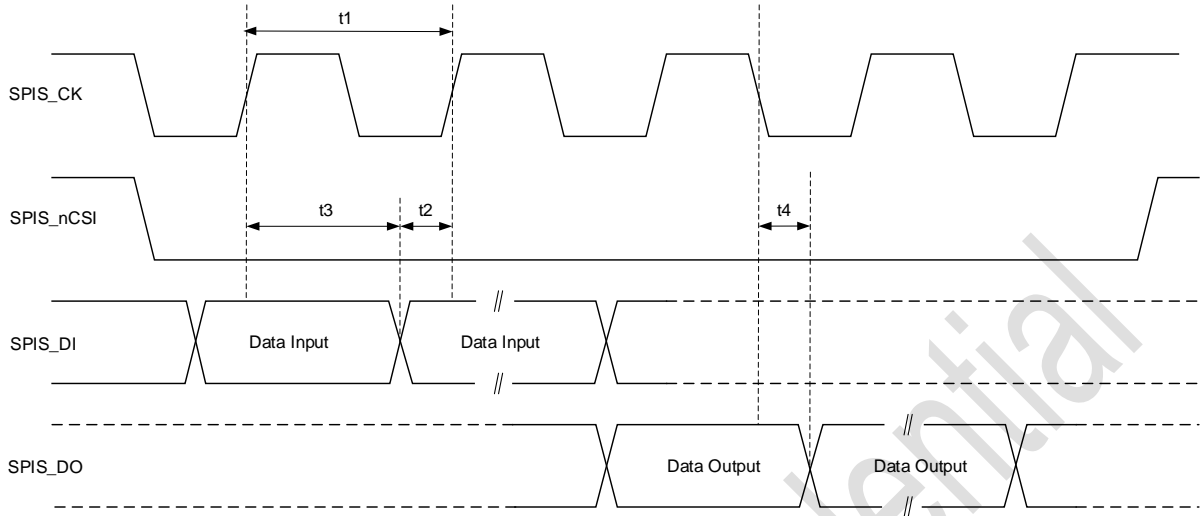


图 11-5 SPI Master 接口时序

表 11-3 SPI Master 时序参数表

Symbol	Description	Min	Typical	Max	Units
t1	SPIS_CK 时钟周期	20	80	160	ns
t2	SPIS_DI 建立时间	3	-	-	ns
t3	SPIS_DI 保持时间	3	-	-	ns
t4	SPIS_DO 输出时延	55	59	67	ns

11.1.4 SPI Slave 接口时序特性

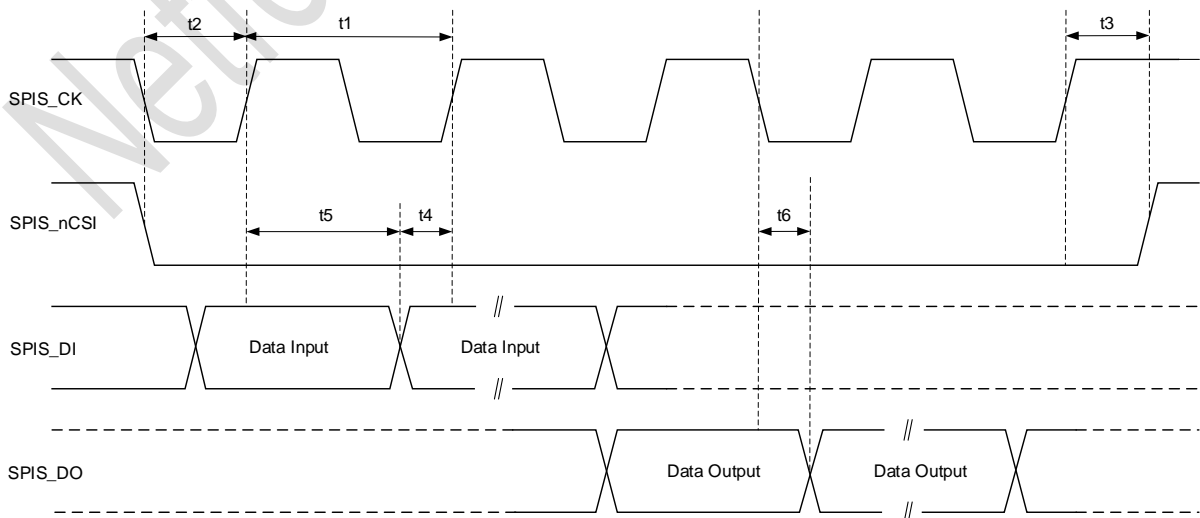


图 11-6 SPI Slave 接口时序

表 11-4 SPI Slave 时序参数表

Symbol	Description	Min	Typical	MAX	Unit
t1	SPIS_CK 时钟周期	5	-	-	us
t2	SPIS_nCSI 建立时间	40	250	-	ns
t3	SPIS_nCSI 保持时间	40	250	-	ns
t4	SPIS_DI 建立时间	20	250	-	ns
t5	SPIS_DI 保持时间	40	250	-	ns
t6	SPIS_DO 输出时延	2	-	-	us

11.1.5 SMI Master 接口时序特性

SF2507EV 可以通过 SMI Master 接口对外部的 PHY 进行配置。

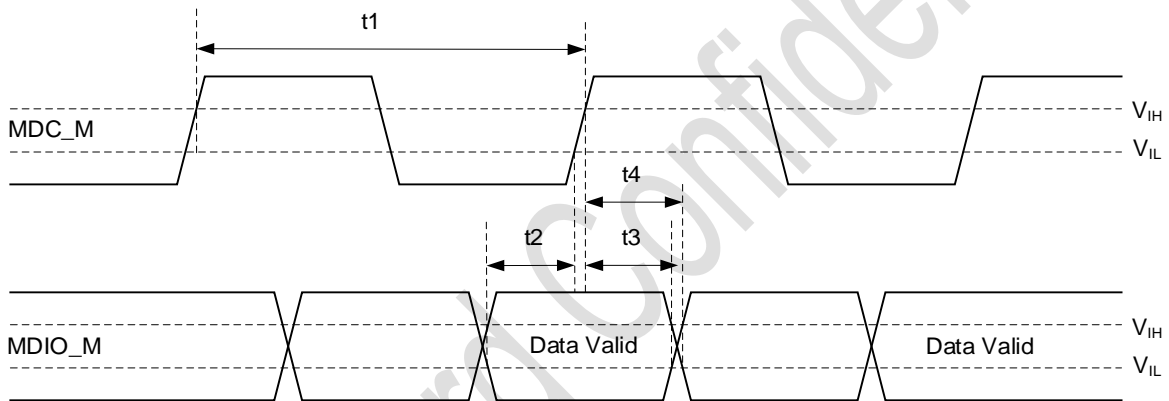


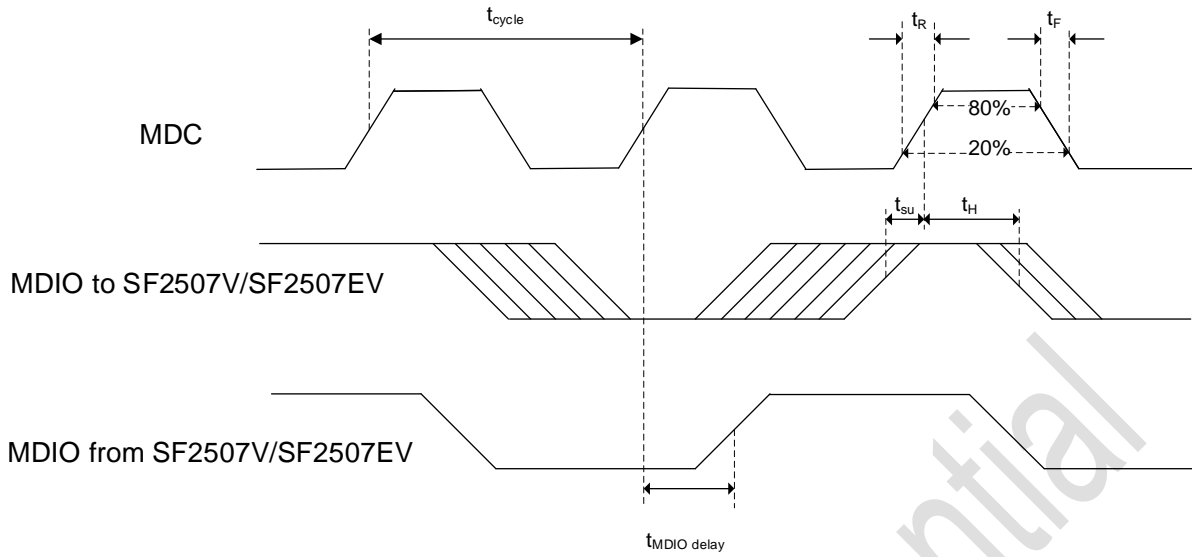
图 11-7 SMI Master 接口时序

表 11-5 SMI Master 时序参数表

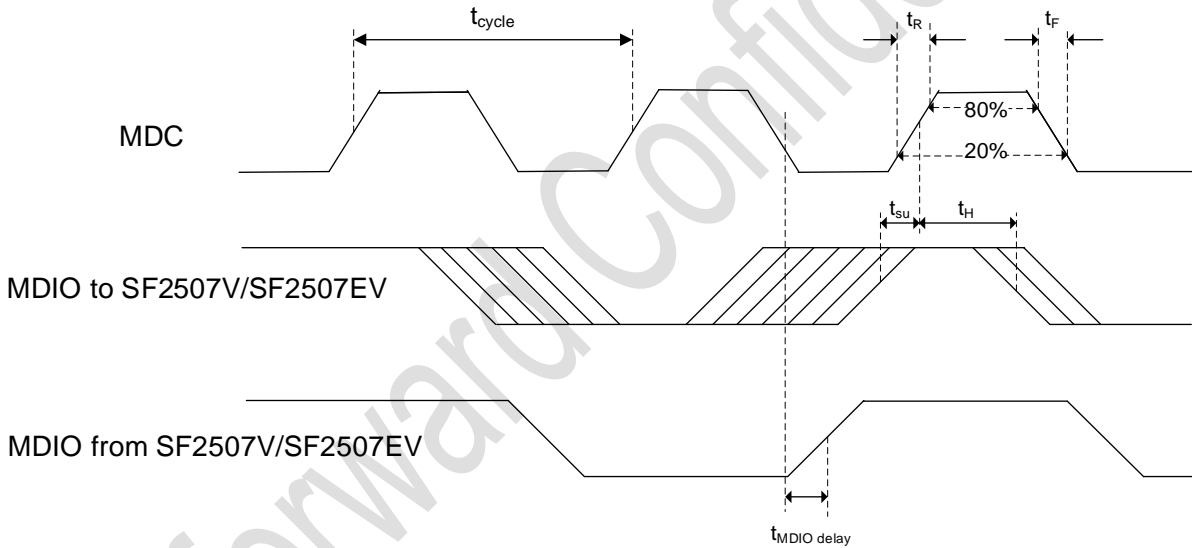
Symbol	Description	Min	Typical	Max	Units
t1	MDC 时钟周期	-	400	-	ns
t2	MDIO 到 MDC 上升沿建立时间	60	-	-	ns
t3	MDIO 到 MDC 上升沿保持时间	60	-	-	ns
t4	MDIO 输出延迟时间	0	-	300	ns

11.1.6 SMI Slave 接口时序特性

外部 CPU 可以通过 SMI Slave 接口对 SF2507V/SF2507EV 芯片进行管理，可以配置和读取芯片内部的寄存器。当作为从设备时，支持 MDC 上升沿或下降沿取数，默认为上升沿取数，SMI 版本为 clause22。



SF2507V/SF2507EV SMI Slave 上升沿输出时序



SF2507V/SF2507EV SMI Slave 下降沿输出时序

图 11-8 SMI Slave 接口时序

表 11-6 SMI Slave 时序参数表

Symbol	Description	Min	Typical	Max	Unit
t_{cycle}	MDC 时钟周期	-	400	-	ns
t_{su}	MDIO 到 MDC 上升沿/下降沿建立时间	25	-	-	ns
t_H	MDIO 到 MDC 上升沿/下降沿保持时间	25	-	-	ns
t_R, t_F	MDC Rise/Fall Time(20%~80%)	-	-	10	ns
$t_{MDIO\ delay}$	MDIO 数据输出延迟时间	0	-	8.8	ns

11.1.7 UART 接口

SF2507EV 提供 UART 口，外部控制器可以通过 UART 口内在线调试 SOC，SOC 的 BOOT 默认波特率为 57600。当 BOOT 起来后，初始化程序可以把波特率修改支持到 9600~115200；同时也可以通通过 UART 口对外挂 Flash 或者 EEPROM 进行升级。

11.2 RGMII/RMII/MII 接口

11.2.1 MII 接口 MAC 模式时序特性

11.2.1.1 MII 接口 MAC 模式输出时序特性

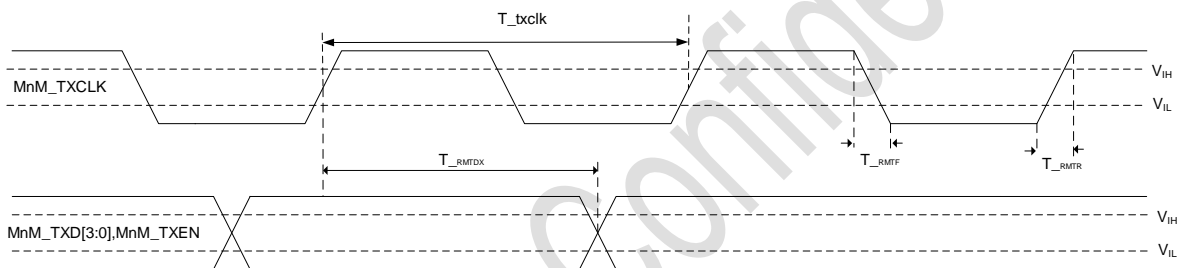


图 11-9 MII MAC 模式输出时序

表 11-7 MII MAC 模式输出时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{tx_clk}	100M MnM_TXCLK 输出时钟周期	-	40	-	ns
T_{tx_clk}	10M MnM_TXCLK 输出时钟周期	-	400	-	ns
T_{RMTF}	输出时钟下降沿（80%~20%）时间	1	-	4	ns
T_{RMTR}	输出时钟上升沿（20%~80%）时间	1	-	4	ns
T_{RMTDX}	时钟到数据 delay	1	-	10	ns

11.2.1.2 MII 接口 MAC 模式输入时序特性

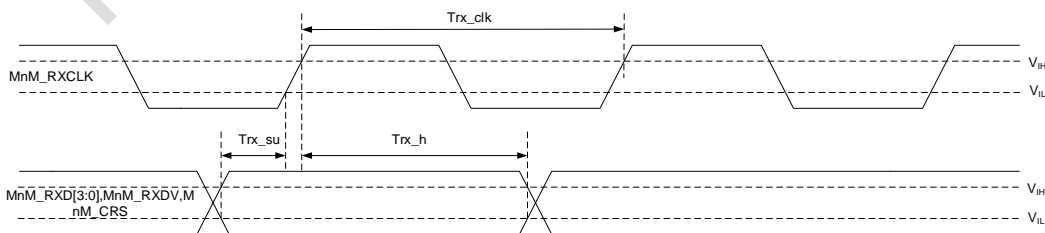


图 11-10 MII MAC 模式输入时序

表 11-8 MII MAC 模式输入时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{rx_clk}	100M MnM_RXCLK 输入时钟周期	-	40	-	ns
T_{rx_clk}	10M MnM_RXCLK 输入时钟周期	-	400	-	ns
T_{rx_su}	MnM_RXD/ MnM_RXDV 输入建立时间	10	-	-	ns
T_{rx_h}	MnM_RXD/ MnM_RXDV 输入保持时间	10	-	-	ns

11.2.2 MII 接口 PHY 模式时序特性

11.2.2.1 MII 接口 PHY 模式输出时序特性

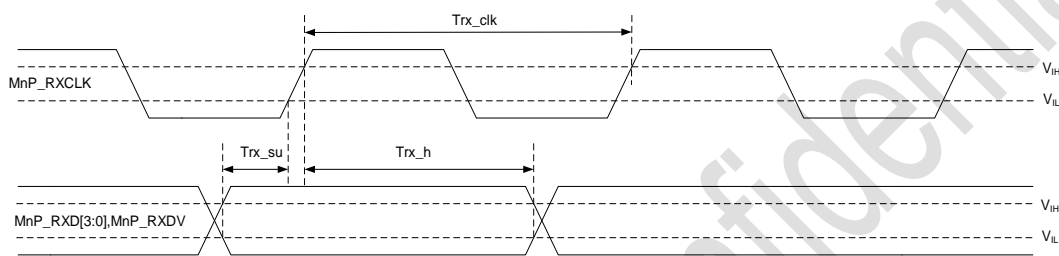


图 11-11 MII PHY 模式输出时序

表 11-9 MII PHY 模式输出时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{rx_clk}	100M MnP_RXCLK 输出时钟周期	-	40	-	ns
T_{rx_clk}	10M MnP_RXCLK 输出时钟周期	-	400	-	ns
T_{rx_su}	MnP_RXD/ MnP_RXDV 输出建立时间	14	17.2	-	ns
T_{rx_h}	MnP_RXD/ MnP_RXDV 输出保持时间	16	20.4	-	ns

【注意】

MII/RMII PHY 模式时引脚命名参考 MAC 端，所以输出引脚及参数前缀命名为 RX，输入引脚及参数前缀命名为 TX，下同。

11.2.2.2 MII 接口 PHY 模式输入时序特性

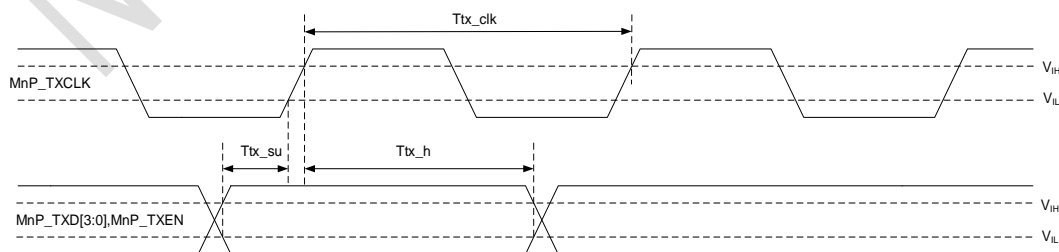


图 11-12 MII PHY 模式输入时序

表 11-10 MII PHY 输入时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{tx_clk}	100M MnP_TXCLK 时钟周期	-	40	-	ns
T_{tx_clk}	10M MnP_TXCLK 时钟周期	-	400	-	ns
T_{tx_su}	MnP_TXD/ MnP_TXEN 输出建立时间	10	-	-	ns
T_{tx_h}	MnP_TXD/ MnP_TXEN 输出保持时间	0	-	-	ns

11.2.3 RMII 接口 MAC 模式时序特性

11.2.3.1 RMII 接口 MAC 模式输出时序特性

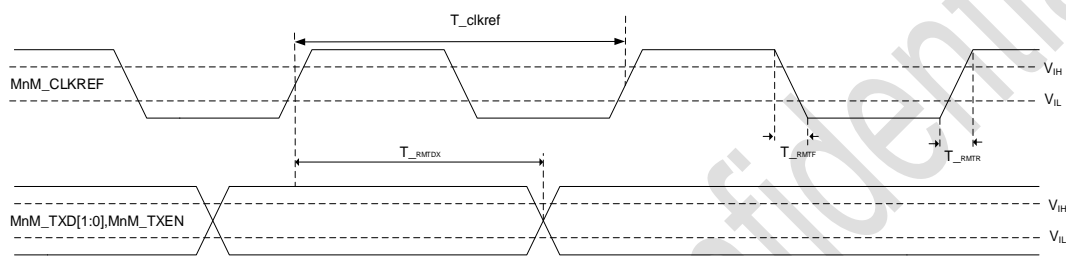


图 11-13 RMII MAC 模式输出时序

表 11-11 RMII MAC 模式输出时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{clkref}	MnM_CLKREF 输出时钟周期	-	20	-	ns
T_{RMTF}	输出时钟下降沿（80%~20%）时间	1	-	5	ns
T_{RMTR}	输出时钟上升沿（20%~80%）时间	1	-	5	ns
T_{RMTDX}	时钟到数据 delay	5	-	10	ns

11.2.3.2 RMII 接口 MAC 模式输入时序特性

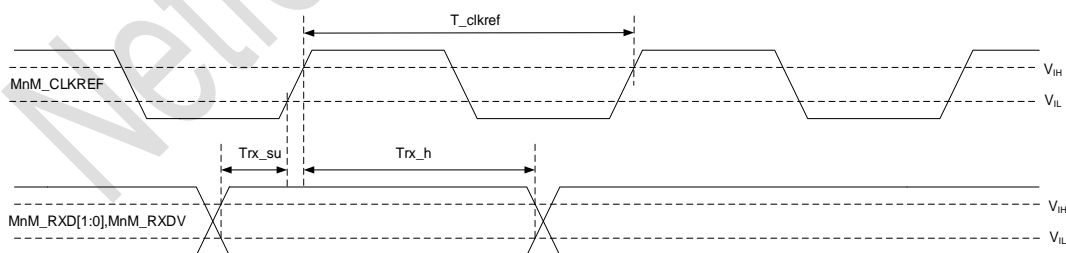


图 11-14 RMII MAC 模式输入时序

表 11-12 RMII MAC 模式输入时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{clkref}	10/100M MnM_CLKREF 输入时钟周期	-	20	-	ns
T_{rx_su}	MnM_RXD/ MnM_RXDV 输入建立时间	4	-	-	ns

T_{rx_h}	MnM_RXD/ MnM_RXDV 输入保持时间	3	-	-	ns
-------------	--------------------------	---	---	---	----

11.2.4 RMII 接口 PHY 模式时序特性

11.2.4.1 RMII 接口 PHY 模式输出时序特性

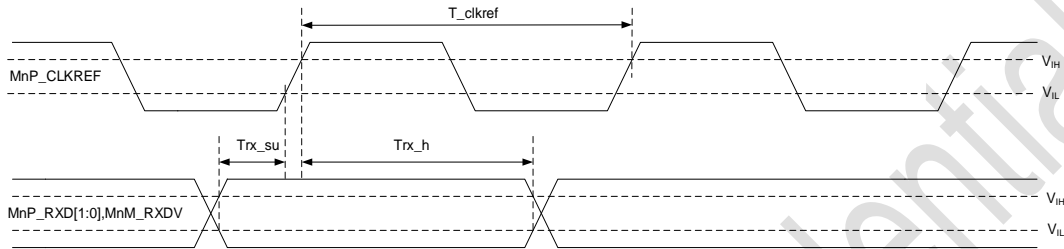


图 11-15 RMII PHY 模式输出时序

表 11-13 RMII PHY 输出时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{clkref}	10/100M MnP_CLKREF 时钟周期	-	20	-	ns
T_{rx_su}	MnP_RXD/ MnP_RXDV 输出建立时间	4	-	-	ns
T_{rx_h}	MnP_RXD/ MnP_RXDV 输出保持时间	3	-	-	ns

11.2.4.2 RMII 接口 PHY 模式输入时序特性

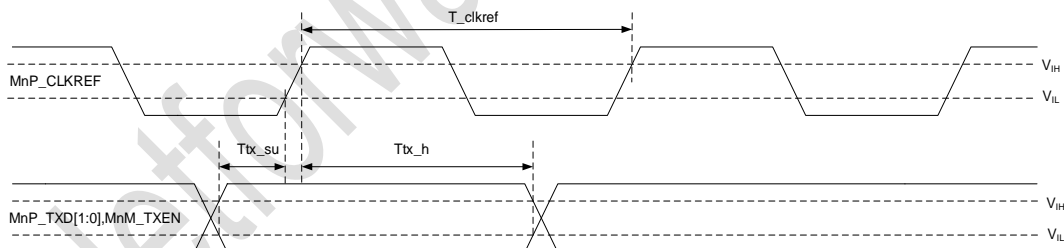


图 11-16 RMII PHY 模式输入时序

表 11-14 RMII PHY 时序参数表

Symbol	Description	Min	Typical	Max	Unit
T_{clkref}	10/100M MnP_CLKREF 时钟周期	-	20	-	ns
T_{tx_su}	MnP_TXD/ MnP_TXEN 输出建立时间	10	-	-	ns
T_{tx_h}	MnP_TXD/ MnP_TXEN 输出保持时间	0	-	-	ns

11.2.5 RGMII 接口时序特性

11.2.5.1 RGMII 接口输出特性

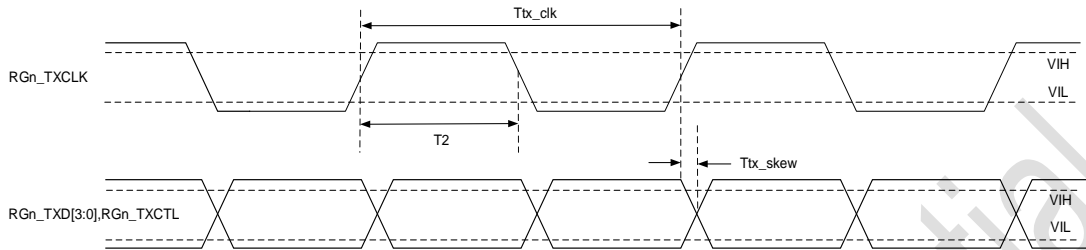


图 11-17 RGMII 输出时序 (Rn_TXCLK_DELAY=0)

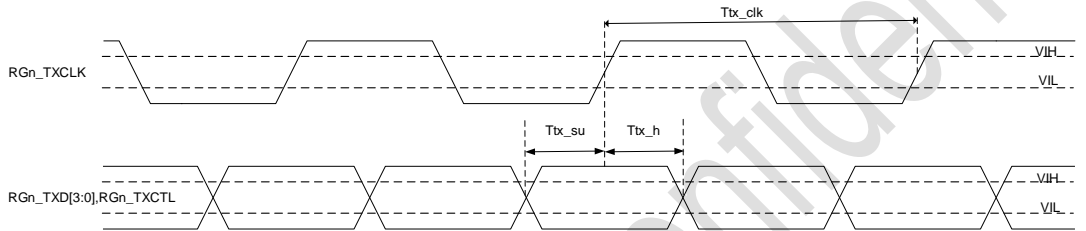


图 11-18 RGMII 输出时序 (Rn_TXCLK_DELAY=2ns)

表 11-15 RGMII 输出时序参数表

Symbol	Description	Min	Typical	Max	Unit
Duty	Duty Cycle	45	50	55	%
T_{tx_clk}	1000M Rn_TXCLK 时钟周期	7.2	8	8.8	ns
T_{tx_clk}	100M Rn_TXCLK 时钟周期	36	40	44	ns
T_{tx_clk}	10M Rn_TXCLK 时钟周期	360	400	440	ns
T_{tx_skew}	Rn_TXD/Rn_TxCTL 输出 skew@Rn_TXCLK_DELAY=0	-500	-	500	ps
T_r/T_f	Rise / Fall Time (20-80%)	-	0.75	1	ns
T_{tx_su}	Rn_TXD/Rn_TxCTL 输出建立时间 @Rn_TXCLK_DELAY=1	1.2	-	-	ns
T_{tx_h}	Rn_TXD/Rn_TxCTL 输出保持时间 @Rn_TXCLK_DELAY=1	1.2	-	-	ns

11.2.5.2 RGMII 接口序输入特性

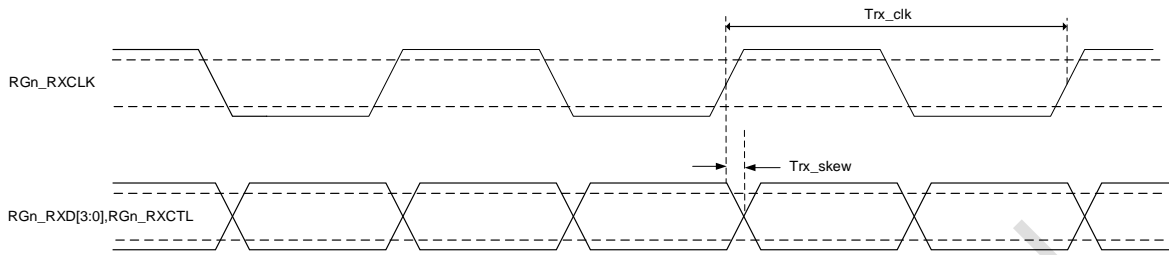


图 11-19 RGMII 输入时序 (R Gn_RXCLK_DELAY=0)

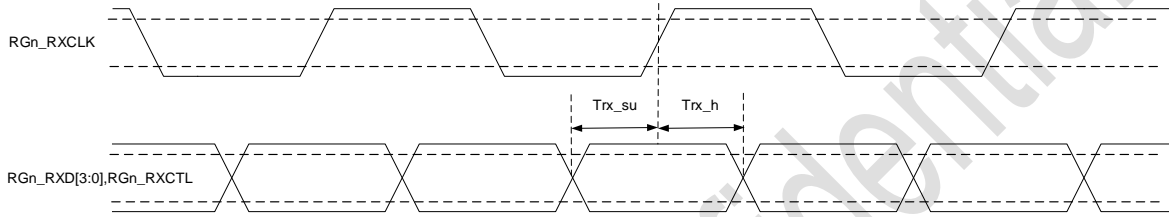


图 11-20 RGMII 输入时序 (R Gn_RXCLK_DELAY=2ns)

表 11-16 RGMII RX 时序参数表

Symbol	Description	Min	Typical	Max	Unit
Duty	Duty Cycle	45	50	55	%
T_{rx_clk}	1000M R Gn_RXCLK 时钟周期	7.2	8	8.8	ns
T_{rx_clk}	100M R Gn_RXCLK 时钟周期	36	40	44	ns
T_{rx_clk}	10M R Gn_RXCLK 时钟周期	360	400	440	ns
T_{rx_skew}	R Gn_RXD/R Gn_RxCTL 输入 skew@R Gn_RXCLK_DELAY=1	-600	-	600	ps
T_r/T_f	Rise / Fall Time (20-80%)	-	0.75	1	ns
T_{rx_su}	R Gn_RXD/R Gn_RxCTL 输入建立时间 @R Gn_RXCLK_DELAY=0	1.0	-	-	ns
T_{rx_h}	R Gn_RXD/R Gn_RxCTL 输入保持时间 @R Gn_RXCLK_DELAY=0	1.0	-	-	ns

说明：芯片引脚处 $T_{rx_su/h}$ 要求最低 1ns，芯片内部 rx_delay 可通过寄存器调整。

12 热参数特性

该器件的热特性基于 JEDEC JESD51 系列规范文件。这些系列规范文件可在 JEDEC 网站上可以找到 www.jedec.org。

$$T_j = T_a + \theta_{ja} \times P$$

式中 $\theta_{ja} = (\theta_{jc} \parallel \theta_{jb}) + \theta_{ca}$

θ_{ja} = 结到环境热阻 (°C/W)

θ_{jc} = 结到封装外壳的热阻 (°C/W)，外壳温度在封装外壳表面顶部中心测量

θ_{jb} = 结到 PCB 板的热阻 (°C/W)

θ_{ca} = 封装外壳对环境的热阻 (°C/W)

表 12-1 Assembly Description

Type	Pmeter	Description
Package	Type	LQFP-128 E-PAD
	Dimension (LxW)	14x14mm
	Thickness	1.4mm
PCB	Number of Cu Layer-PCB	4L JEDEC standard PCB
Air Flow	Air Flow in LFPM	0

表 12-2 Thermal Specifications

Parameter	Value	Unit
Device power dissipation, P	2.22(Typ.)	Watts
Ambient air temperature T _A	70	°C
θ_{JA} in still air	22.2	°C/W
θ_{JB}	12.6	°C/W
θ_{JC}	10.5	°C/W

13 封装信息

LQFP-128 E-PAD (14*14mm)

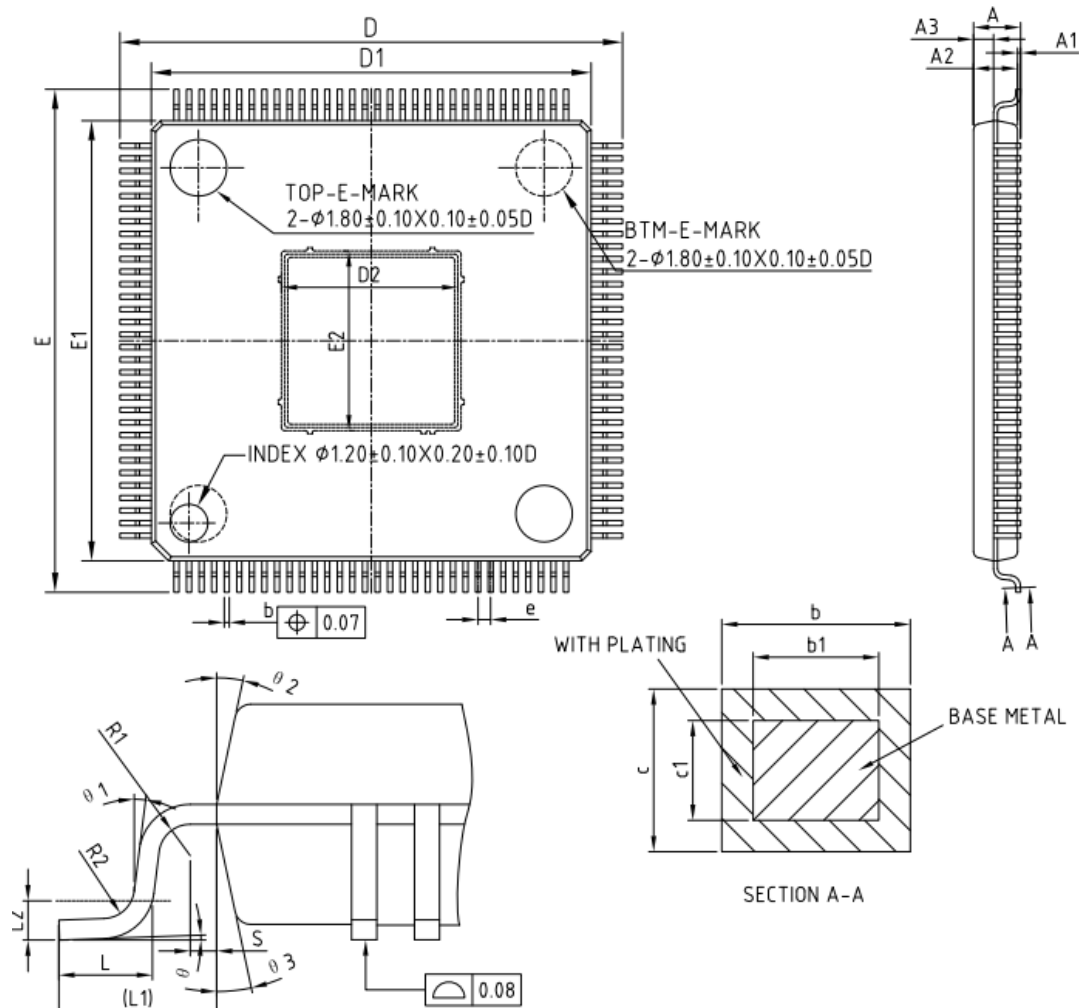


表 13-1 LQFP-128 封装信息

Symbol	Dimension (mm)		
	Min	Nom	Max
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
B	0.14	-	0.23
b1	0.13	0.16	0.19
C	0.13	-	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20

D1	13.90	14.00	14.10
D2	5.00	5.700	6.00
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
E2	5.00	5.700	6.00
e	-	0.40	-
L	0.45	0.60	0.75
L1	-	1.00REF	-
L2	-	0.25BSC	-
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
ϕ	0"	3.5"	7"
ϑ1	0"	-	-
ϑ2	11"	12"	13"
ϑ3	11"	12"	13"

【备注】 上述所有尺寸参考 JEDEC MS-026。

14 订购信息

表 14-1 订购信息

订购型号	封装信息	工作温度
SF2507V-BI	14 mm x 14 mm LQFP-128 E-PAD (Pb-Free)	工业级-40°C to 85°C
SF2507EV-BI	14 mm x 14 mm LQFP-128 E-PAD (Pb-Free)	工业级-40°C to 85°C